

**CURRICULA UNITĂȚII DE CURS/MODULULUI****LIMBAJE DE DESCRIERE HARDWARE**

COD: S.04A141,241

DATA: 25.01.2016

PAGINA: 1/13

**FACULTATEA CALCULATOARE, INFORMATICĂ ȘI MICROELECTRONICĂ
DEPARTAMENTUL MICROELECTRONICĂ ȘI INGINERIE BIOMEDICALĂ**

APROBATĂ

la ședința DMIB

nr. ___ din _____

Șeful DMIB

Victor ȘONTEA, prof. univ.,
dr.**APROBATĂ**

la ședința Consiliului FCIM

nr. ___ din _____

Președintele Consiliului FCIM

Ion BALMUȘ, conf. univ., dr.

Program de studiu: 525.4 Microelectronica și Nanotehnologii.**Denumirea unității de curs:** LIMBAJE DE DESCRIERE HARDWARE**Beneficiari:** Studenții anului III, învățământ cu frecvență,**Ciclul de învățământ:** Studii superioare de Licență, ciclul I**Numărul de credite ECTS:** 4 (60 ore în auditoriu și 60 ore de activități individuale ale studentului, 1 credit = 15 ore de activități în auditoriu și 15 ore de activități individuale ale studentului)**Titularul unității de curs:** lect. Univ. Sereacov Alexandr_____
semnătura titularului de curs

I. PRELIMINARI

Actualmente, domeniul proiectării sistemelor de prelucrarea datelor în timp real resimte necesitate în specialiști de o calificare net superioară, capabili în termeni scurți să proiecteze produse economic oportune pentru producător și care satisfac cerințele pieții contemporane.

Sistemele noi pe baza la PLC sau FPGA, care se lansează în producerea industrială, întrunesc soluții complexe a problemelor de ordin ergonomic, tehnic, tehnologic, economic etc. găsite în procesul de elaborare a schițelor, machetelor, documentații tehnice, tehnologiei de fabricație și a prototipurilor de produse de dimensiuni și forme raționale în corespondență cu cerințele impuse.

Scopul principal al cursului „Limbaje de descriere hardware” ca disciplină didactică reprezintă oglindirea procedurilor progresiste existente și de perspectivă de proiectarea sistemelor electrice digitale de prelucrarea datelor în timp real pe baza la PLC, FPGA.

Unitatea de curs „Limbaje de descriere hardware” este inclusă în categoria unităților de curs de specialitate pentru studenții programului de studiu 525.4 Microelectronica și Nanotehnologii. Consolidarea materialului teoretic și obținerea abilităților practice se realizează în procesul de realizare a lucrărilor de laborator și a proiectelor de licență.

Obiectivele principale ale cursului „Limbaje de descriere Hardware” reprezintă formarea la studenți a următoarelor abilități:

- ✓ cunoașterea mijloacelor de tip software și constructiv-tehnologice de soluționare a diverselor probleme tehnice de prelucrarea datelor în timp real;
- ✓ utilizarea abstracțiilor de tip software și proprietăților sistemelor de tip FPGA pentru proiectarea sistemelor de prelucrarea datelor de orice complexitate;
- ✓ utilizarea procedurilor de scrierea, stocarea și analiza codului;
- ✓ elaborarea algoritmilor pe baza la circuite logice combinaționale sau secvențiale;
- ✓ obținerea experienței și îndemânărilor practice în elaborarea sistemelor pe baza la FPGA conform cerinței tehnice.

Cursul este orientat spre pregătirea specialiștilor de o calificare înaltă în domeniul proiectării sistemelor de prelucrarea datelor în timp real, care vor activa în întreprinderi de proiectarea software și hardware.

II. PRECONDIȚII DE ACCES LA UNITATEA DE CURS/MODUL:

Pentru a atinge obiectivele cursului studenții trebuie să aibă cunoștințe în structuri de date și algoritmi de bază; să cunoască proiectarea sistemelor digitale la nivel de porți logice. Aceste competențe sunt formate de următoarele unitățile de curs, prevăzute de planul de învățământ: programare, programare în C++, circuite integrale analogice, circuite integrale digitale.

III. COMPETENȚELE CARE URMEAZĂ A FI DEZVOLTATE

Competențele formate de această unitate de curs vor servi ca bază pentru formarea competențelor profesionale în cadrul unităților de curs: proiectarea sistemelor digitale, programare avansată, proiectarea asistată de calculator.

Unitatea de curs prevede formarea următoarelor competențe profesionale și transversale:

CP4. Definirea conceptelor, teoriilor, modelelor și metodelor specifice descrierii sistemelor digitale cu utilizarea limbajului Verilog:

- ✓ Utilizarea cunoștințelor de bază pentru explicarea și interpretarea procedeelelor de elaborare a unui sistem digital.
- ✓ Aplicarea de principii și metode de bază pentru proiectarea modulelor primitive de baza la un chip FPGA utilizând limbaj Verilog.
- ✓ Utilizarea adecvată de criterii și metode de evaluare a modelelor de chipuri FPGA noi, pentru implimentarea sistemelor digitale complexe.
- ✓ Elaborarea modulelor digitale de diversă complexitate, utilizând principii, procedee, tehnici și metode de bază consacrate în domeniu.

CP6. Testarea modulelor descrise în limbaj Verilog.

- ✓ Descrierea procedeelelor, tehnicilor și metodelor de bază necesare pentru asigurarea calității modulelor digitale în relație cu procesele tehnologice asociate.
- ✓ Utilizarea cunoștințelor de bază pentru explicarea și interpretarea procedeelelor, tehnicilor și metodelor de bază, necesare în procesele de evaluare și asigurare a calității modulelor digitale în relație cu procesele tehnologice asociate.
- ✓ Aplicarea de principii și metode de bază pentru evaluarea și asigurarea calității modulelor digitale în relație cu procesele tehnologice asociate.
- ✓ Utilizarea adecvată de criterii și metode standard de evaluare pentru adoptarea procedeelelor, tehnicilor și metodelor de bază, necesare în procesele de evaluare și asigurare a calității modulelor digitale în relație cu procesele tehnologice asociate.
- ✓ Elaborarea modulelor de tip testbench selectând și utilizând principii, concepte și metode specifice proceselor de evaluare și asigurare a calității modulelor digitale în relație cu procesele tehnologice asociate.

CT1. Realizarea lucrărilor de laborator cu utilizarea corectă a surselor bibliografice și metodelor specifice, în condiții asistență calificată, precum și susținerea acestora cu demonstrarea capacității de evaluare calitativă și cantitativă a unor soluții tehnice din domeniu.

CT3. Identificarea nevoii de formare profesională, cu analiza critică a propriei activități de formare și a nivelului de dezvoltare profesională și utilizarea eficientă a resurselor de comunicare și formare profesională (Internet, e-mail, baze de date, cursuri on-line etc.), inclusiv folosind limbi străine.

Rezultatele învățării. Studentul trebuie:	Conținuturi		Metode de predare	Realizarea în timp (ore)*	
	Prelegeri	Lucrări de laborator		învățământ cu frecvență	
				Prelegeri	I. lab
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Obiectivele și scopul disciplinei; ▪ Noțiuni de baza a limbajelor de descriere hardware: modul, interfața, nod. ▪ Metode de baza care se utilizează în descrierea sistemelor hardware: structurală, comportamentală; <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ Să creeze un modul elementar cu interfața stabilă, utilizând metoda structurală; ▪ Să testeze modulul dezvoltat 	<p>Tema 1. UNITAȚI DE BAZA DE DESCRIERE A MODULULUI DIGITAL.</p> <p>Noțiuni de modul, interfața, nod; Reguli sintactice de descriere interfețelor și de interavționare modulelor cu ajutorul interfețelor; Reguli de descriere modulelor de test.</p>	<p>Lucrarea de laborator nr. 1.</p> <p>Introducerea în limbaj Verilog. Proiectarea circuitelor logice combinaționale. Proiectarea și testarea driverului pentru un afisor cu 7 segmente în limbaj Verilog.</p>	<p>Pentru prelegere: expunerea, conversația</p> <p>Pentru lucrare de laborator: ÎNVĂȚAREA prin cercetarea documentelor</p>	<p>2</p>	<p>4</p>

LIMBAJE DE DESCRIERE HARDWARE

<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Reguli sintactice și logice de descriere circuite prin metoda structurală. ▪ Structura modulelor digitale de bază; <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ Să creeze un modul elementar de tip CLC. ▪ Să testeze modulele dezvoltate 	<p>Tema 2. Descrierea modulelor digitale prin metoda structurală. Descrierea circuitelor logice combinaționale. Decodificatoare, Multiplexoare, Demultiplexoare</p>	<p>Lucrarea de laborator nr. 2.</p> <p>Proiectarea și testarea decodicatorului, multiplexorului, demultiplexorului în limbaj Verilog.</p>	<p>Pentru prelegeri: expunerea, învățare prin colaborare</p> <p>Pentru lucrare de laborator: problematizarea; tehnici de învățare interactiv-creativă</p>	<p>4</p>	<p>4</p>
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Structura sumatoarelor de tip secvențial; ▪ Structura sumatoarelor cu calcul transportului anticipat; ▪ Reguli de proiectare sistemelor aritmetice. <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ Să creeze un sumator în limbaj Verilog 	<p>Tema 3. Descrierea circuitelor aritmetice combinaționale. Sumatoare. Sumator cu transport înlanțuit; Sumator cu calculul transportului anticipat;</p>	<p>Lucrarea de laborator nr. 3.</p> <p>Proiectarea și testarea sumatoarelor în limbaj Verilog.</p>	<p>Pentru prelegeri: expunerea, învățare prin colaborare</p> <p>Pentru lucrare de laborator: problematizarea; tehnici de învățare interactiv-creativă</p>	<p>4</p>	<p>4</p>
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Reguli de proiectare unităților aritmetico-logice în forma circuitului 	<p>Tema 4. Descrierea unității aritmetico-logice. Operatori de condiție</p>	<p>Lucrarea de laborator nr. 4</p> <p>Proiectarea circuitelor</p>	<p>Pentru prelegeri: expunerea, învățare prin colaborare</p>	<p>2</p>	<p>4</p>

LIMBAJE DE DESCRIERE HARDWARE

<p><i>logic combinațional;</i></p> <ul style="list-style-type: none"> ▪ <i>Structura unitații aritmetico-logice;</i> <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ <i>Să creeze module de tip Unitate aritmetico-logica;</i> ▪ <i>Să testeze modulele aritmetice;</i> 	<p>în forma combinațională. Operatori de condiție în forma ternară</p>	<p>digitale secvențiale. Proiectarea și testarea unitații aritmetico-logice în limbaj Verilog.</p>	<p>Pentru lucrare de laborator: problematizarea; tehnici de învățare interactiv-creativă</p>		
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ <i>Logica de utilizare blocurilor comportamentale "initial, always".</i> ▪ <i>Reguli sintactice de lucru cu semnale digitale în blocurile comportamentale;</i> <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ <i>Să descrie modulele digitale utilizând logica comportamentală;</i> ▪ <i>Să testeze modulele, dezvoltate după metoda comportamentală;</i> 	<p>Tema 5. Descrierea modulelor digitale prin metoda comportamentală. Realizarea tabelor de adevări. Abordări de implementare a tabelor de adevăr în hardware. Blocuri comportamentale "always, initial"</p>	<p>Lucrarea de laborator nr. 5. Modelarea și utilizarea bistabilelor, registrilor în limbaj Verilog.</p>	<p>Pentru prelegeri: expunerea, învățare prin colaborare</p> <p>Pentru lucrare de laborator: problematizarea; tehnici de învățare interactiv-creativă</p>	<p>4</p>	<p>4</p>
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ <i>Avantajele, dezavantajele</i> 	<p>Tema 6. Circuite</p>	<p>Lucrarea de laborator nr. 6</p>	<p>Pentru prelegeri: expunerea, învățare</p>	<p>2</p>	<p>4</p>

LIMBAJE DE DESCRIERE HARDWARE

<p><i>circuitelor secvențiale;</i></p> <ul style="list-style-type: none"> ▪ <i>Regule de sincronizare circuitelor secvențiale;</i> <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ <i>Să creeze sistemele digitale cu conveer secvențial;</i> ▪ <i>Să testeze modulele secvențiale, cu conveer.</i> 	<p>electronice secvențiale. Pipeline. Probleme de sincronizare. Metode de rezolvarea problemelor de sincronizare. Proiectarea conveerilor sincrone.</p>	<p>Proiectarea automatelor de stari finite în limbaj Verilog. Proiectarea și testarea unui semafor.</p>	<p>prin colaborare</p> <p>Pentru lucrare de laborator: problematizarea; tehnici de învățare interactiv-creativă</p>		
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ <i>Arhitectura automatelor de tip Moor, Mealy;</i> ▪ <i>Reguli de proiectare automatelor: tabele de stari, tabele de codificare a ieșirelor;</i> ▪ <i>Reguli de descriere mapei de stări.</i> <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ <i>Să descrie in limbaj Verilog automat de stari finite, utilizând metoda comportamentală;</i> 	<p>Tema 7. Proiectarea automatelor. Arhitectura automatelor. Automat de tip Moor, de tip Mealy. Tabele de stari pentru automate de tip Moor, de tip Mealy.</p>	<p>Lucrarea de laborator nr. 7</p> <p>Proiectarea și testarea inmulțitorului de tip matrice, și inmulțitorului cu șiftare în limbaj Verilog.</p>	<p>Pentru prelegeri: expunerea, învățare prin colaborare</p> <p>Pentru lucrare de laborator: problematizarea; tehnici de învățare interactiv-creativă</p>	<p>2</p>	<p>4</p>

<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Reguli de proiectare automatelor: tabele de stari, tabele de codificare a ieșirelor; ▪ Reguli de descriere mapei de stări. <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ Să descrie automat de stari finite prin metoda comportamentală; ▪ Să descrie automat de stari finite prin metoda structurală; 	<p>Tema 8. Metode și tehnici de proiectare automatelor în limbaj Verilog. Tehnici de descriere automatelor în Limbaj Verilog.</p>	<p>de Lucrarea laborator nr. 8</p> <p>Consultații adăugătoare. Susținerea rapoartelor.</p>	<p>Pentru prelegeri: expunerea, învățare prin colaborare</p> <p>Pentru lucrare de laborator: problematizarea; tehnici de învățare interactiv-creativă</p>	<p>2</p>	<p>2</p>
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Dependența frecvenței de clock de lungimea conveerului. ▪ Sa calculeze timpurile de timer de clock, și de rețineri pentru a sincroniza sistem. <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ Sa proiecteze un sistem digital secvențial; ▪ Sa descrie în Verilog un sistem digital secvențial. 	<p>Tema 9. Proiectare inmultitorului digital. Proiectarea inmultitorului pe baza la curcuite logice combinaționale, pe baza la automat de stari finite.</p>		<p>Pentru prelegeri: expunerea, învățare prin colaborare</p>	<p>4</p>	

<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Sintaxa de declarare a taskului ▪ Sintaxa de declare a funcției. <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ Să utilizeze taskuri și funcții in proiectarea sistemelor; ▪ Să utilizeze taskuri și funcții în testarea sistemelor 	<p>Tema 10. Technici avansate de proiectare a circuitelor digitale. Metode sintactice speciale a limbajului Verilog. Utilizarea taskurilor. Incapsularea parametrilor.</p>			2	
<p>să cunoască:</p> <ul style="list-style-type: none"> ▪ Blockuri de baza a unui chip FPGA. ▪ Reguri de comunicarea și interconectarea in sisteme FPGA. <p>să fie capabil:</p> <ul style="list-style-type: none"> ▪ Să sistetizeze codul a unei sisteme un dispozitiv final. 	<p>Tema 11. Arhitectura chipurilor FPGA. Abordari de transformarea descrierii logice a circuitelor în schemele principale.</p>			2	

VII. SUGESTII PENTRU ACTIVITATEA INDIVIDUALĂ A STUDENȚILOR

Pe parcursul semestrului, studenții realizează activități individuale, care includ:

- studiul literaturii obligatorii conform listei surselor bibliografice prezentate în curriculum;

- realizarea temelor pentru acasă, propuse în cadrul lucrărilor de laborator;

Pe parcursul semestrului studenților li se propune tematica pentru elaborarea referatelor în scopul aprofundării cunoștințelor teoretice, după cum urmează:

1. Evoluția limbajului Verilog, metode sintactice noi care apar în ultimele versiuni a limbajului.
2. System Verilog, ca un limbaj de descriere hardware de noua generație.
3. VHDL, ca un limbaj alternativ de descriere hardware. Ajunsurile, neajunsurile.

VIII. EVALUAREA UNITĂȚII DE CURS

Curentă		Examen final
Atestarea 1	Atestarea 2	
30%	30%	40%
Standard minim de performanță		
Prezența și activitatea la prelegeri și lucrări de laborator;		
Obținerea notei minime de „5” la atestări curente.		
Obținerea notei minime de „5” la medie ponderată din lucrări de laborator.		
Demonstrarea în lucrarea de examinare finală cunoștințelor de bază necesare pentru proiectare, analiză, testare și sinteză a circuitelor digitale utilizând limbaj Verilog..		

IX. LISTA DE SUBIECTE PENTRU EVALUĂRI PERIODICE ȘI CEA FINALĂ

CHESTIONAR PENTRU ATESTAREA I

1. Circuite logice elementare. Tabela de adevăr pentru not, and, or, xor.
2. Decodificator. Definiția. Tabela adevăr, Implementarea în limbaj verilog prin metoda structurală.
3. Multiplexor. Definiția. Tabela adevăr, Implementarea în limbaj verilog prin metoda structurală.
4. Demultiplexor. Definiția. Tabela adevăr, Implementarea în limbaj verilog prin metoda structurală.
5. Sumator cu calculul transportului înlănțuit. Definiția. Specificul de funcționare. Implementarea în limbaj verilog prin metoda structurală.
6. Sumator cu calculul transportului anticipat. Definiția. Principiul de funcționare. Aparat matematic. Implementarea în limbaj verilog prin metoda structurală.
7. Realizarea tabelor de adevăr cu utilizarea multiplexoarelor. Implementarea tabelor de adevăr cu utilizarea limbajului verilog.

CHESTIONAR PENTRU ATESTAREA A II-A

1. Circuit de deplasare la stânga pentru 4 biți pe baza multiplexorului.
2. Circuit de deplasare la dreapta pentru 4 biți pe baza multiplexorului.
3. Circuit de rotire la stânga pentru 4 biți pe baza multiplexorului.
4. Circuit de rotire la dreapta pentru 4 biți pe baza multiplexorului.
5. Înmulțitor. Definiția. Arhitectura. Structura înmulțitorului elementar. Realizarea unui înmulțitor pe 4 biți în limbaj verilog. Înmulțitor cu siftare.
6. Unitatea aritmetică logică. Definiția. Structura. Descrierea unui ALU pe 16 biți și 8 funcții în limbaj verilog.
7. Bistabilul RS, RS cu clock, D. Definiția. Structuri. Descrierea bistabilului în limbaj verilog.
8. Arhitectura circuitelor de tip FPGA. Celula de bază.

CHESTIONAR PENTRU EXAMEN

1. Circuite logice elementare. Tabela de adevăr pentru not, and, or, xor.
2. Decodificator. Definiția. Tabela adevăr, Implementarea în limbaj verilog prin metoda structurală.
3. Multiplexor. Definiția. Tabela adevăr, Implementarea în limbaj verilog prin metoda structurală.
4. Demultiplexor. Definiția. Tabela adevăr, Implementarea în limbaj verilog prin metoda structurală.
5. Sumator cu calculul transportului înlănțuit. Definiția. Specificul de funcționare. Implementarea în limbaj verilog prin metoda structurală.
6. Sumator cu calculul transportului anticipat. Definiția. Principiul de funcționare. Aparat matematic. Implementarea în limbaj verilog prin metoda structurală.
7. Realizarea tabelelor de adevăr cu utilizarea multiplexoarelor. Implementarea tabelelor de adevăr cu utilizarea limbajului verilog.
8. Circuit de deplasare la stânga pentru 4 biți pe baza multiplexorului.
9. Circuit de deplasare la dreapta pentru 4 biți pe baza multiplexorului.
10. Circuit de rotire la stânga pentru 4 biți pe baza multiplexorului.
11. Circuit de rotire la dreapta pentru 4 biți pe baza multiplexorului.
12. Înmulțitor. Definiția. Arhitectura. Structura înmulțitorului elementar. Realizarea unui înmulțitor pe 4 biți în limbaj verilog. Înmulțitor cu siftare.
13. Unitatea aritmetică logică. Definiția. Structura. Descrierea unui ALU pe 16 biți și 8 funcții în limbaj verilog.
14. Bistabilul RS, RS cu clock, D. Definiția. Structuri. Descrierea bistabilului în limbaj verilog.
15. Arhitectura circuitelor de tip FPGA. Celula de bază.

X. REFERINȚE BIBLIOGRAFICE

1. Balan, S. IEEE Standard Verilog® Hardware Description Language / The Institute of Electrical and Electronics Engineers, Inc. 778 p.
2. Donald Thomas The Verilog® Hardware Description Language M.: Springer; 5th ed. 2002 edition.

3. Максфилд. Проектирование на ПЛИС. Архитектура, средства и методы. Xilinx. MentorGraphics, 2007. – 230 стр.
4. David Money Harris, Sarah L. Harris, Digital Design and Computer Architecture, 569 p.
5. SystemVerilog 3.1a Language Reference Manual, Copyright © 2002, 2003, 2004 by Accellera Organization, Inc. 550 p.
6. SystemVerilog Testbench Constructs, © 2005 Synopsys, Inc, 126 p.