

Tehnici de proiectări a structurilor VLSI

TPS VLSI

MN-211, 212

Oleg LUPAN, profesor univ., dr. hab.

D MIB, 3-429

Consultații

Miercuri 17-18

orice zi disponibilă

4.3 Capacitatile MOSFET

Prima componenta a elementelor parazite capacitive, care va fi examinată este capacitatea MOSFET. Aceste componente parazite sunt în principal responsabile pentru întârzierea intrinsecă din porțile logice. Ele pot fi modelate cu o acuratețe mare pentru estimarea întârzierii porții. Extragerea componentelor parazite ale tranzistorului din măști este relativ ușoară.

Capacitățile parazite asociate cu MOSFET sunt arătate în Fig. 4.7, ca elemente conectate între masă în terminalele dispozitivului.

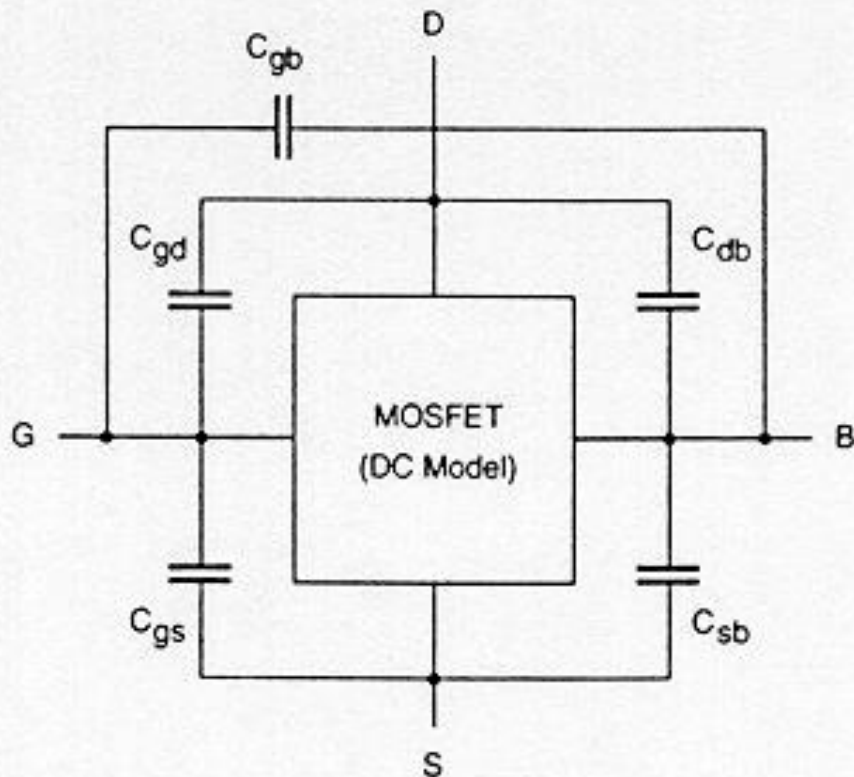


Figura-4.7: Reprezentarea capacităților parazite față de masă pentru MOSFET

Figura 4.8 prezinta calitativ capacitatea asociata cu stratul de oxid in regimurile de blocare, operare in modul liniar si operare in saturatie ale MOSFET.

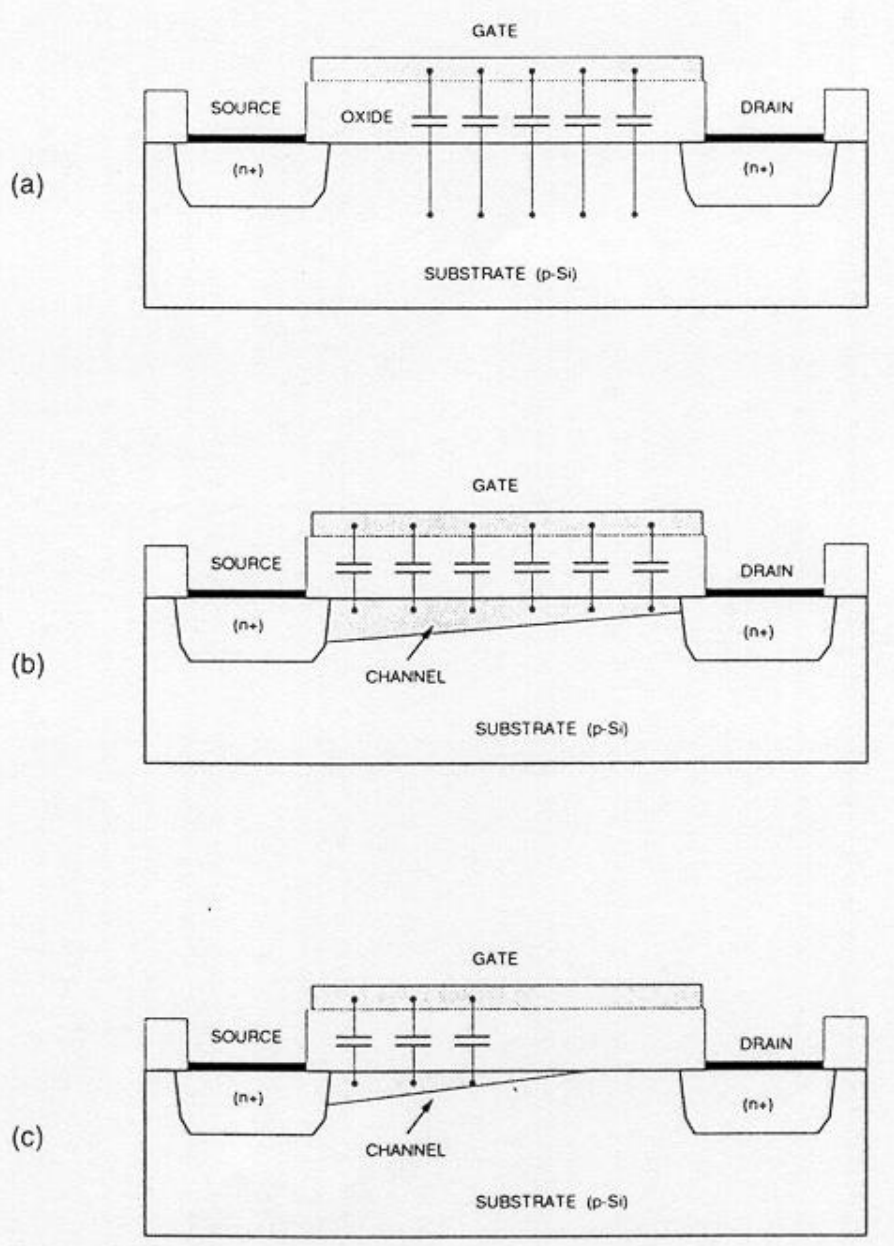
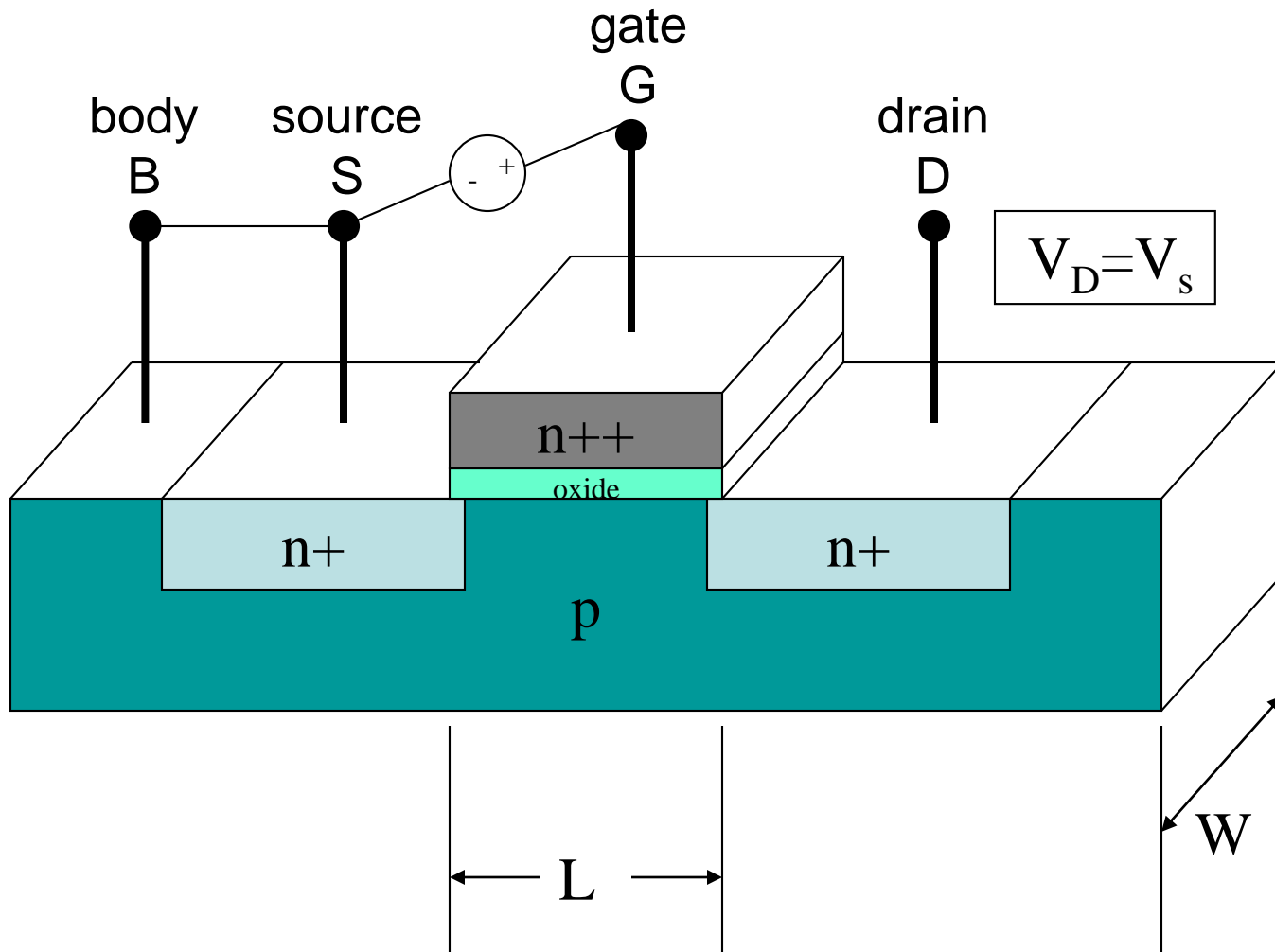


Figura-4.8: Reprezentarea schematica a capacitatilor legate de stratul de oxid pentru MOSFET in regimurile de: (a) blocare, (b) operare in modul liniar, si (c) in saturatie.

Flatbands! For this choice of materials,

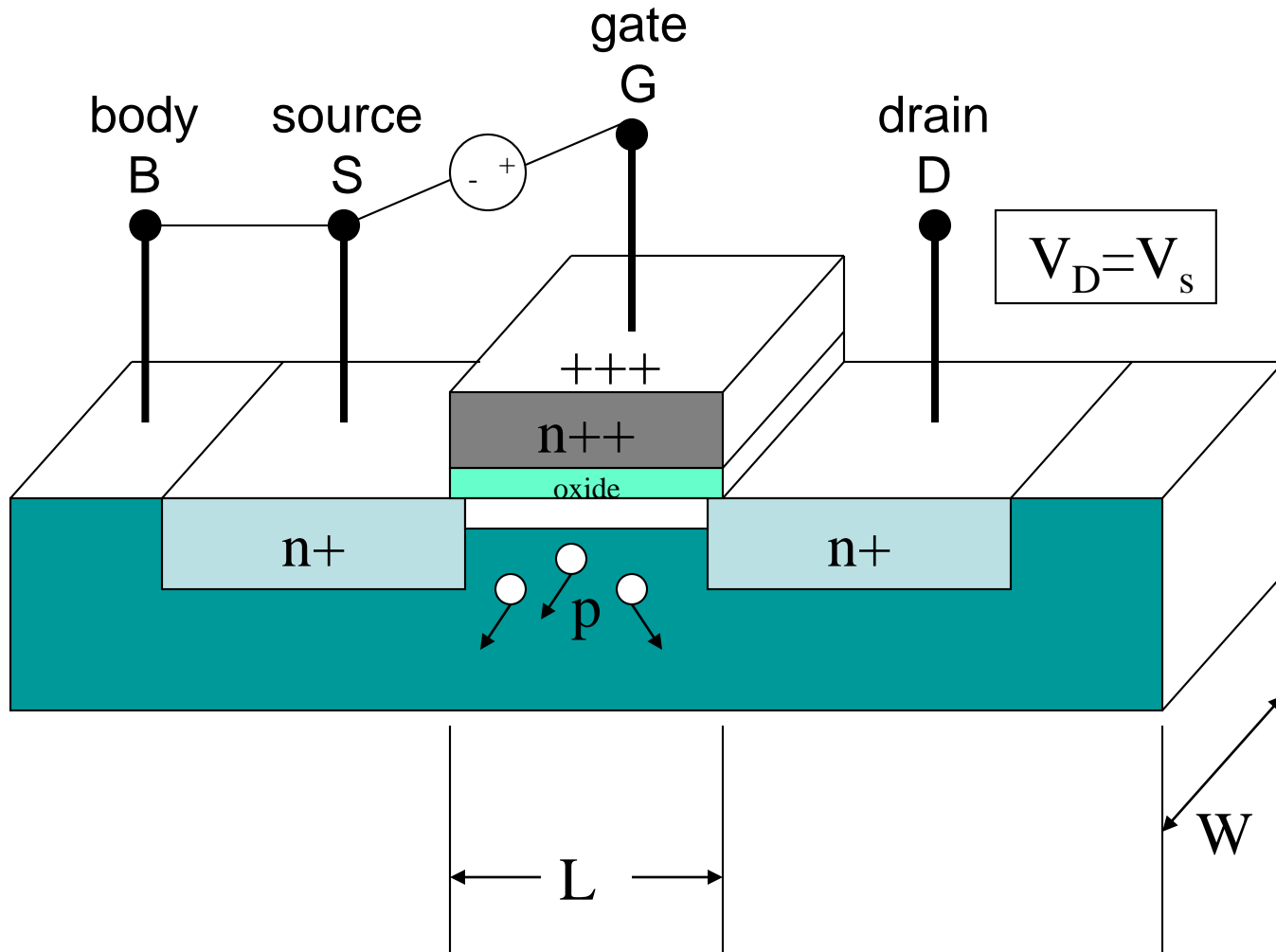
$$V_{GS} < 0$$

n^+pn^+ structure $\rightarrow I_D \sim 0$

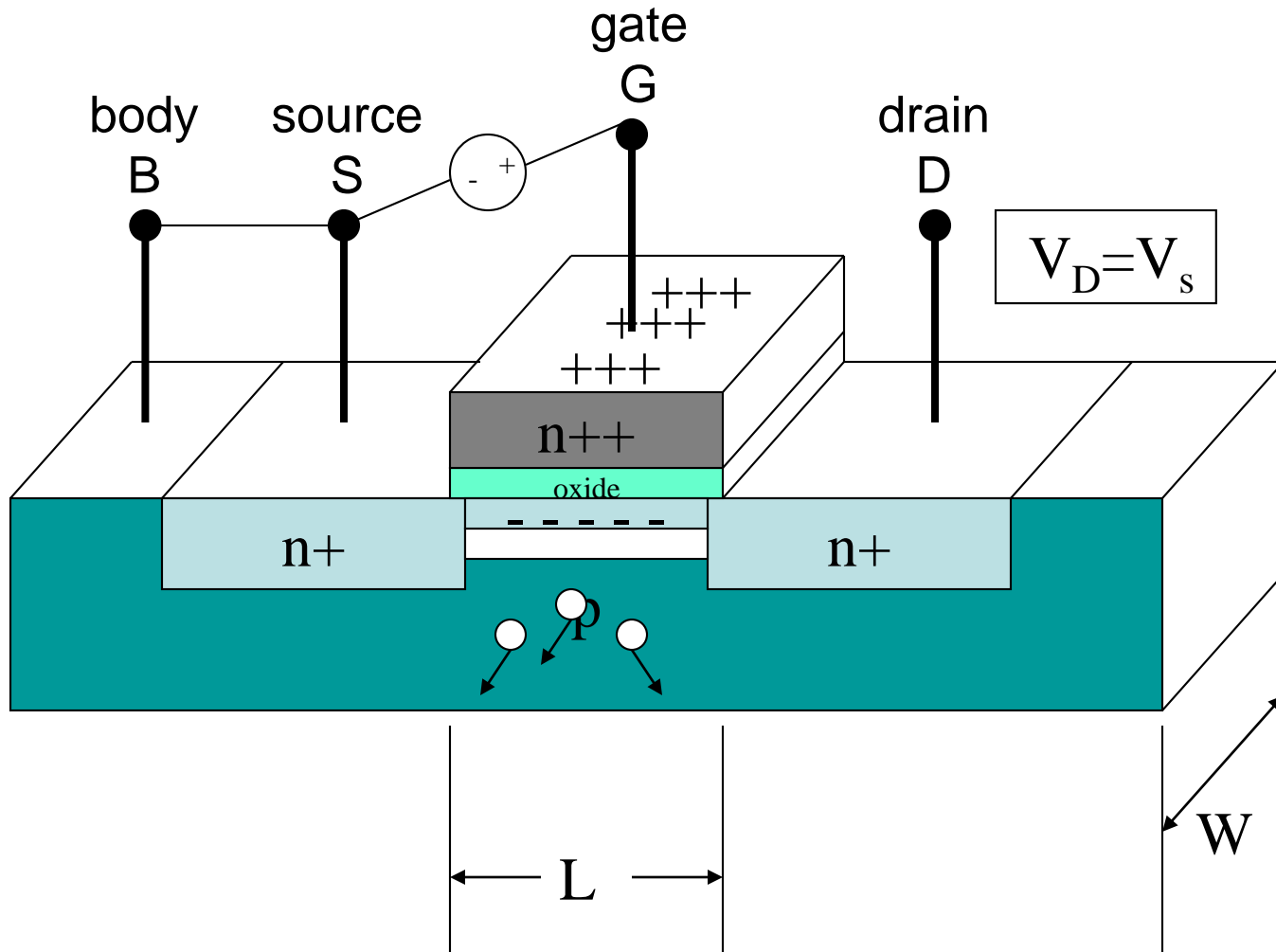


Flatbands $< V_{GS} < V_T$ (Includes $V_{GS}=0$ here).

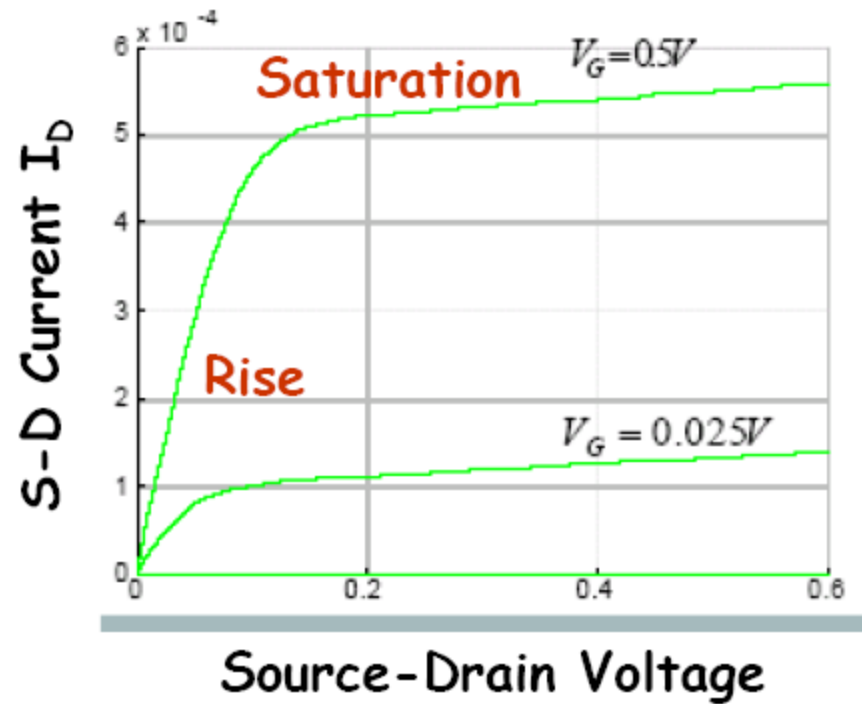
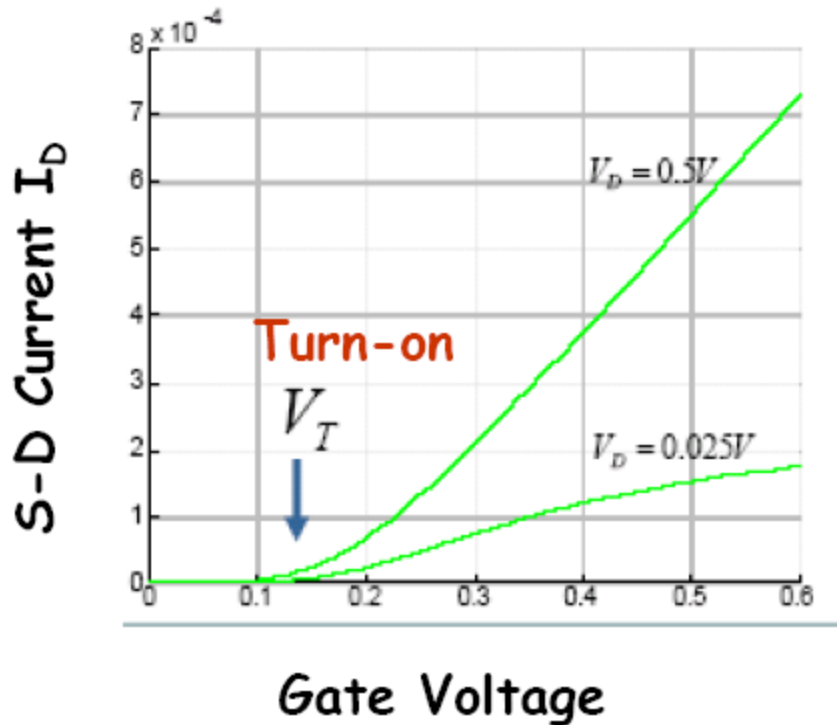
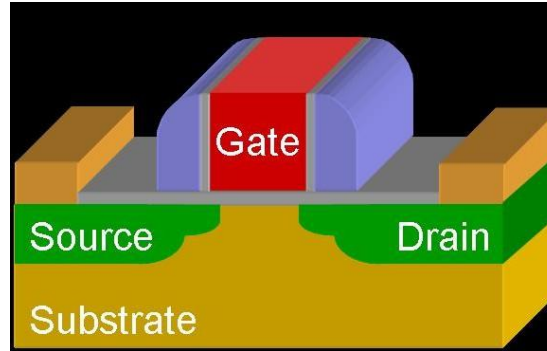
n^+ -depletion- n^+ structure $\rightarrow I_D \sim 0$



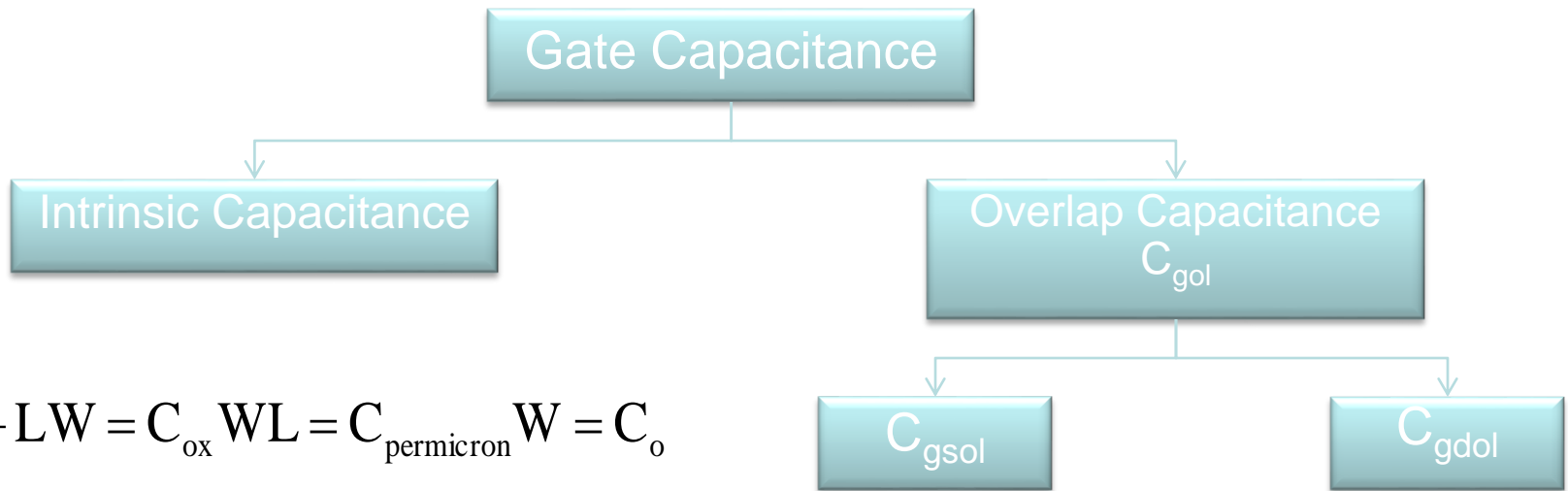
$V_{GS} > V_T$
 $n^+ - n - n^+$ structure \rightarrow inversion



MOSFET I-Vs



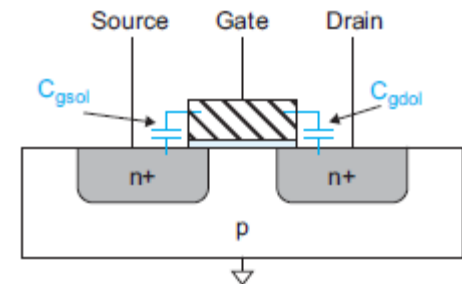
Gate Capacitance



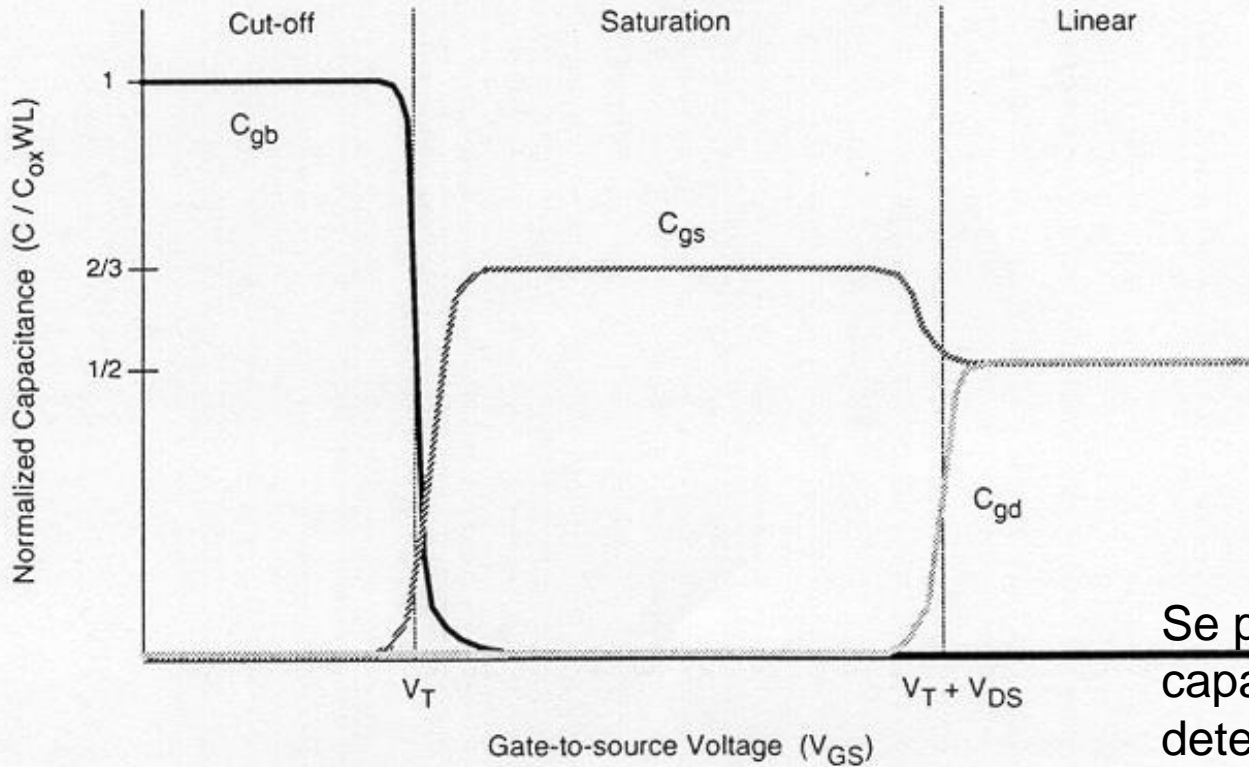
$$C_g = \frac{\epsilon}{t_{ox}} LW = C_{ox} WL = C_{\text{permicron}} W = C_o$$

Depends on the mode of operation:

| Parameter | Cutoff | Linear | Saturation |
|----------------------------------|------------|---------|------------|
| C_{gb} | $\leq C_o$ | 0 | 0 |
| C_{gs} | 0 | $C_o/2$ | $2/3 C_o$ |
| C_{gd} | 0 | $C_o/2$ | 0 |
| $C_g = C_{gs} + C_{gd} + C_{gb}$ | C_o | C_o | $2/3 C_o$ |



Modificarea simplificata a a valorilor celor trei capacitati in functie de tensiunea poarta sursa este prezentata in Fig. 4.9.



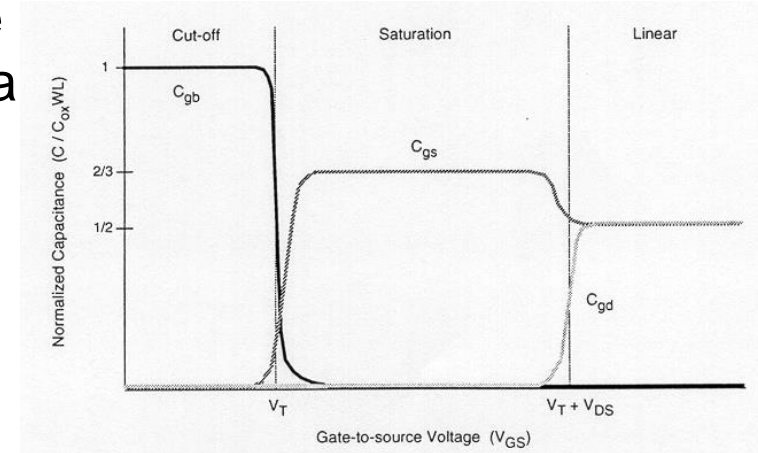
Se poate observa ca capacitatea totala a portii este determinata in principal de capacitatea plan-paralela dintre poarta de polisiliciu si structurile inferioare. Aici magnitudinea capacitatii asociata stratului de oxid este foarte stransa legata de:

1. grosimea porti de oxid si
2. de aria portii MOSFET.

Figura-4.9: Variatia capacitatii bazate pe oxid functie de tensiunea grila-sursa.

Se poate observa ca capacitatea totala a portii este determinata in principal de capacitatea plan-paralela dintre poarta de polisiliciu si structurile inferioare. Aici magnitudinea capacitatii asociata stratului de oxid este foarte stransa legata de:

1. grosimea porti de oxid si
2. de aria portii MOSFET.



In mod evident, capacitatea totala a portii scade cu micșorarea dimensiunilor dispozitivului (L si W), dar crește odata cu reducerea grosimii oxidului portii.

In tehnologiile submicronice, dimensiunile orizontale (care dicteaza aria portii) sunt de obicei mai usor de micșorat decat dimensiunile verticale, de exemplu grosimea oxidului portii. In consecinta, tranzistoarele MOSFET fabricate in tehnologiile submicronice au, in general, capacitati de poarta mai mici.

In continuare se considera capacitatile dependente de tensiune de tipul sursa-substrat si drena-substrat, C_{sb} si C_{db} . Ambele capacitati sunt datorate stocarii sarcinilor ce inconjoara regiunile sursa sau drena ale tranzistorului respectiv, care sunt integrate in substrat.

Figura 4.10 arata geometria simplificata a unei regiuni de difuzare tipul n intr-un substrat de tipul p . Aici regiunea de difuzie a fost aproximata cu un dreptunghi, care e format din cinci jonctiuni $p-n$ plane.

Capacitatea totala a jonctiunii este functie de aria jonctiunii (suma tuturor ariilor jonctiunilor plane), de densitatile de dopaj si de tensiunea aplicata la terminal. In literatura de specialitate sunt date o serie de metode pentru estimarea capacitatii jonctiunii bazate pe aceste informatii. In consecinta nu se va mai face o discutie detaliata asupra calculului capacitatii.

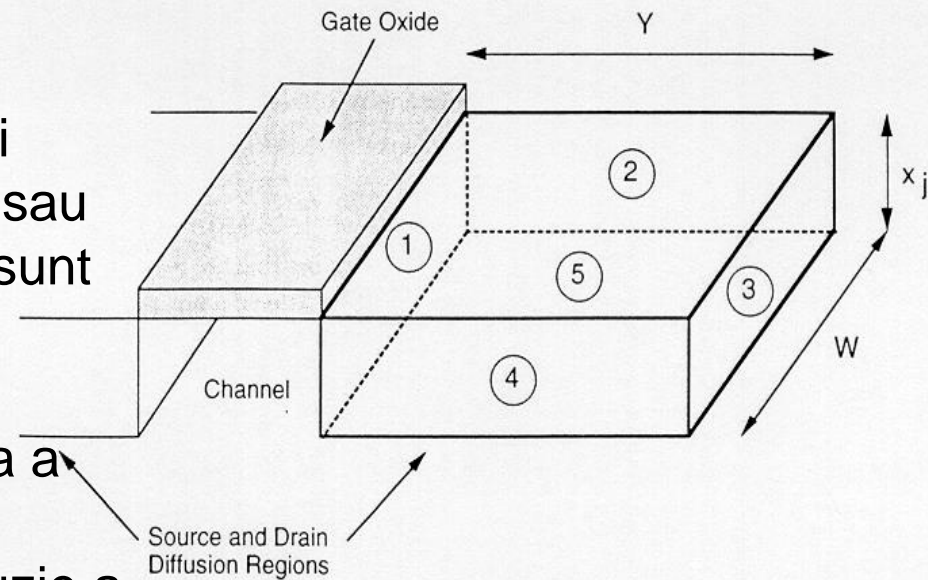


Figura-4.10: Vizualizare tridimensională a regiunii de difuzie de tipul n într-un substrat de tipul p .

$$\phi_0 = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right)$$

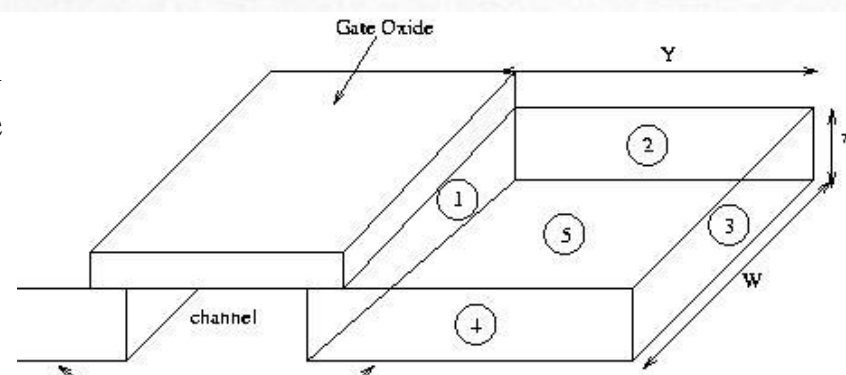
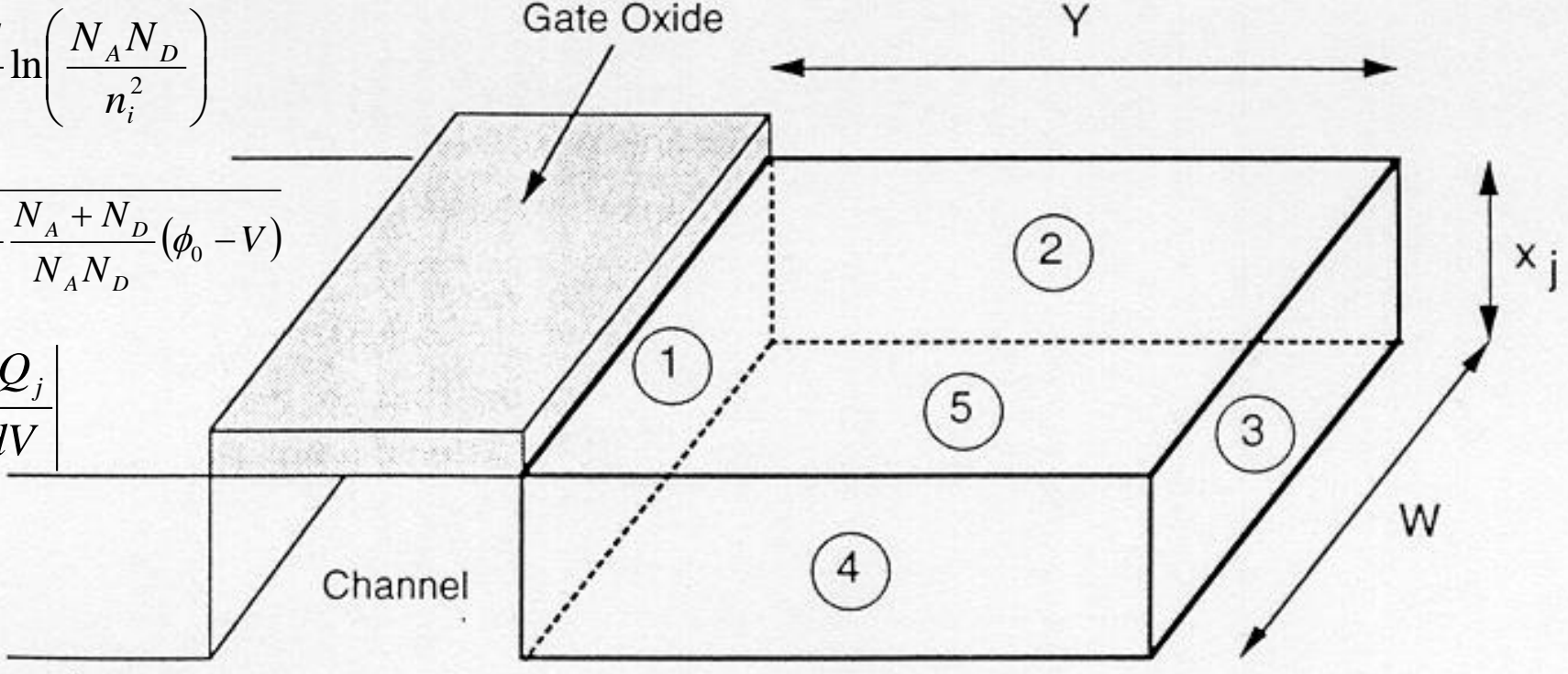
$$x_d = \sqrt{\frac{2\epsilon_{Si}}{q} \frac{N_A + N_D}{N_A N_D} (\phi_0 - V)}$$

$$C_j = \left| \frac{dQ_j}{dV} \right|$$

$$C_j(V) = \frac{AC_{j0}}{\left(1 - \frac{V}{\phi_0}\right)^m}$$

Source and Drain Diffusion Regions

$$Q_j = Aq \left(\frac{N_A N_D}{N_A + N_D} \right) x_d = A \sqrt{2\epsilon_{Si} q \left(\frac{N_A N_D}{N_A + N_D} \right) (\phi_0 - V)}$$



The junction types will be n⁺/p, n⁺/p⁺, n⁺/p⁺ n⁺/p⁺ and n⁺/p.

Figura-4.10: Vizualizare tridimensională a regiunii de difuzie de tipul n într-un substrat de tipul p.

Un aspect important al capacitatii jonctiunii din dispozitivul parazit este acela ca valoarea capacitatii este functie liniara de aria jonctiunii. Astfel, marimea ariei de difuzie drena sau sursa dicteaza valoarea capacitatii parazite. In tehnologiile submicronice, unde dimensiunile medii ale dispozitivelor individuale sunt micorate, capacitatea parazita a jonctiunilor scade, deasemenea, semnificativ.

S-a mentionat deja ca aceste capacitati parazite MOSFET sunt in principal responsabile pentru intarzierile intrinseci ale portilor logice. Am vazut ca, atat capacitatea parazita legata de oxid, cat si cea asociata jonctiunii tind sa scada odata cu micorarea dimensiunilor dispozitivelor, adica, semnificatia relativa a intarzierilor intrinseci ale unei porti scad, in tehnologiile submicronice.

4.4 Estimarea Capacitatii Interconexiunilor

Intr-o pastila tipica VLSI, capacitatile parazite ale interconexiunilor sunt printre cei mai dificili parametri, care se pot estima corect. Fiecare linie de interconectare (traseu) este o structura tridimensionale in metal si/sau polisiliciu, cu variatii semnificative de forma, grosime si distanta pe verticala fata de planul de baza (substrat). Deasmena, fiecare linie de interconectare este tipic inconjurata de un numar de alte linii, ori pe acelasi nivel, ori pe niveluri diferite.

Figura 4.11 arata o posibila si realista situatie unde interconexiunile a trei niveluri diferite practic se suprapun. Estimarea reala a capacitatii parazite a acestor trasee, luand in considerare si planul de baza precum si fiecare celalalt traseu, este in mod evident un lucru complicat.

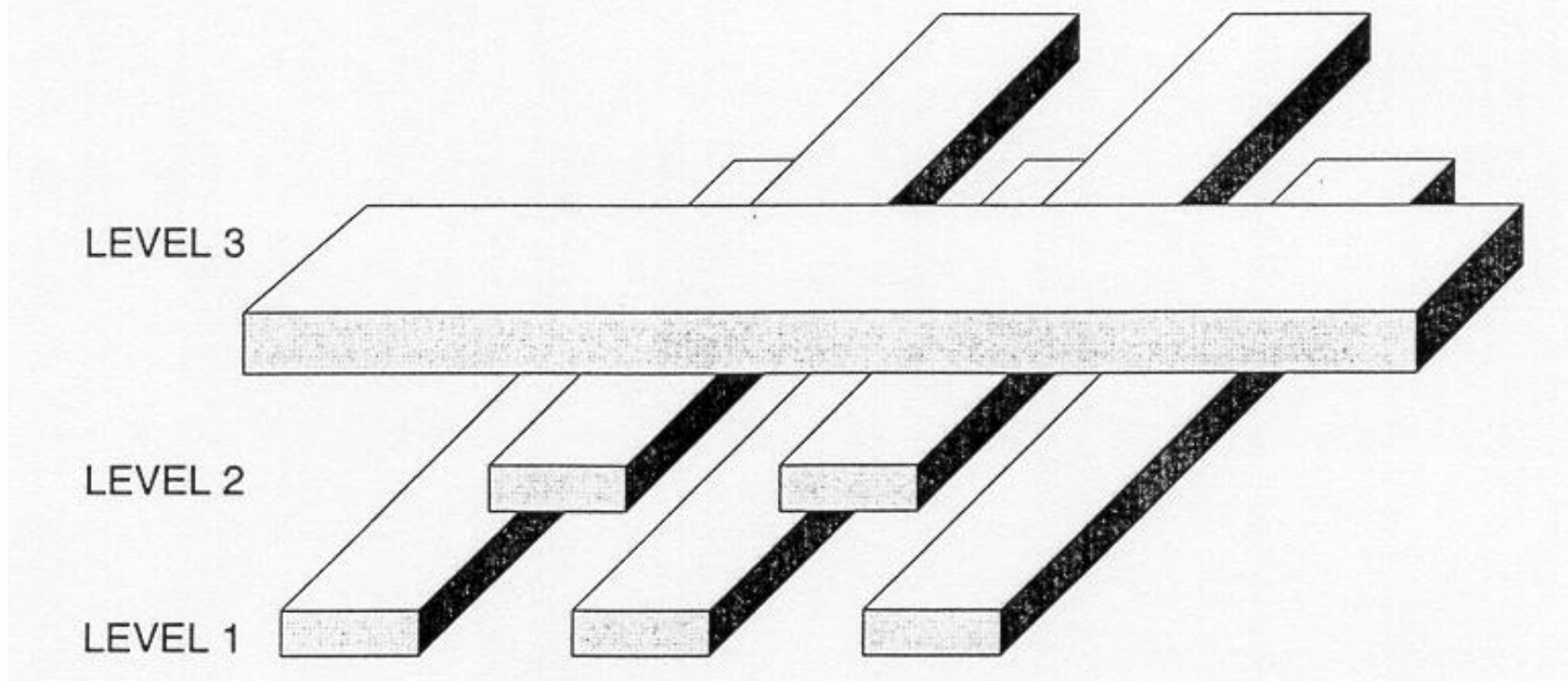


Figura-4.11: Exemplu de sase linii de interconectare care trec prin trei niveluri diferite.

Din nefericire pentru proiectantii VLSI, instrumentele conventionale de proiectare VLSI asistate de calculator au o capacitate relativ limitata de estimare a interconexiunilor parazite. Aceasta este adevarata chiar si pentru instrumentele de proiectare utilizate in mod regulat pentru proiectarea VLSI submicronice, unde interconexiunile parazite s-au aratat a fi dominante. Proiectantul ar trebuie sa fie atent la problemele fizice si sa incerce sa incorporeze propriile cunostiinte in faza de proiectare cand este realizat planul initial al circuitului.

Mai intai, se considera sectiunea unei singure interconexiuni, aratata in Fig. 4.12. Se presupune ca acest segment de traseu are o lungime de (l) in directia curenta, o latime de (w) si o inaltime de (t). Mai mult, se presupune ca planul de baza este un dielectric (oxid) de inaltime (h). Acum, estimarea corecta a capacitatii parazite, care ia in calcul planul de baza devine o problema importanta. Folosind geometria de baza data in Fig. 4.12, se poate calcula capacitatea plan-paralela C_{pp} a segmentului de interconectare. Oricum in liniile de interconectare unde grosimea traseelor (t) este comparabila in marime cu distanta fata de planul de baza (h), campurile electrice invecinate cresc in mod semnificativ capacitatea parazita totala (Fig. 4.13).

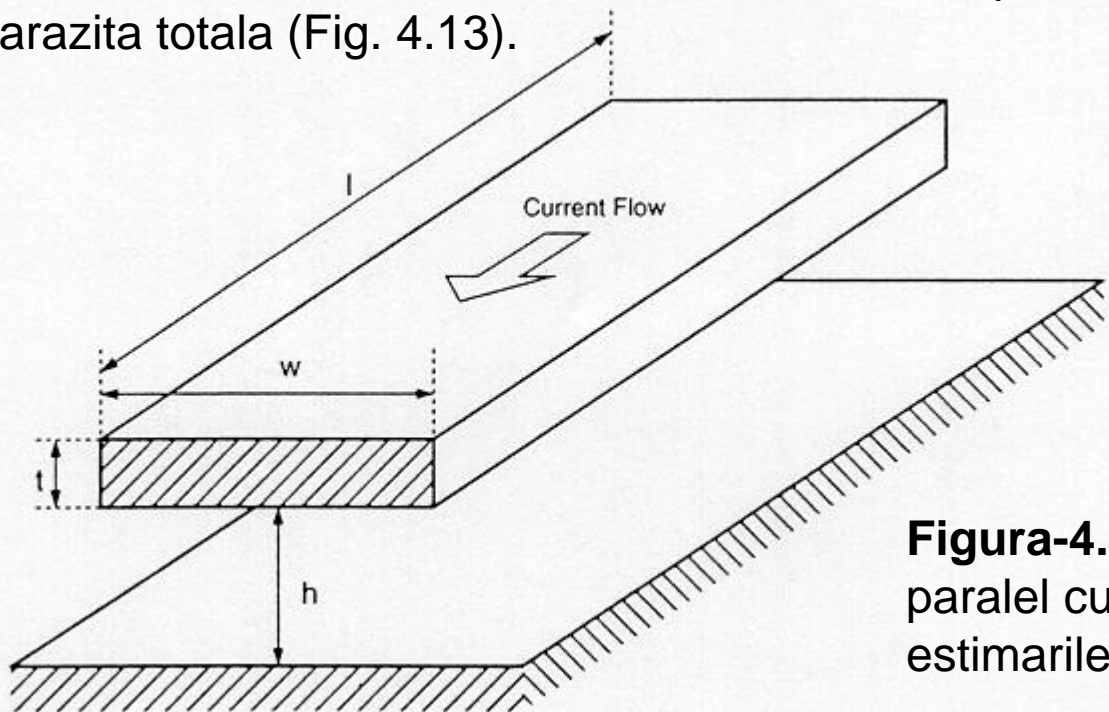
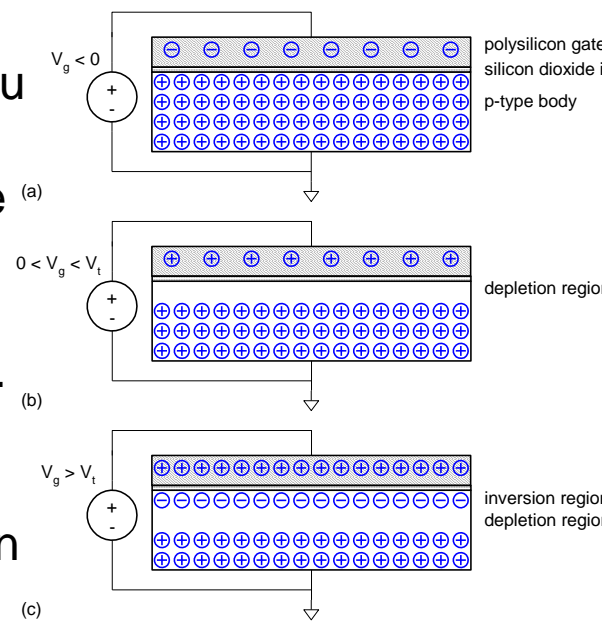


Figura-4.12: Segment de interconectare paralel cu substratul, folosit pentru estimarile capacitatii



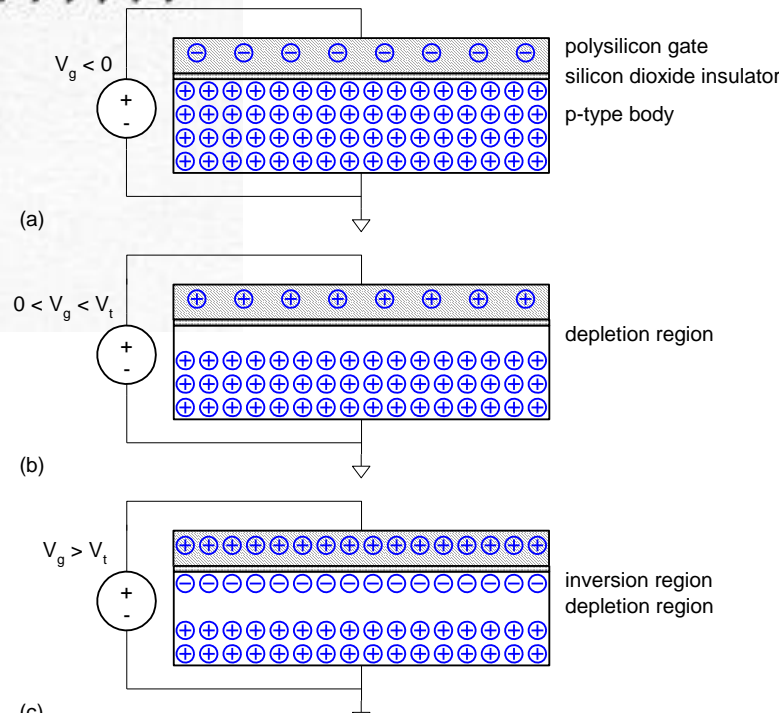
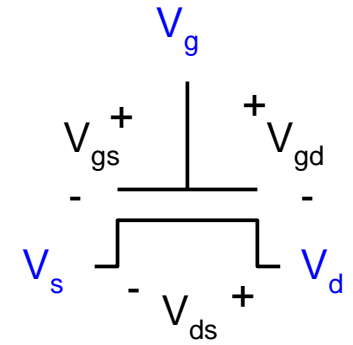
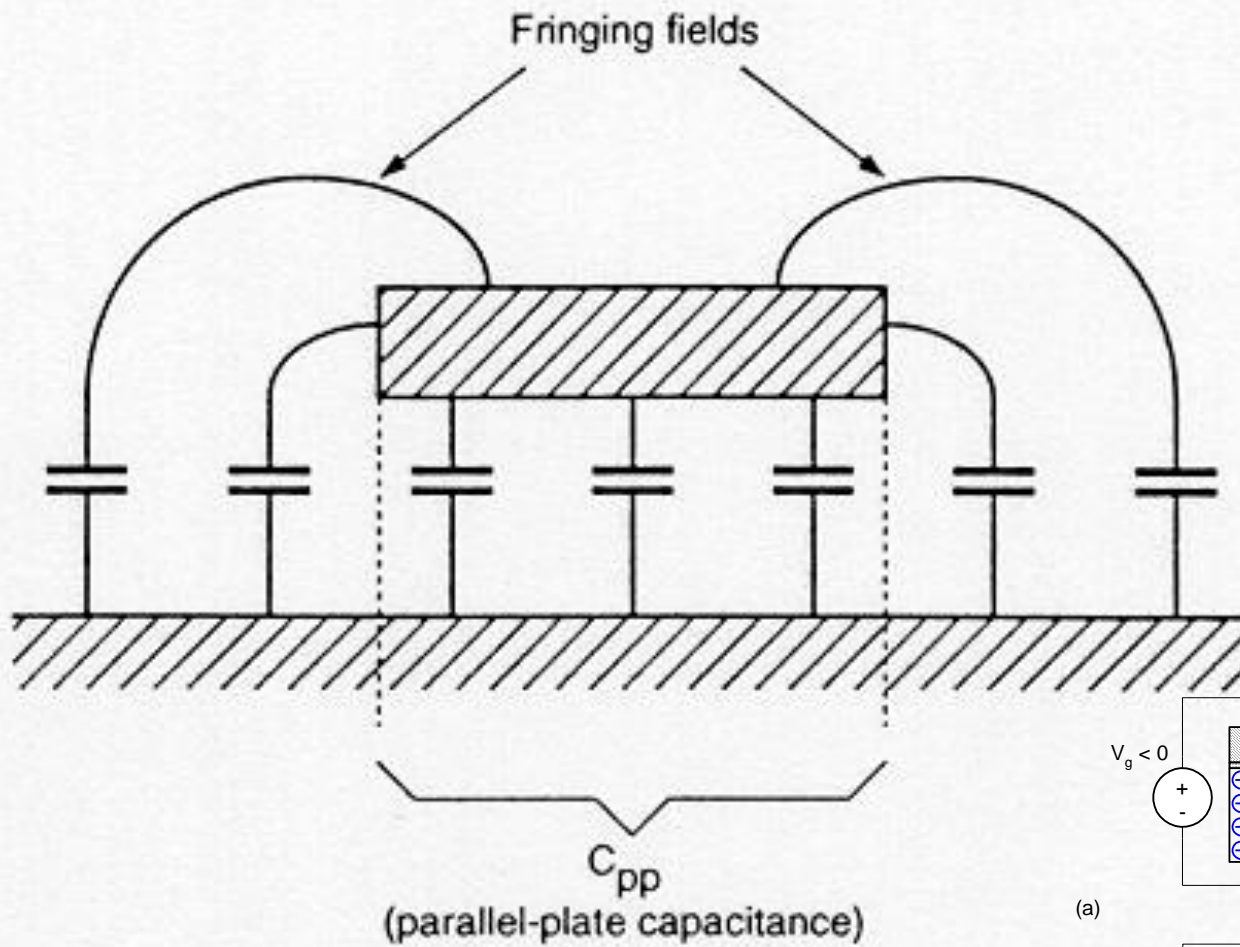


Figura-4.13: Influenta campurilor electrice de frontiera asupra capacitatii parazite a traseului.

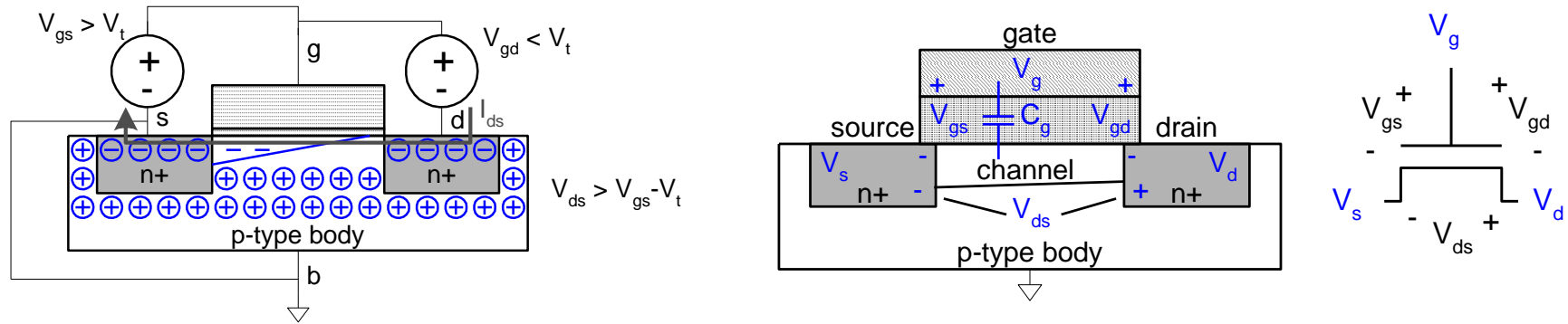


Figura 4.14 arata variatia factorului camp frontiera $FF = C_{total}/C_{pp}$, functie de (t/h) , (w/h) si (w/l) . Se poate observa cum influenta campurilor invecinate creste odata cu descresterea raportului (w/h) si cum capacitatea campului de frontiera poate fi de circa 10-20 ori mai mare decat capacitatea planelor paralele.

S-a mentionat mai devreme ca tehnologiile de fabricatie submicronice permit scadere grosimii liniilor de metal, cu toate ca grosimea liniei trebuie conservata pentru a asigura integritatea structurii. In aceasta situatie, care implica linii de metal cu o grosime verticala considerabila, apare in mod special vulnerabilitatea la efectele campului invecinat.

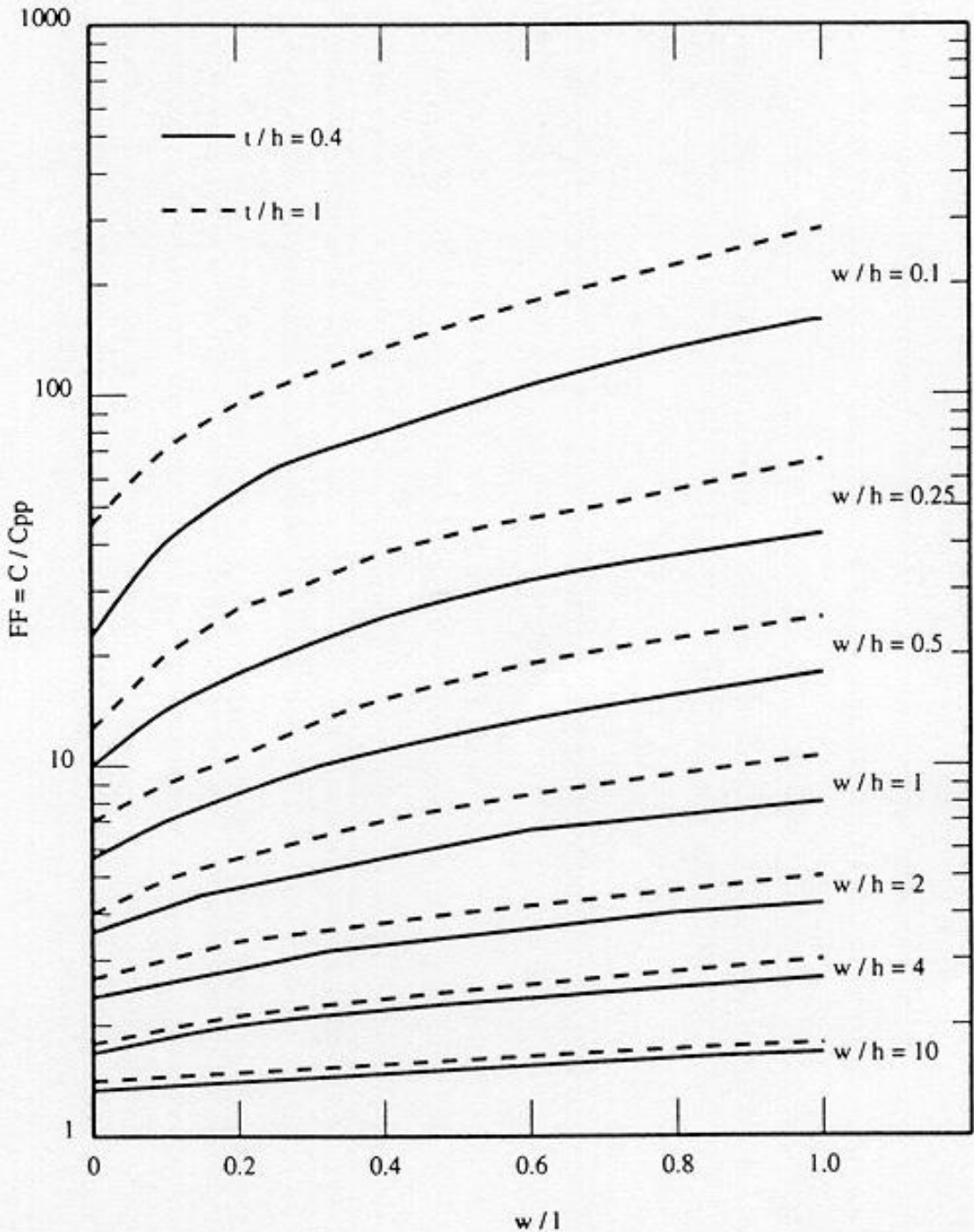
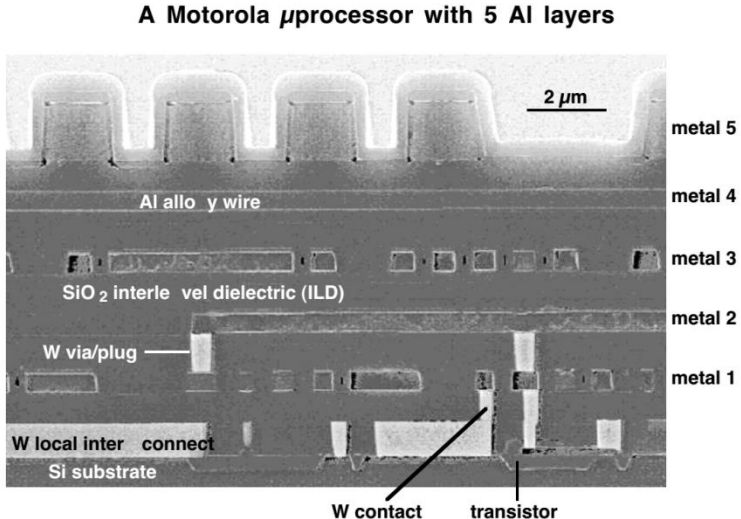
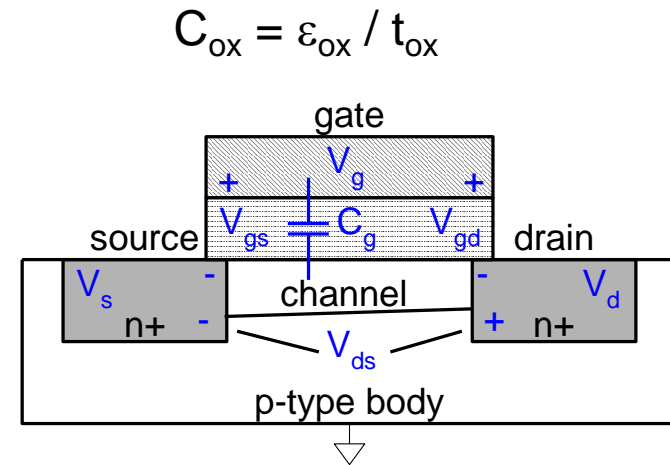
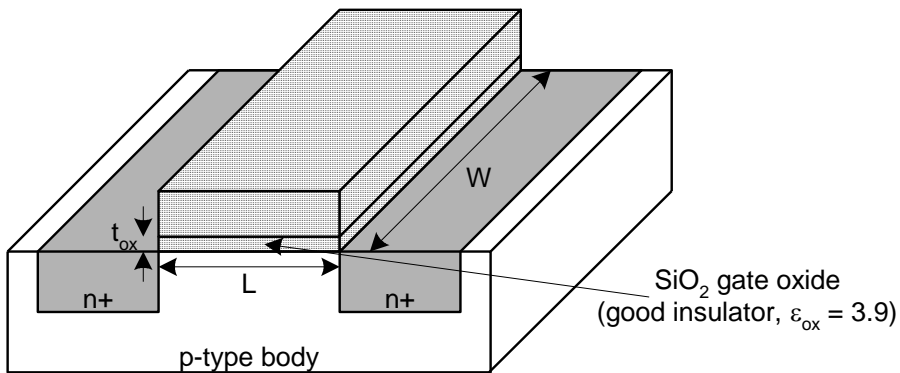


Figura-4.14: Variatia factorului de camp invecinat cu geometria de interconectare.



Pentru a estima capacitatea structurilor de interconectare in care campurile invecinate complica calculul capacitatii parazite, se poate folosi un set simplu de formule dezvoltate de Yuan si Trick la inceputurile anilor 1980'. Urmatoarele doua cazuri sunt considerate pentru doua game diferite ale latimii liniei (w).



$$C_{ox} = \epsilon_{ox} / t_{ox}$$

$$C = \epsilon \left[\frac{w}{h} + \frac{\pi \left(1 - 0.0543 \cdot \frac{t}{2h} \right)}{\ln \left(1 + \frac{2h}{t} + \sqrt{\frac{2h}{t} \left(\frac{2h}{t} + 2 \right)} \right)} + 1.47 \right] \quad \text{for } w < \frac{t}{2}$$

Aceste formule permit aproximarea cu acuratete a valorii capacitatii parazite cu o eroare de 10%, chiar si pentru valori foarte mici ale (t/h). Figura 4.15 arata o reprezentare diferita a capacitatii liniei, ca functie de (w/h) si (t/h). Linia punctata din acest grafic reprezinta capacitatea plan-paralela corespunzatoare, iar celelalte doua curbe reprezinta capacitatea reala luand in considerare si efectele

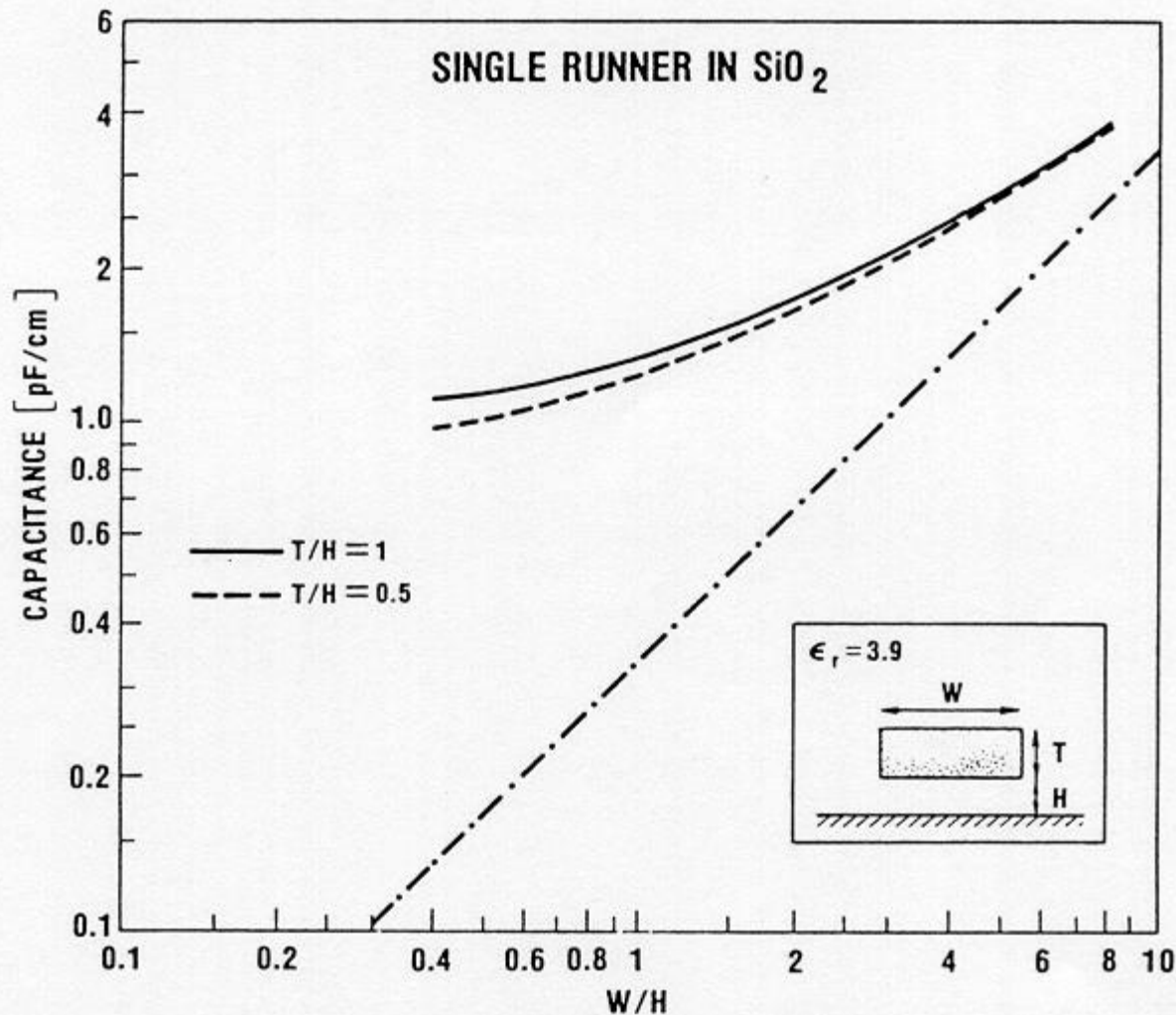


Figura-4.15: Capacitatea unui traseu singular ca functie de (w/h) si (t/h).

Acum se considera cazul mai realist in care linia de interconectare nu este singulara, ci este cuplata cu alte linii, care merg in paralel. In acest caz, capacitatea parazita totala a liniei nu este doar amplificata prin efectele campurilor invecinate, dar si prin capacitatea de cuplare cu cele doua linii, pe fiecare parte, separate de regula de proiectare a minimumului.

In mod special, daca ambele linii vecine sunt legate la potentialul de masa, capacitatea parazita totala a liniei de interconectare ce trece prin mijloc (fata de planul de baza) poate fi de 20 de ori mai mare decat capacitatea simpla a planului paralel. Se poate observa modul in care creste cuplajul capacitiv intre traseele vecine, cand grosimea traseului este comparabila cu latimea sa.

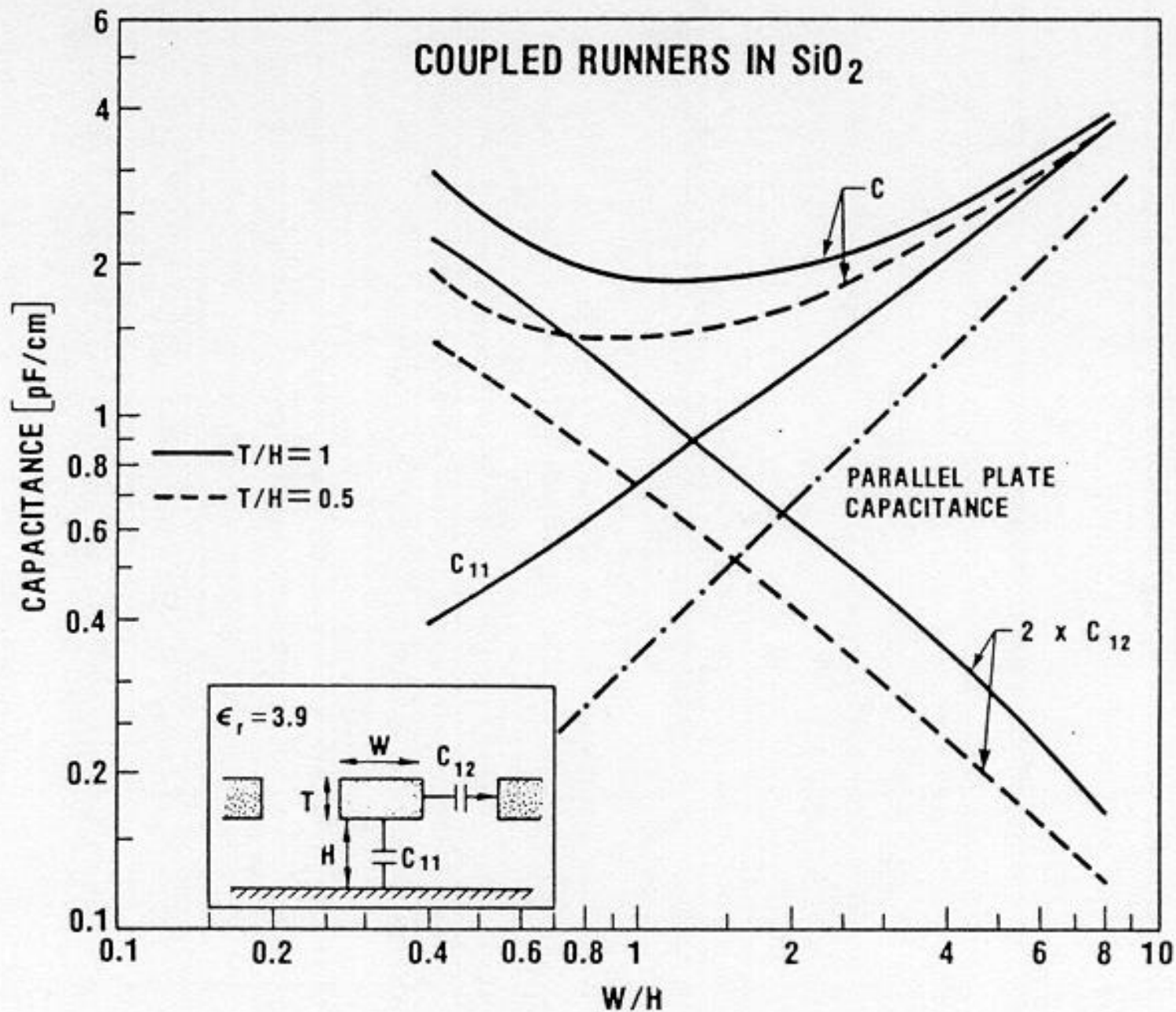


Figura-4.16: Capacitatea unor trasee cuplate ca functie de (w/h) si (t/h) .

Figura 4.17 prezinta o sectiune transversala prin structura dubla de metal CMOS unde sunt indicate capacitatile parazite individuale dintre niveluri. Sectiunea transversala nu arata un MOSFET, ci doar o portiune a regiunii de difuzie peste care pot trece anumite linii de metal.

Capacitatea nivelului interior dintre metal-2 si metal-1, metal-1 si polisiliciu, metal-2 si polisiliciu sunt etichetate ca C_{m2m1} , C_{m1p} si C_{m2p} , respectiv. Celelalte componente capacitive parazite sunt definite fata de substrat. Daca liniile de metal traverseaza o regiune activa, grosimea de oxid de sub ea este mai mica (datorita ferestrei zonei active) si, in consecinta, capacitatea este mai mare.

Aceste cazuri speciale sunt etichetate cu C_{m1a} si C_{m2a} . Altfel, grosimea nivelului campului de oxid va genera o valoare a capacitatii mai mica.

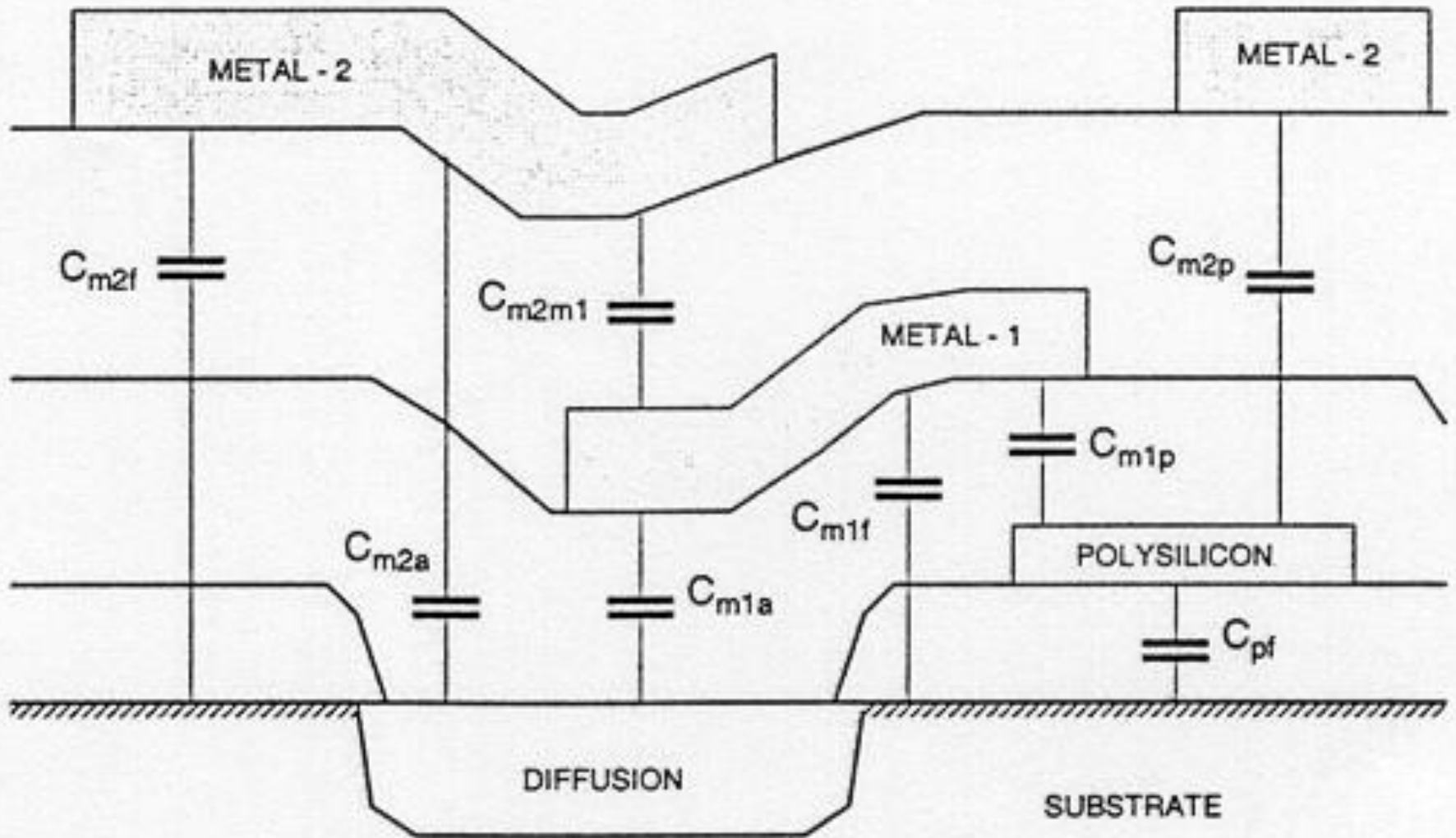
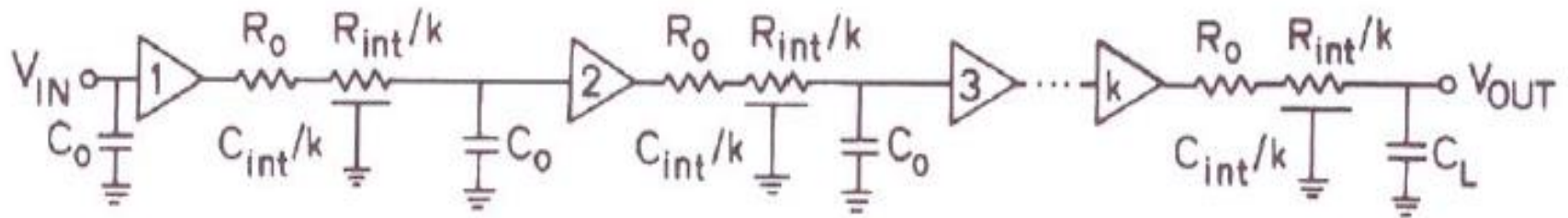


Figura-4.17: Vizualizarea sectiunii transversale a unei structuri bimetale CMOS, care arata capacitatea dintre diferitele niveluri.

(a) minimum-size repeaters,



single chain

$$T_{50\%} = k \left[0.7R_o \left(\frac{C_{int}}{k} + C_o \right) + \frac{R_{int}}{k} \left(0.4 \frac{C_{int}}{k} + 0.7C_o \right) \right]$$

$$\frac{dT}{dk} = 0, \quad 0.4 \frac{R_{int} C_{int}}{k^2} = 0.7 R_o C_o.$$

$$k = \sqrt{\frac{0.4 R_{int} C_{int}}{0.7 R_o C_o}}$$

$$k = \sqrt{\frac{0.4 R_{int} C_{int}}{0.7 R_o C_o}}$$

Under what condition repeater insertion should take place?

$$\sqrt{\frac{0.4 C_{int} R_{int}}{0.7 C_o R_o}} \geq 2 \quad \frac{C_{int} R_{int}}{C_o R_o} \geq 7$$

