

Tehnici de proiectări a structurilor VLSI

TPS VLSI

MN-211

Oleg LUPAN, profesor univ., dr. hab.

D MIB, 3-429

Consultații

Miercuri 17-18

orice zi disponibilă

T8 Proiectarea inversorului CMOS.

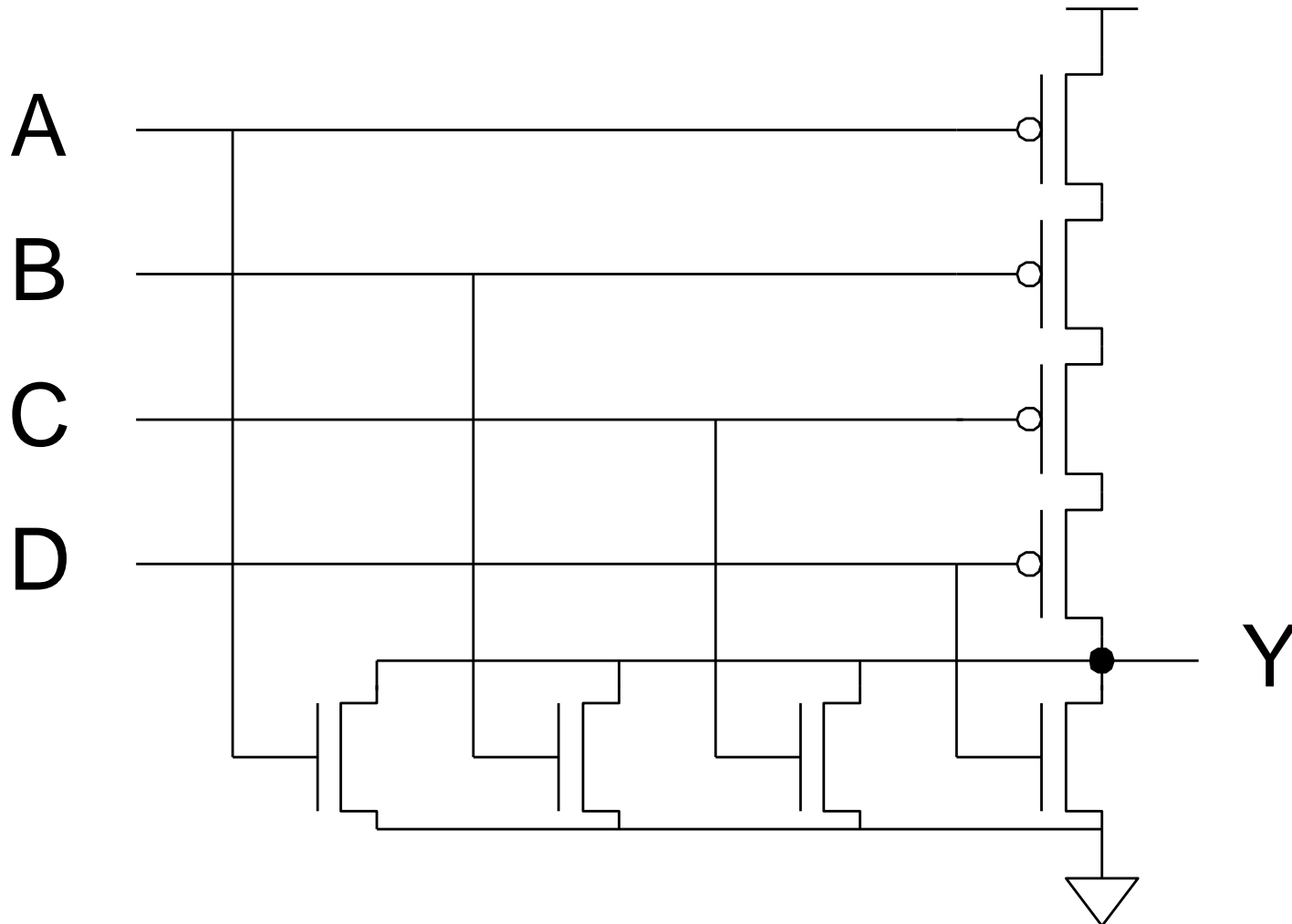
Proiectarea inversorului CMOS

T9. Porțile logice CMOS.

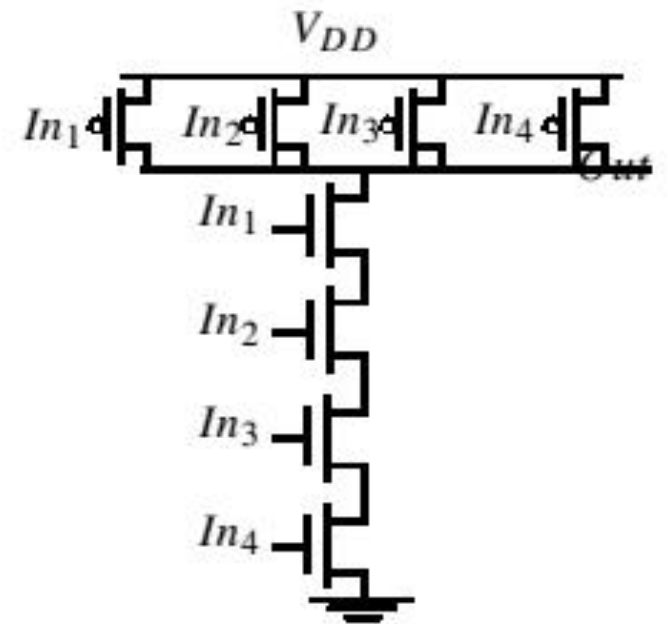
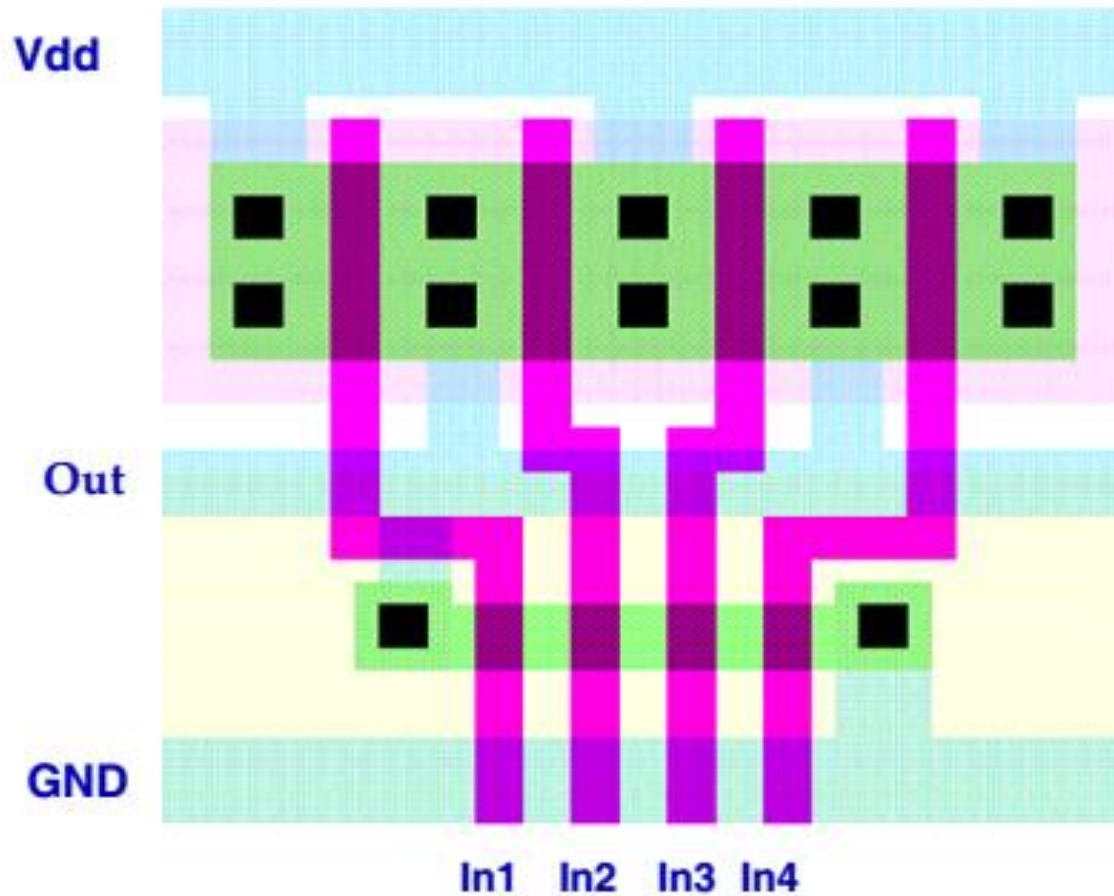
Porțile logice CMOS. Estimarea performanțelor structurii fizice

- **Activity:**

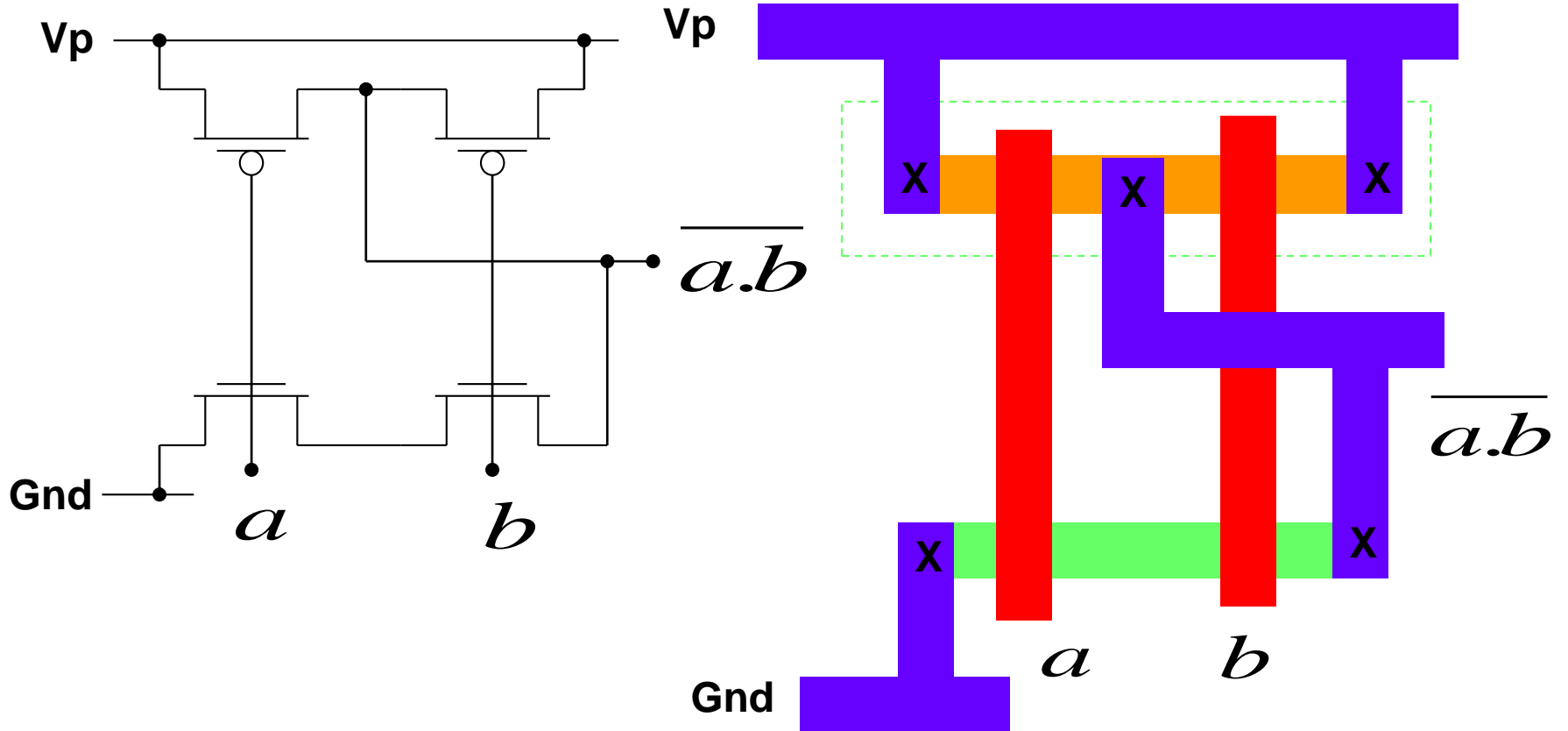
- Sketch a 4-input CMOS NOR gate



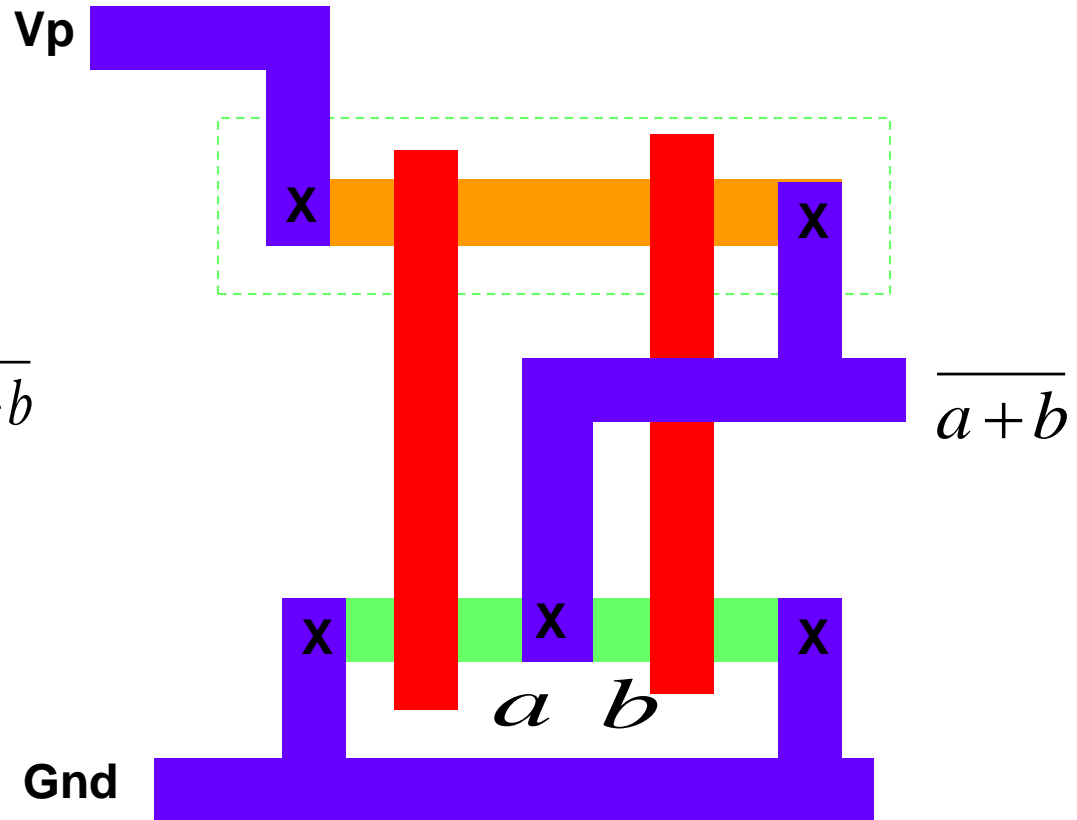
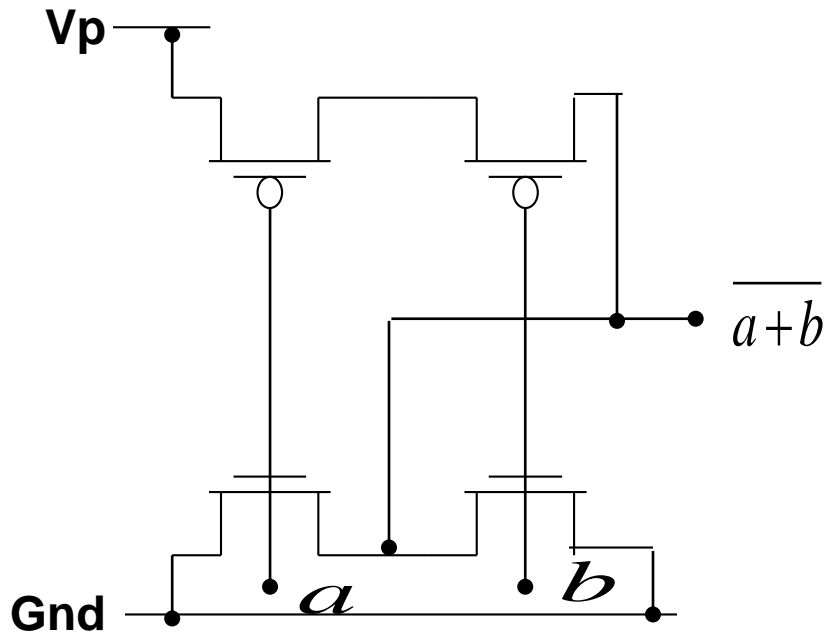
4-input NAND Gate



NAND2 Layout



NOR2 Layout



Capitolul 4

EXTRAGEREA ELEMENTELOR DE CIRCUIT PARAZITE SI ESTIMAREA PERFORMANTELOR DIN STRUCTURA FIZICA

4.1 Introducere

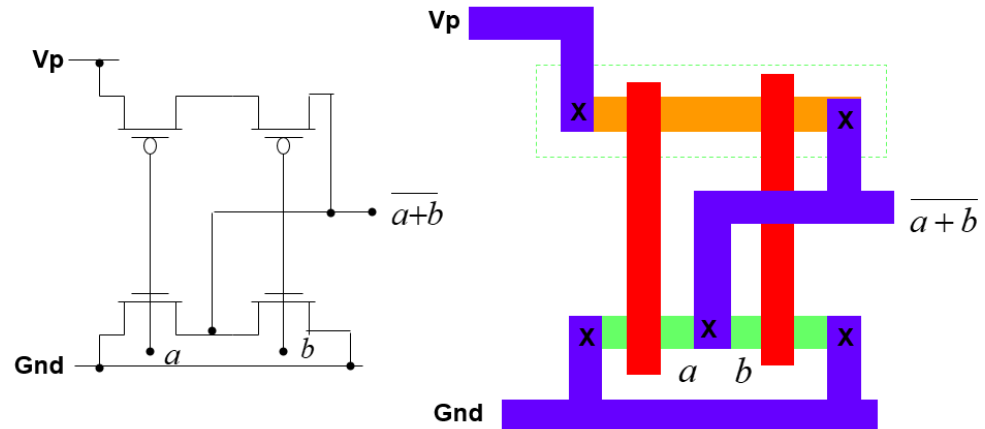
4.2 Realitatea privind interconexiunile

4.3 Capacitatile MOSFET

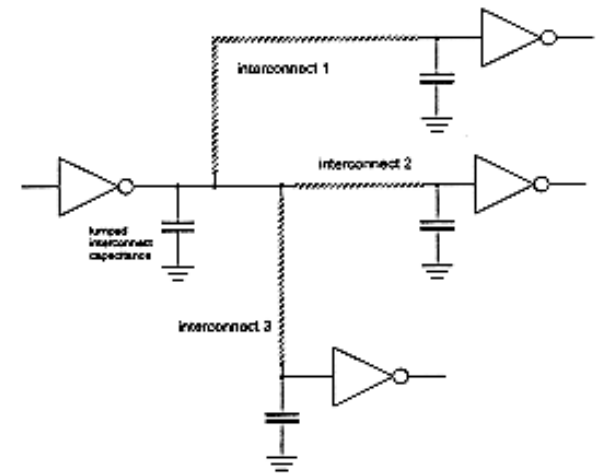
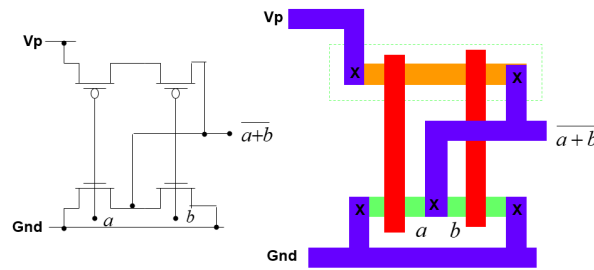
4.4 Estimarea Capacitatii Interconexiunilor

4.5 Estimarea Rezistentei Interconexiunilor

NOR2 Layout



NOR2 Layout

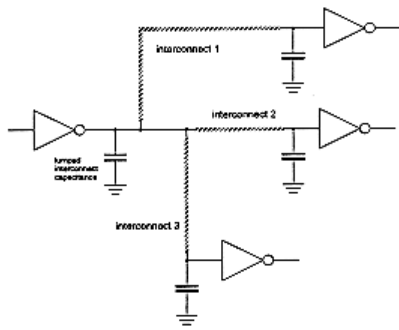


4.1 Introducere

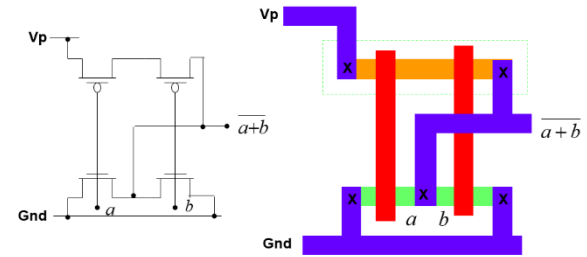
In acest capitol se vor investiga mai multi factori fizici, care determina si, in final, limiteaza performanta circuitelor numerice VLSI.

Caracteristicile de comutare ale circuitelor integrate dicteaza in mod esential viteza medie de operare a sistemelor numerice. Performanta dinamica necesara a unui sistem numeric este de obicei una dintre cele mai importante specificatii de proiectare pe care trebuie sa o indeplineasca un proiectant de circuite.

De aceea, **viteza de comutare a circuitelor trebuie estimata si optimizata inca in fazele de inceput ale proiectarii.**



NOR2 Layout



Metoda clasica pentru determinarea vitezei de comutare a unui bloc numeric se bazeaza pe presupunerea ca incarcările sunt in principal **capacitive**.

Exista modele relativ simple de intarziere pentru portile logice cu incarcari pur capacitive la nodul de iesire, de aici, modul dinamic de comportament al circuitului putand fi cu usurinta estimat odata cu determinarea incarcarii.

Metodele conventionale de estimare a intarzierii cauta sa clasifice cele trei componente principale ale incarcarii portii, toate presupunandu-se a fi capacitive, dupa cum urmeaza:

1. **capacitatile parazite interne ale tranzistoarelor**
2. capacitatile liniilo/traseelor de interconectare
3. **capacitatile de intrare ale portilor conectate la iesire.**

Dintre cele trei componente, conditiile de incarcare impuse de liniile de interconectare prezinta probleme serioase.

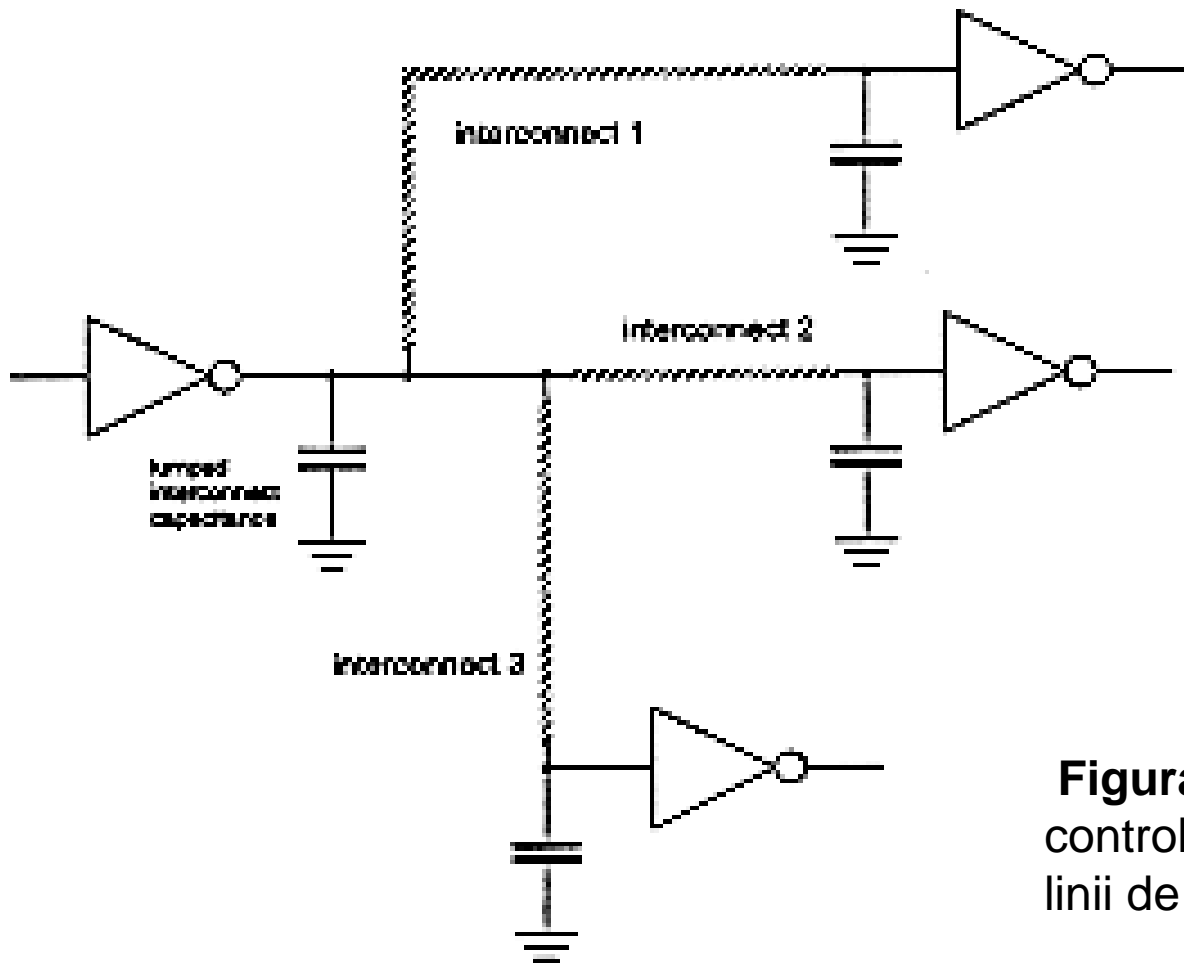


Figura-4.1: Un inversor care controleaza alte trei inversoare prin linii de interconectare.

Figura 4.1 prezinta o situatie simpla unde un inversor controleaza alte trei inversoare, legate prin liniile de interconectare de diferite lungimi si geometrii. Daca incarcarea totala a fiecarei linii de interconectare poate fi aproximata printr-o capacitate conectata la masa, atunci incarcarea totala vazuta de inversorul primar este suma tuturor componentelor capacitive descrise anterior.

Caracteristicile de comutare ale inversorului sunt, dupa aceea, descrise de timpul de incarcare/descarcare al sarcinii capacitive, dupa cum se vede in Fig. 4.2.

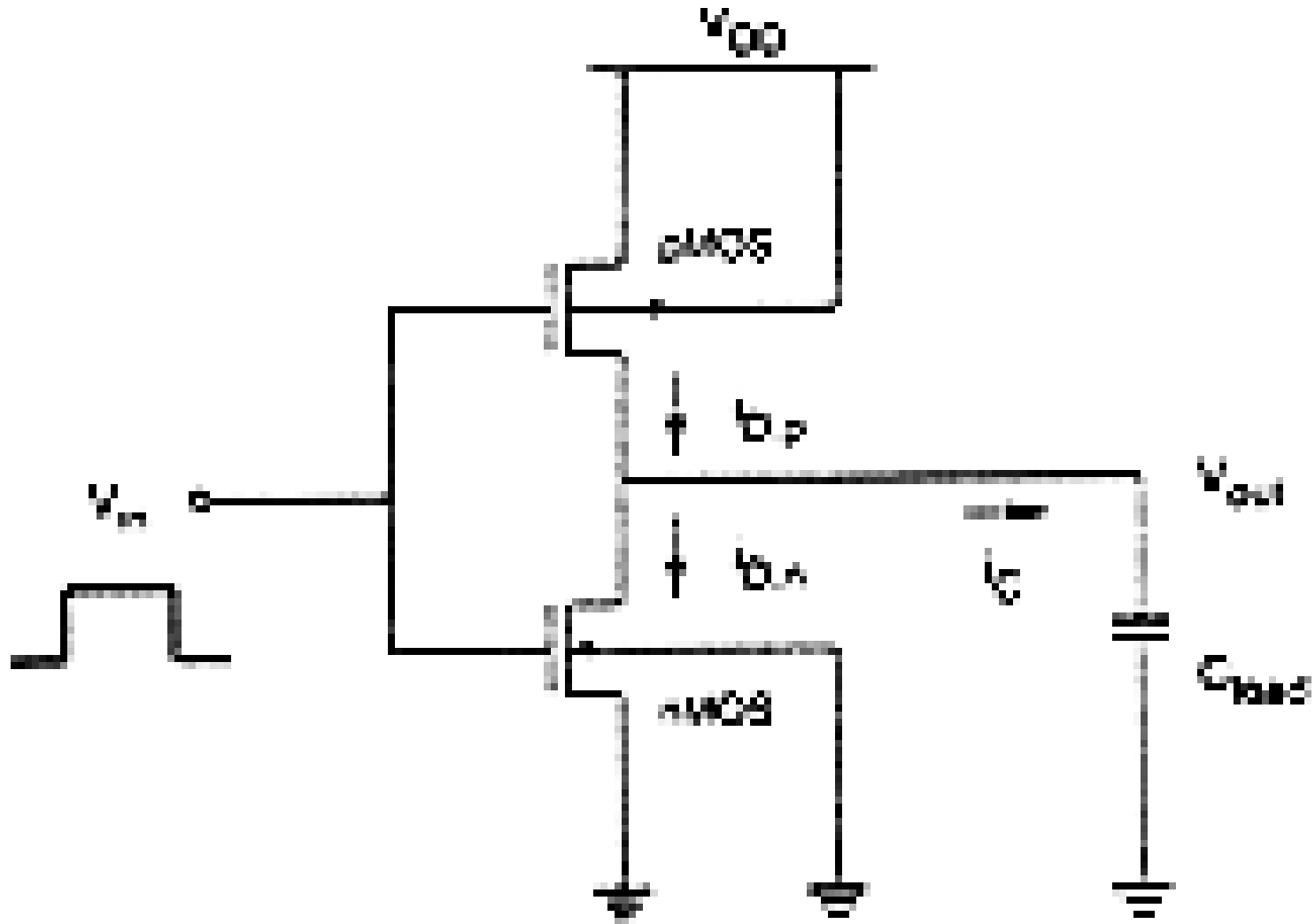
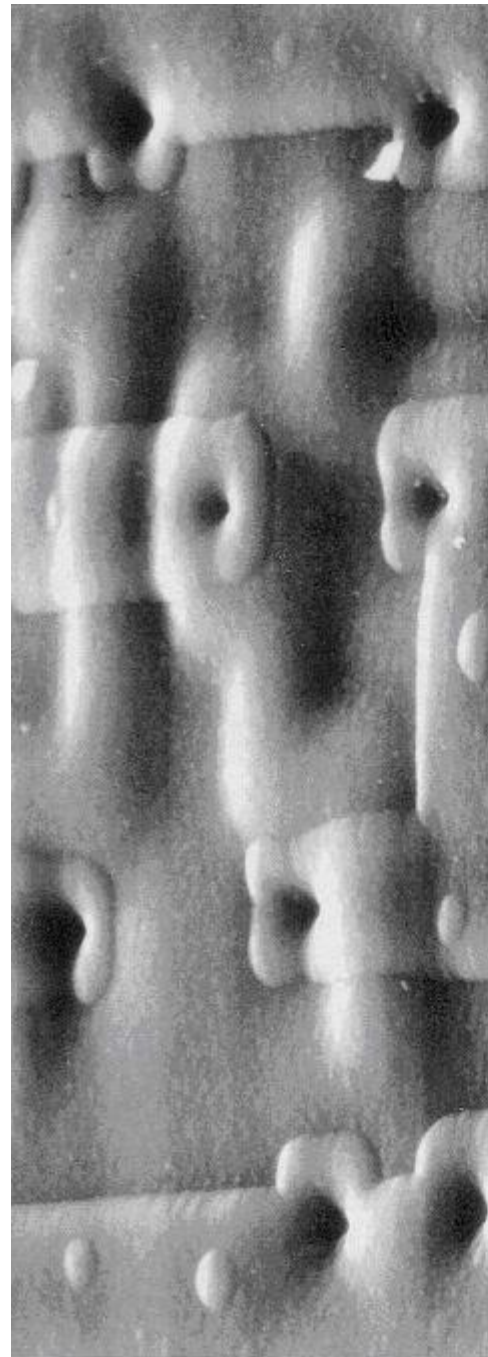


Figura-4.2: Inversorul CMOS cu incarcare capacitiva la nodul de iesire

SEM image of part of the ring oscillator



Forma de unda a tensiunii de iesire a inversorului este data in Fig. 4.3, unde timpul de propagare a intarzierii reprezinta prima metoda de masurare a vitezei de comutare. Se poate arata foarte usor ca intarzierea propagarii semnalului in aceste conditii este linear proportional cu incarcarea capacitiva.

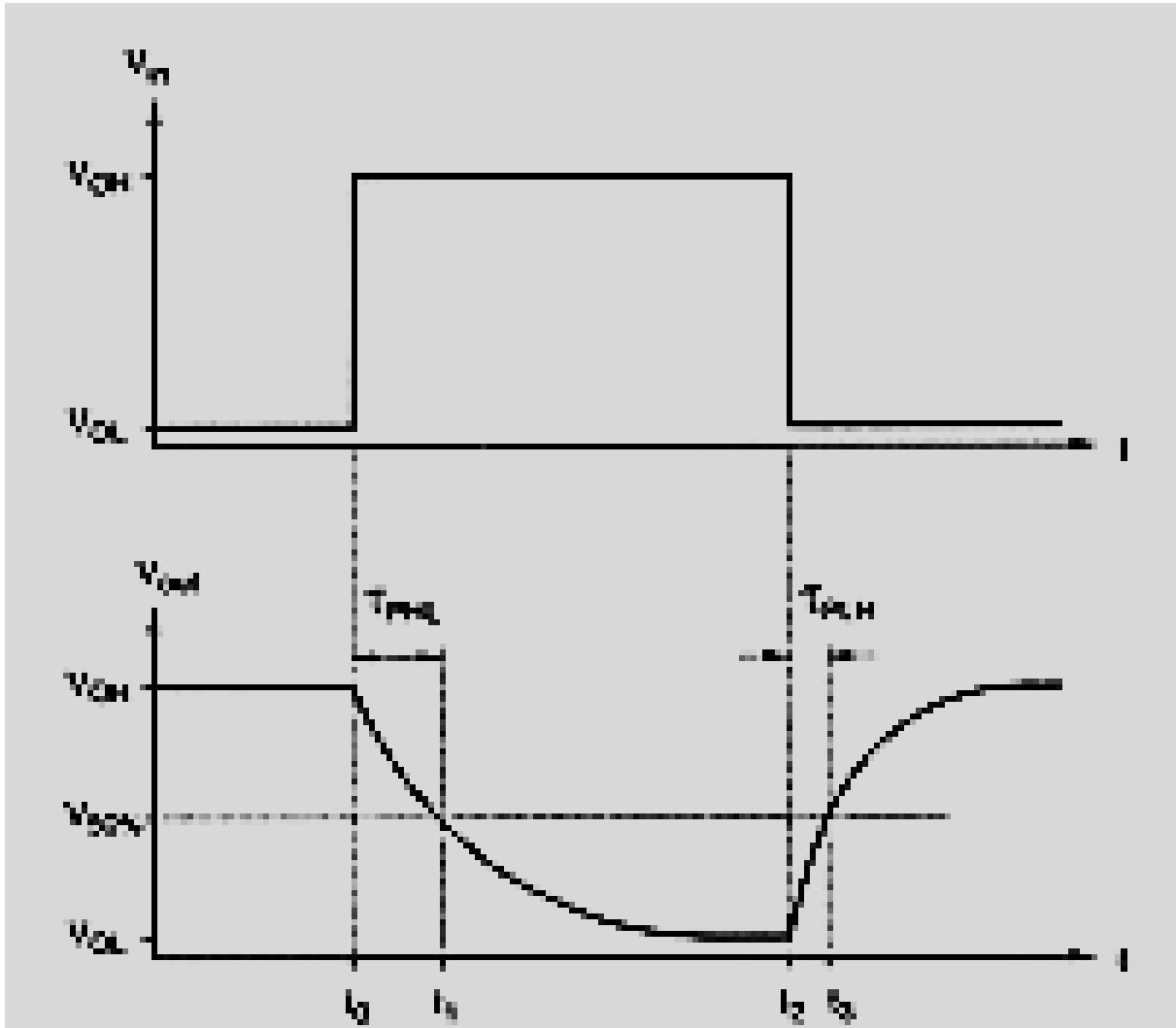


Figura-4.3: Forme de unda tipice ale intrarii si iesirii unui inversor cu incarcare pur capacitiva.

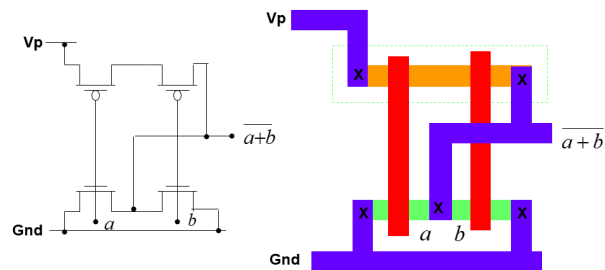
In marea majoritate a cazurilor, conditiile de incarcare impuse de liniile de interconectare sunt deosebit de complexe.

Linia insasi fiind o structura tridimensionala in metal si/sau polisiliciu, in mod uzual, pe langa propria sa capacitate, are si o rezistenta care nu se poate neglija. Raportul intre lungimea si latimea traseului, in mod uzual, dicteaza modul cum sunt parametrii distribuiti, facand interconexiunea o adevarata linie de transmisie.

De asemenea, o interconexiune este foarte rar “singura”, izolata de alte influente. In conditiile reale, linia de interconectare se gaseste in imediata vecinatate a unui numar de alte linii, pe acelasi nivel sau pe niveluri diferite.

Pentru o estimare clara a intarzierii trebuie, de asemenea, luate in considerare cuplajul capacitiv/inductiv si interferenta semnalului intre liniile vecine.

NOR2 Layout

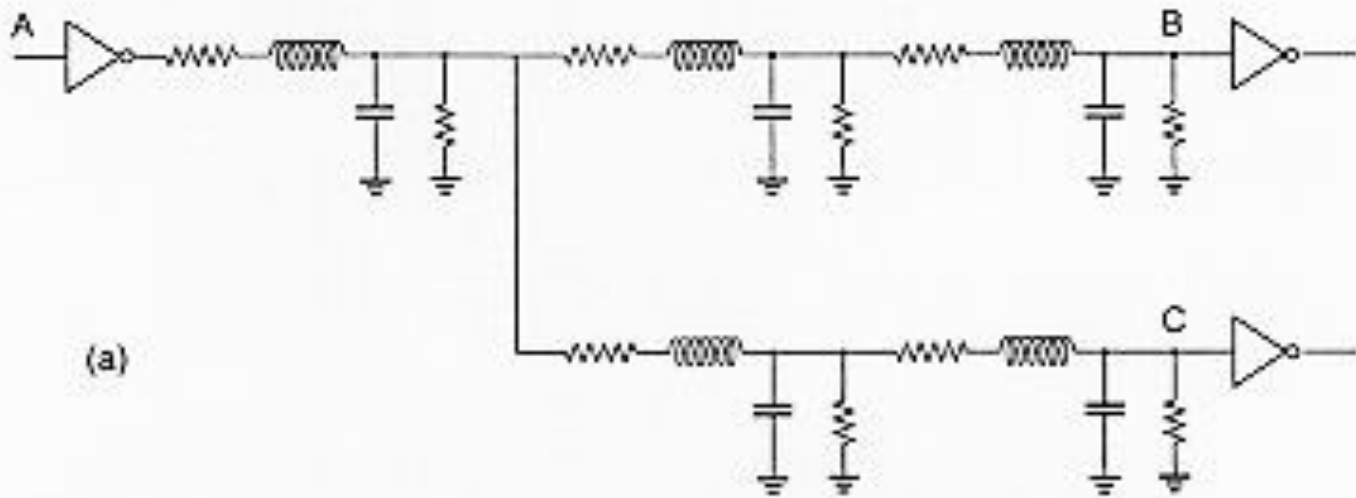


4.2 Realitatea privind interconexiunile

Se considera situatia in care unde un inversor controleaza alte doua inversoare, prin linii lungi de interconectare. In general, daca timpul de propagare prin linia de interconectare (determinat de viteza luminii) este mai mic decat timpii de crestere si cadere ai semnalului, atunci traseul poate fi modelat ca o sarcina capacitiva conectata la masa sau ca o retea RC distribuita.

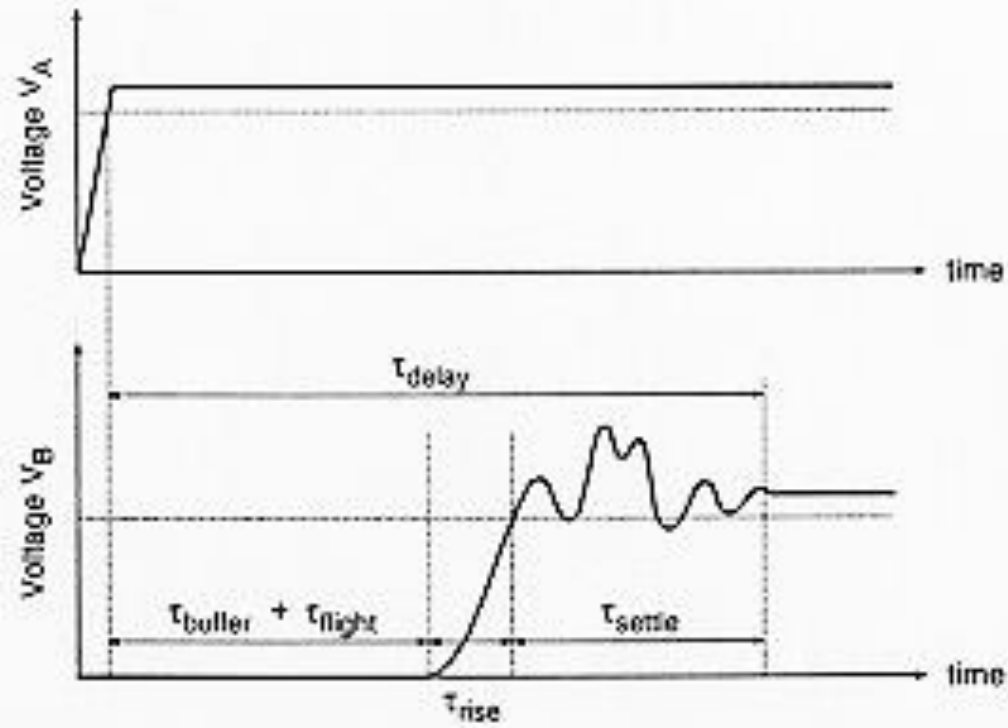
Daca liniile de interconectare sunt suficient de lungi si timpii de crestere/cadere ai formei de unda a semnalului sunt comparabili cu timpul de propagare prin linie, atunci inductanta, deasemenea, devine importanta, iar liniile de interconectare trebuie modelate ca linii de transmisie. Luand in considerare elementele parazite de tip R,L,C,G (rezistenta, inductanta, capacitatea si conductanta cum se vede si in Fig. 4.4), transmisia semnalului prin cablu devine o problema foarte complicata, in comparatie cu cazul simplu de incarcare capacitiva.

A se nota faptul ca integritatea semnalului se poate degrada semnificativ in mod special cand impedanta de iesire a inversorului este semnificativ mai mica decat impedanta caracteristica a liniei de transmisie.



(a)

Figura-4.4:
 (a) Un arbore de interconectare R,L,C,G.



(b)

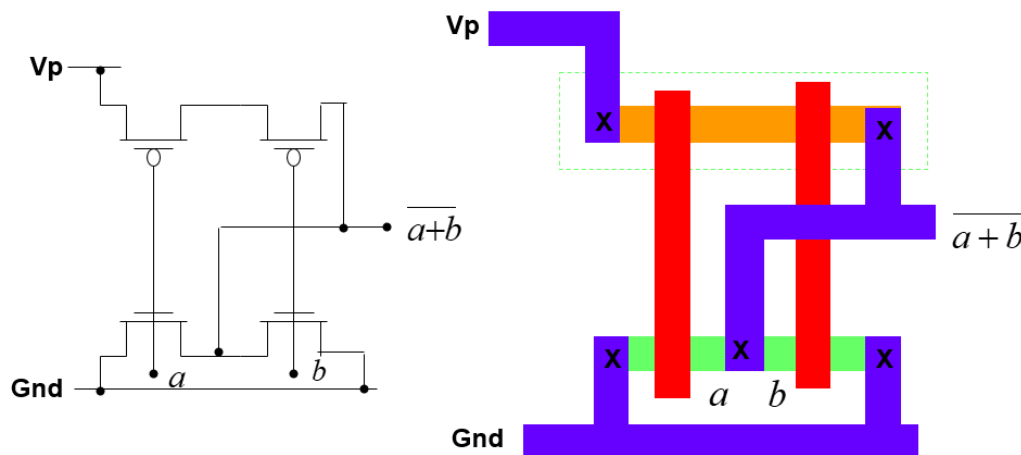
(b) Forme de unda tipice ale semnalului la nodurile A si B, aratand intarzierea semnalului, cat si diferitele componente ale intarzierii.

Efectele liniei de transmisie nu au prezentat probleme serioase in CMOS-VLSI pana de curand, intrucat intarzierea portii care isi avea originea in componentele cu incarcari pur sau aproximativ capacitive a dominat intarzierea in cablaj in marea majoritate a cazurilor.

Dar, odata cu trecerea tehnicilor de fabricare la reguli de proiectare mai fine (submicronice), componentele intrinseci ale portii ce introduc intarzieri tind sa scad in mod dramatic.

Prin contrast, dimensiunea medie a pastilei nu descreste - proiectantii plasand mai multe functii pe o pastila, de aceeasi dimensiune.

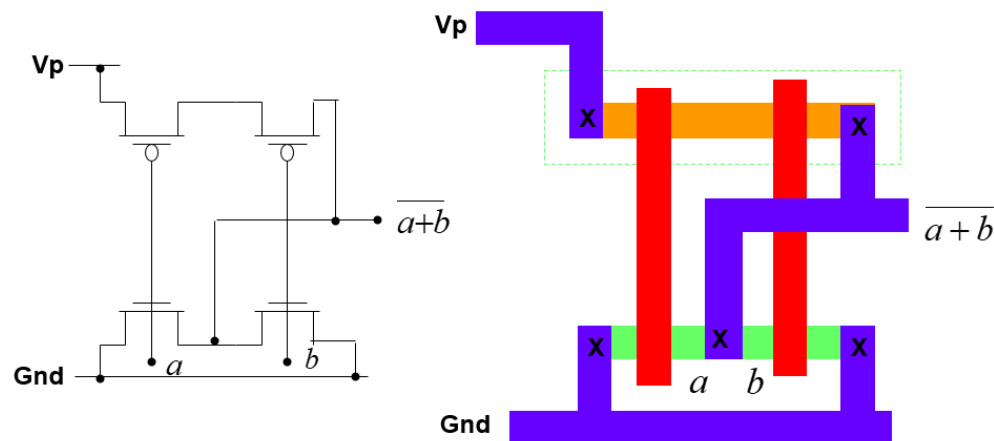
NOR2 Layout



Pentru aproape un deceniu pastila de **100 mm² a fost o pastila standard, de dimensiuni mari**. Factorii care stabilesc dimensiunea pastilei sunt in principal determinati de tehnologia de impachetare si de echipamentele de productie.

Deoarece dimensiunea pastilei si lungimea liniei - in cazul cel mai rau - raman neschimbate, importanta intarzierii in interconexiuni creste in tehnologiile submicronice. In plus, odata cu micșorarea latimilor liniilor de metal, efectele liniei de transmisie si cuplajele intre semnalele dintre liniile vecine devin si mai pronuntate.

NOR2 Layout



Acest fapt este ilustrat in Fig. 4.5, unde intarzierile intrinseci ale portii si interconexiunilor sunt prezentate la nivel calitativ, pentru diferite tehnologii. Se observa ca pentru tehnologiile submicronice, intarzierea interconexiunii incepe sa domine intarzierea portii. Pentru a putea analiza implicatiile si pentru a optimiza un sistem in ceea ce priveste viteza, proiectantii trebuie sa dispuna de metode sigure si eficiente de:

- 1. **estimare a elementelor parazite de interconectare pe o pastila mare**, si
- 2. simulare a efectelor timp-domeniu.

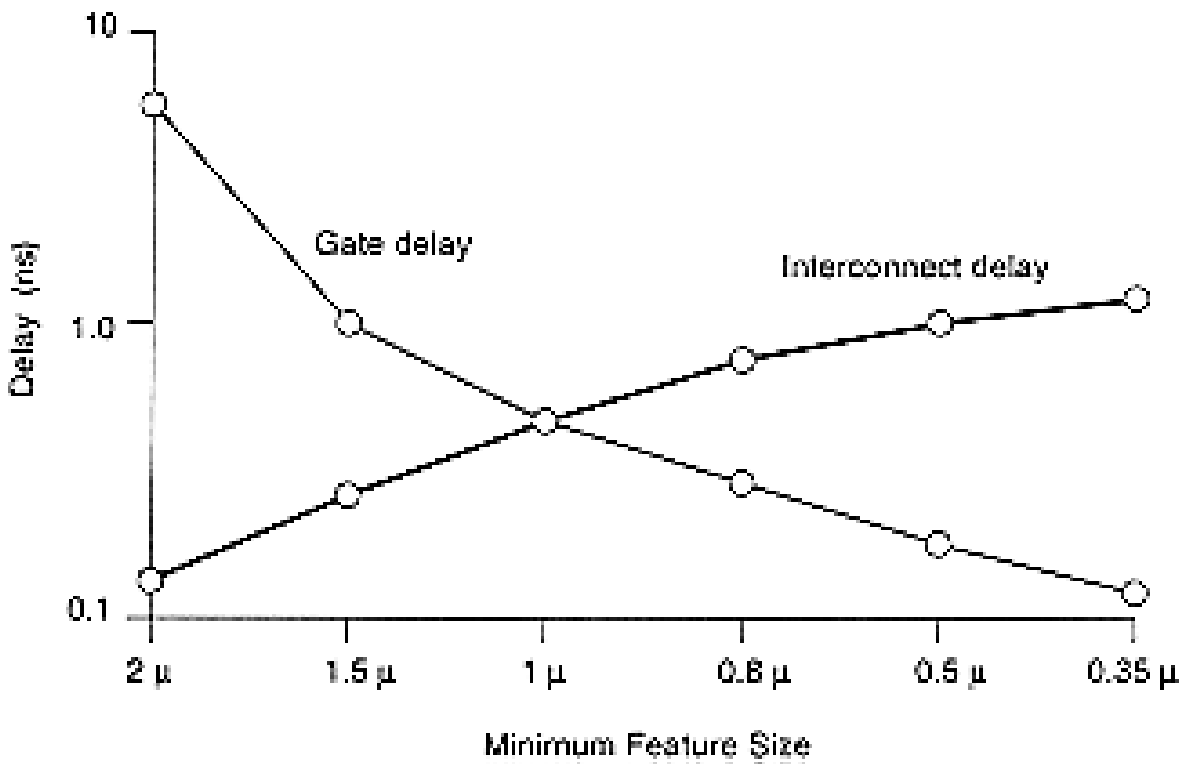
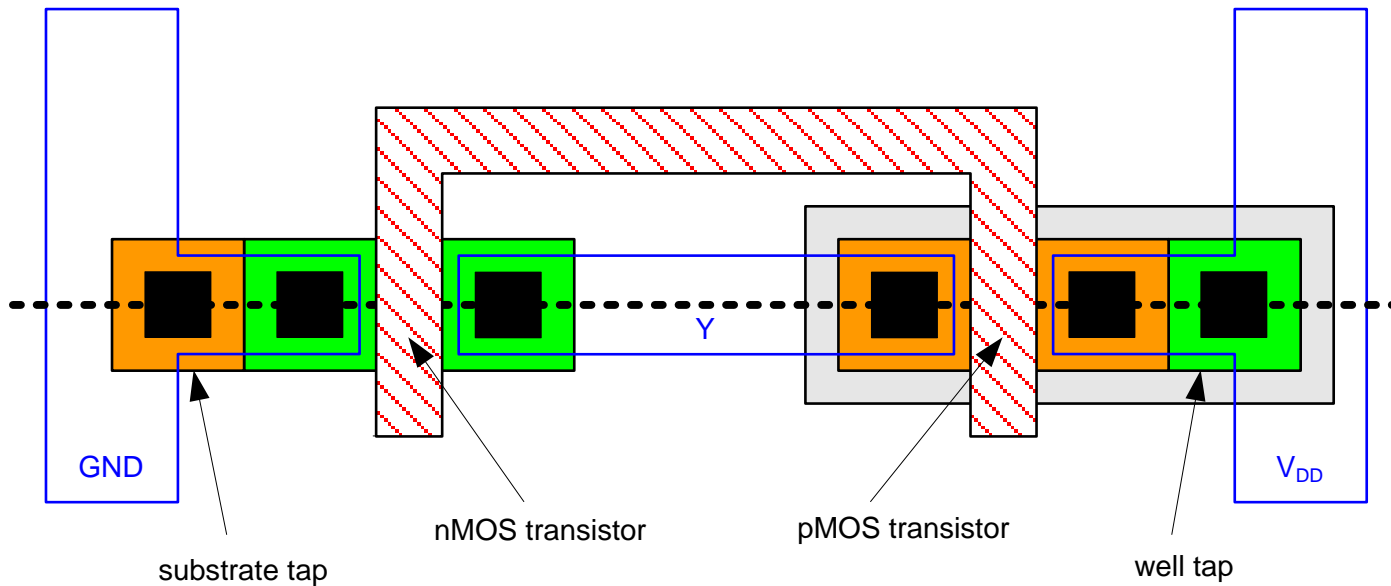
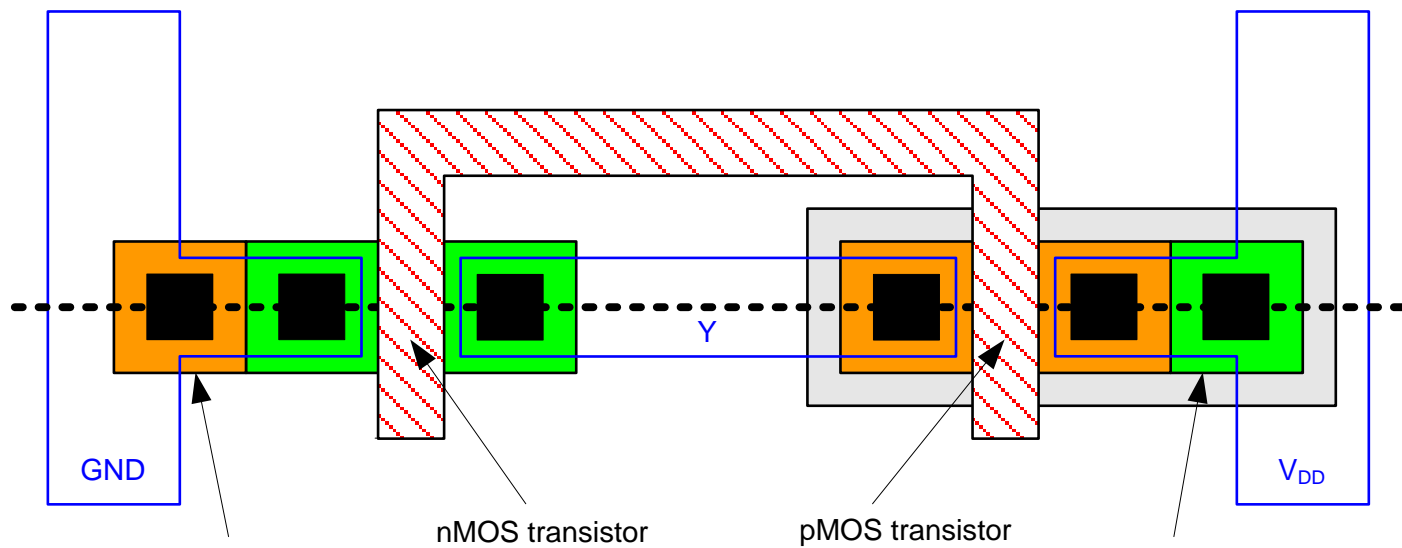


Figura-4.5: Intarzierera datorata interconexiunii domina intarzierea dintr-o poarta, in tehnologiile CMOS submicronice.

In continuare, se va vedea ca nici una dintre aceste analize nu este simpla: extragerea elementelor de circuit parazite din interconexiuni si simularea corecta a efectelor traseelor/liniilor sunt doua dintre cele mai dificile probleme in proiectarea fizica a circuitelor VLSI de astazi.



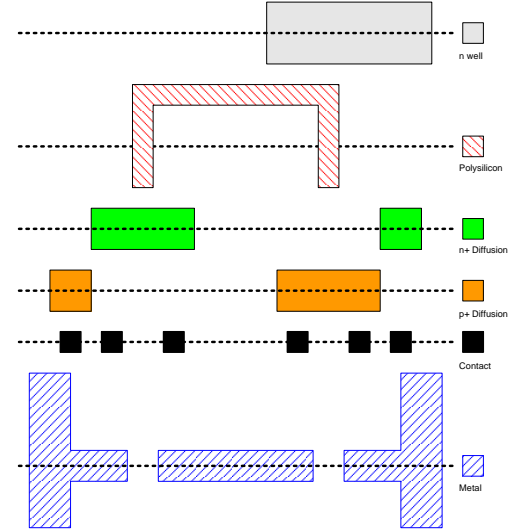
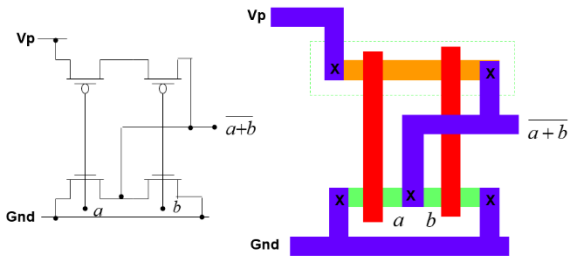


Odata ce s-a stabilit faptul ca intarzierea pe interconexiune devine un factor dominant in CMOS VLSI, urmatoarea intrebare este: cat de multe interconexiuni, de pe o pastila mare, pot provoca probleme serioase in termeni de intarziere?

Structura ierarhica a majoritatii proiectelor VLSI ofera cateva raspunsuri la aceasta intrebare.

Intr-o pastila, care contine cateva module functionale, fiecare modul posedea un numar relativ mare de conexiuni localitate intre blocurile sale functionale, portile logice si tranzistoare.

NOR2 Layout



Intrucat conexiunile intre module sunt in mod uzual realizate pe distante scurte, influenta lor asupra vitezei poate fi simulata simplu, cu modele conventionale.

Exista, deasemenea, un numar considerabil de conexiuni mai lungi intre modulele de pe pastila, asa numitele conexiuni inter-module.

In mod uzual aceste conexiuni intermodule ar trebui examinate inca in fazele de inceput ale proiectarii, pentru posibilele probleme legate de timing.

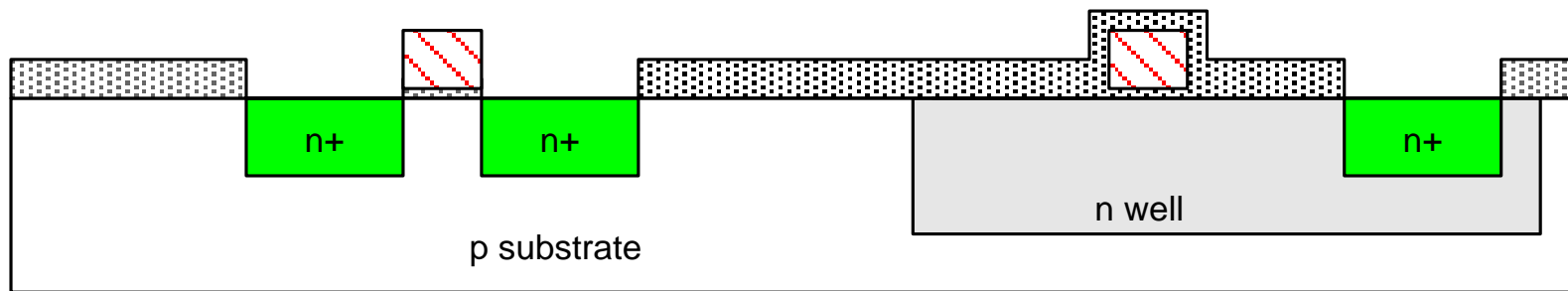


Figura 4.6 prezinta distributia statistica tipica a lungimilor traseelor dintr-o pastila, normalizate pentru lungimea pe diagonala a pastilei.

Curba de distributie prezinta clar doua varfuri, unul pentru conexiunile relativ scurte intramodule, si celalalt pentru conexiunile mai lungi inter-module.

Deasemenea, trebuie notat ca numar mic de interconexiuni pot fi foarte lungi, tipic mai lungi decat lungimea pe diagonala a pastilei. Aceste linii sunt necesare in mod uzual pentru conexiunile magistralei globale de semnal si pentru retelele de distributie ale ceasului.

Desi numarul lor este relativ mic, aceste interconexiuni lungi sunt in mod evident cele care ridica probleme.

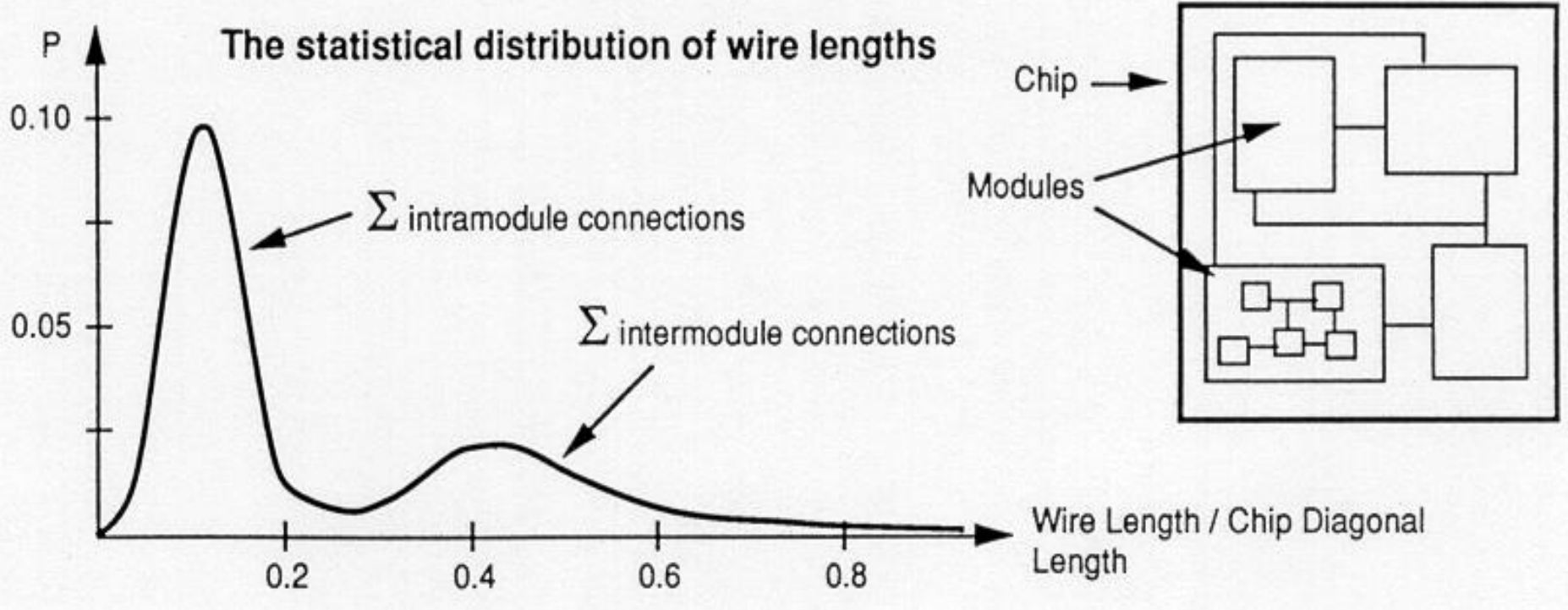


Figura-4.6: Distributia statistica a lungimii interconexiunilor pe o pastila tipica.

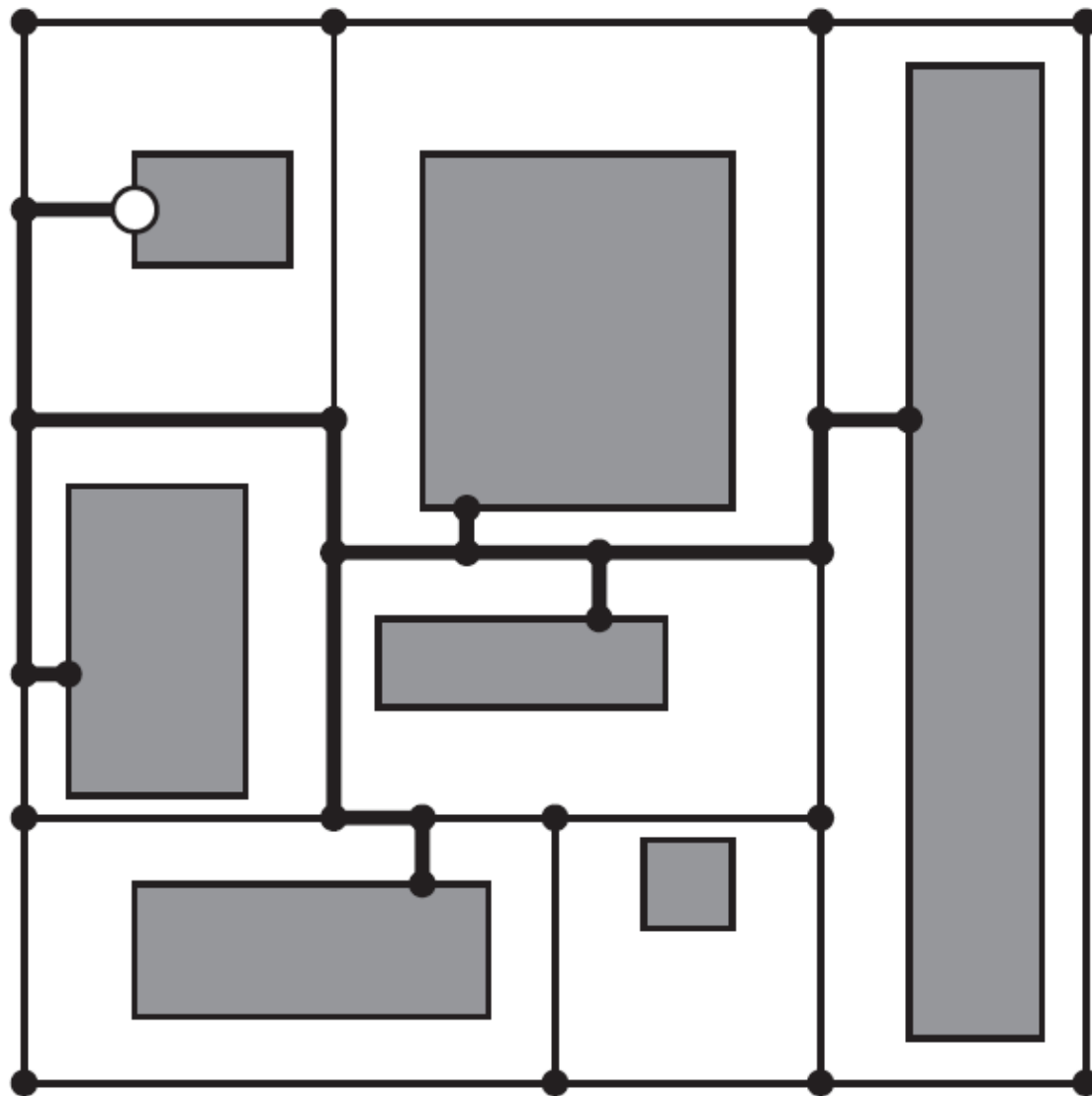
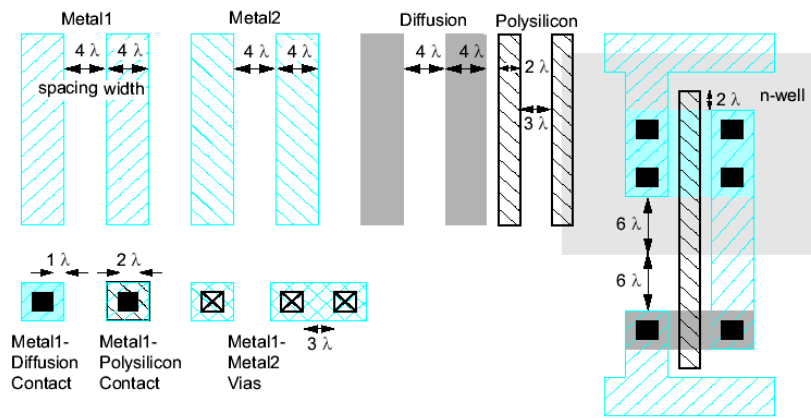


Figure 1.2 A channel intersection graph induced by a set of modules, and a routing tree that connects the highlighted terminals. The source is shown by a hollow dot.



Pentru a sublinia mesajul acestei sectiunii, se va preciza ca:

1. intarzierea datorata interconexiunii devine factorul dominant, care determina performanta dinamica a sistemelor pe scara larga (large-scale systems), si ca
2. elementele parazite ale interconexiunii sunt dificil de modelat si simulat.

In urmatoarele sectiuni se vor examina aspectele diverselor componente parazite de pe pastila, si considerandu-se in special componentele capacitive si rezistive.

4.3 Capacitatile MOSFET

Prima componenta a elementelor parazite capacitive, care va fi examinată este capacitatea MOSFET. Aceste componente parazite sunt în principal responsabile pentru întârzierea intrinsecă din porțile logice. Ele pot fi modelate cu o acuratețe mare pentru estimarea întârzierii porții. Extragerea componentelor parazite ale tranzistorului din măști este relativ ușoară.

Capacitățile parazite asociate cu MOSFET sunt arătate în Fig. 4.7, ca elemente conectate între masă în terminalele dispozitivului.

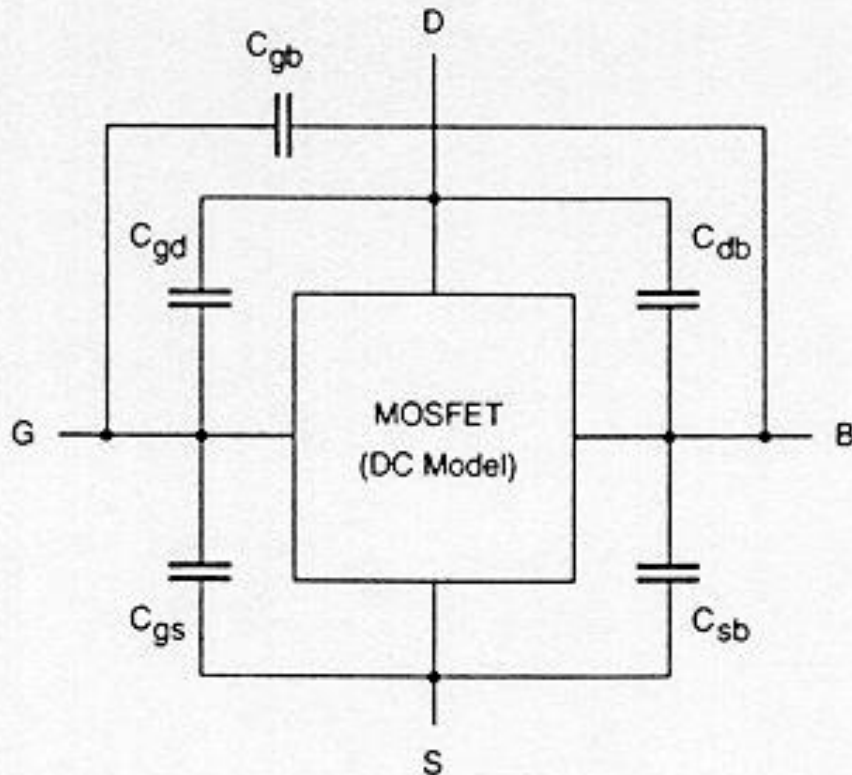


Figura-4.7: Reprezentarea capacităților parazite față de masă pentru MOSFET

Plecand de la originea lor fizica, capacitatile parazite ale dispozitivelor pot fi clasificate in doua mari categorii:

- 1. capacitati asociate cu stratul de pe oxid din zona portii si
- 2. capacitati din zona jonctiunilor.

Capacitatile asociate cu oxidul portii sunt C_{gd} (capacitata grila-drena), C_{gs} (grila-sursa) si C_{gb} (capacitate grila substrat). A se nota ca, in realitate, capacitatea grila canal este distribuita si dependenta de tensiune. In consecinta, toate capacitatile asociate stratului de oxid, descrise aici, se modifica odata cu conditiile functionare ale tranzistorului.

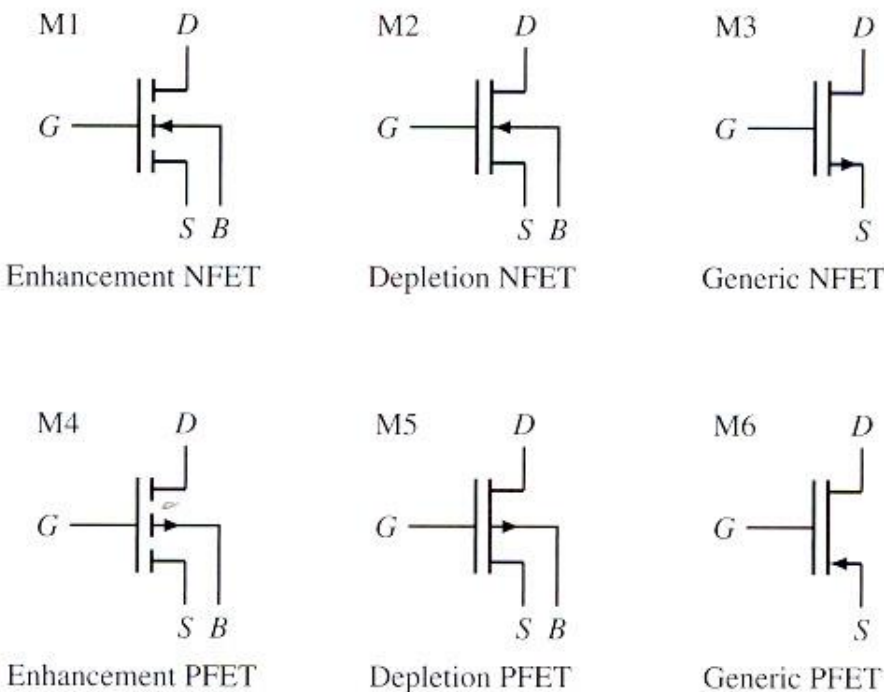


Figure 7.11 Schematic representations (circuit symbols) for MOSFETs. M1 is an enhancement-mode NFET, M2 is a depletion-mode NFET, and M3 can be used for either type. P-channel MOSFETs are represented by M4 (enhancement), M5 (depletion), and M6 (either mode).

Figura 4.8 prezinta calitativ capacitatea asociata cu stratul de oxid in regimurile de blocare, operare in modul liniar si operare in saturatie ale MOSFET.

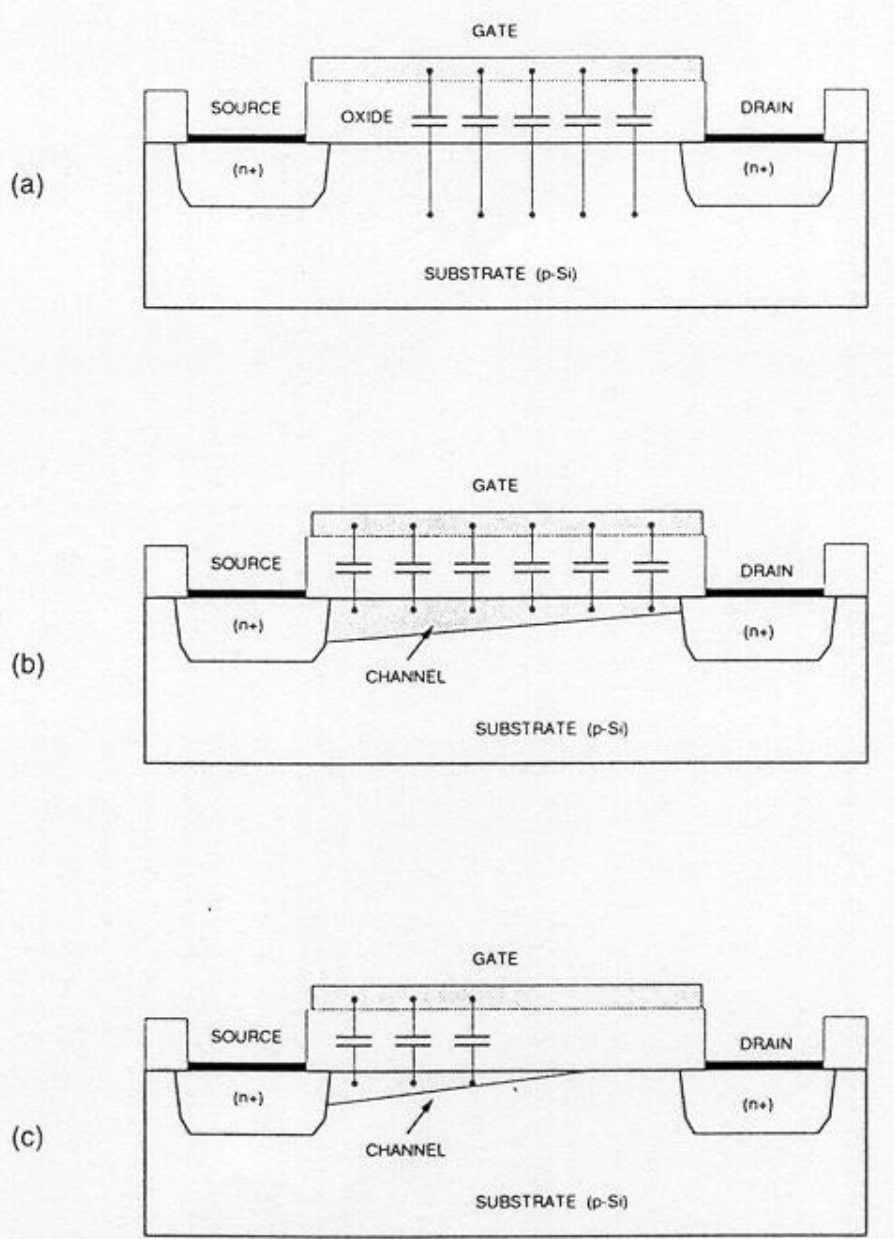
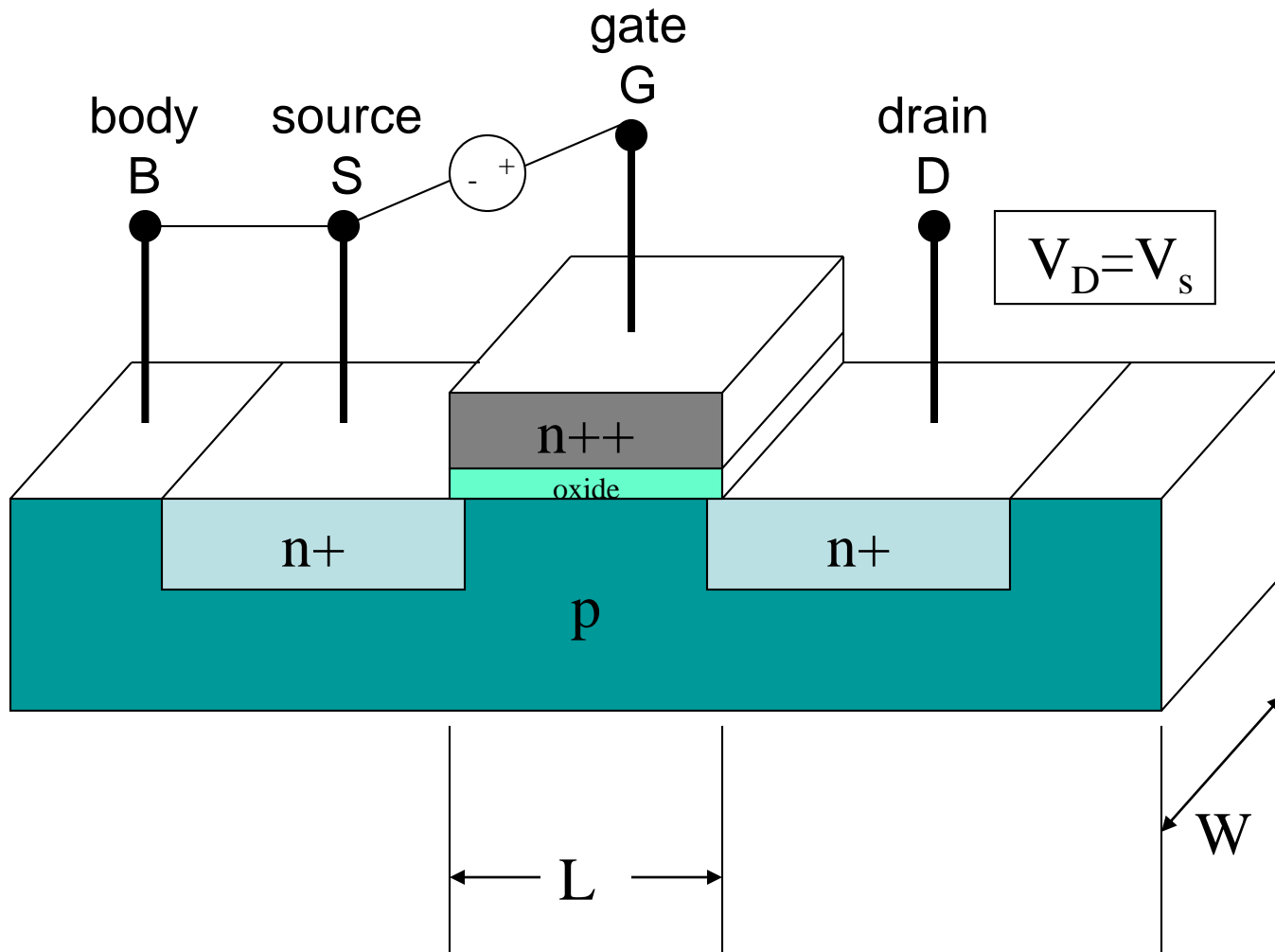


Figura-4.8: Reprezentarea schematica a capacitatilor legate de stratul de oxid pentru MOSFET in regimurile de: (a) blocare, (b) operare in modul liniar, si (c) in saturatie.

Flatbands! For this choice of materials,

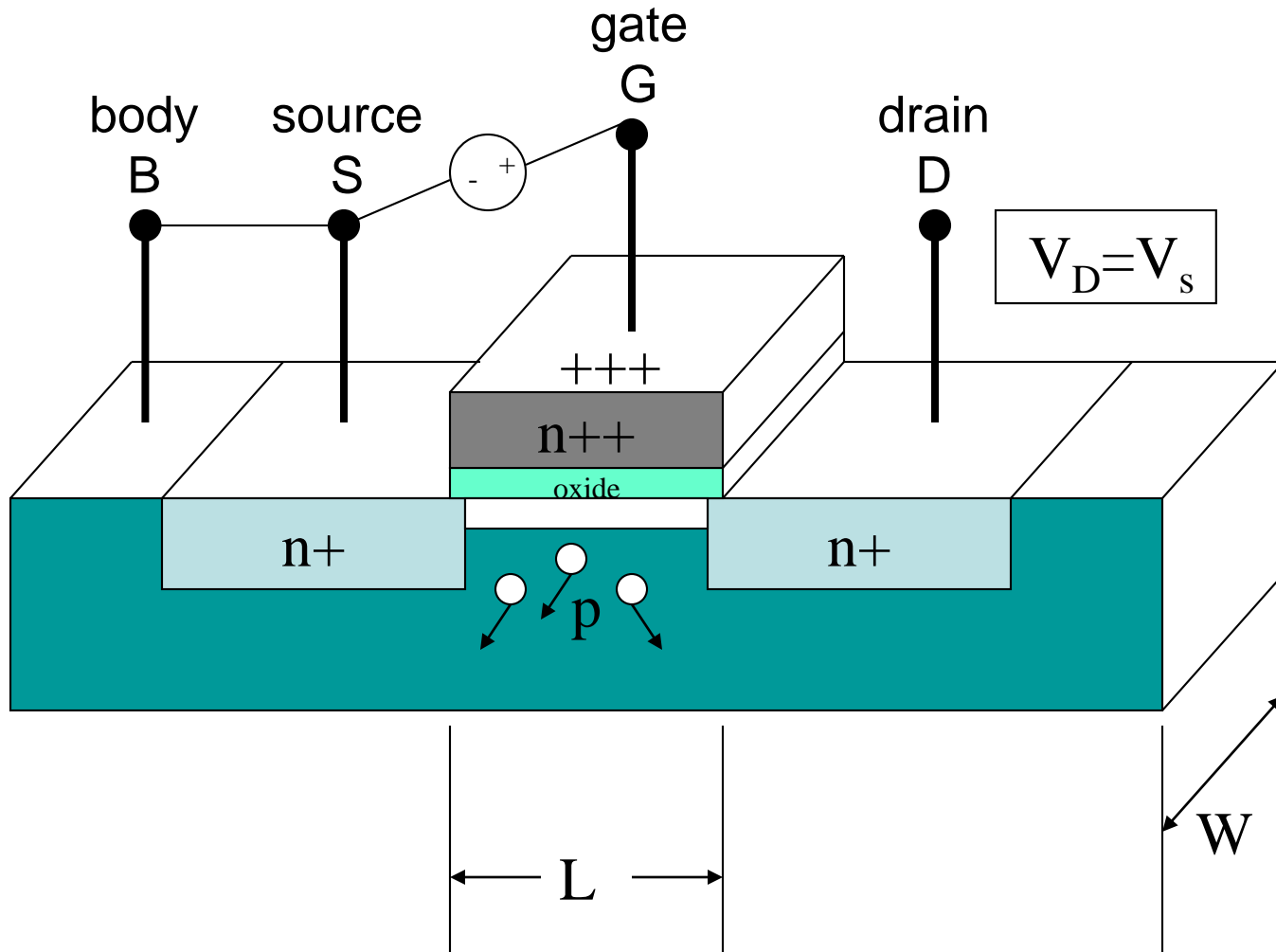
$$V_{GS} < 0$$

n^+pn^+ structure $\rightarrow I_D \sim 0$

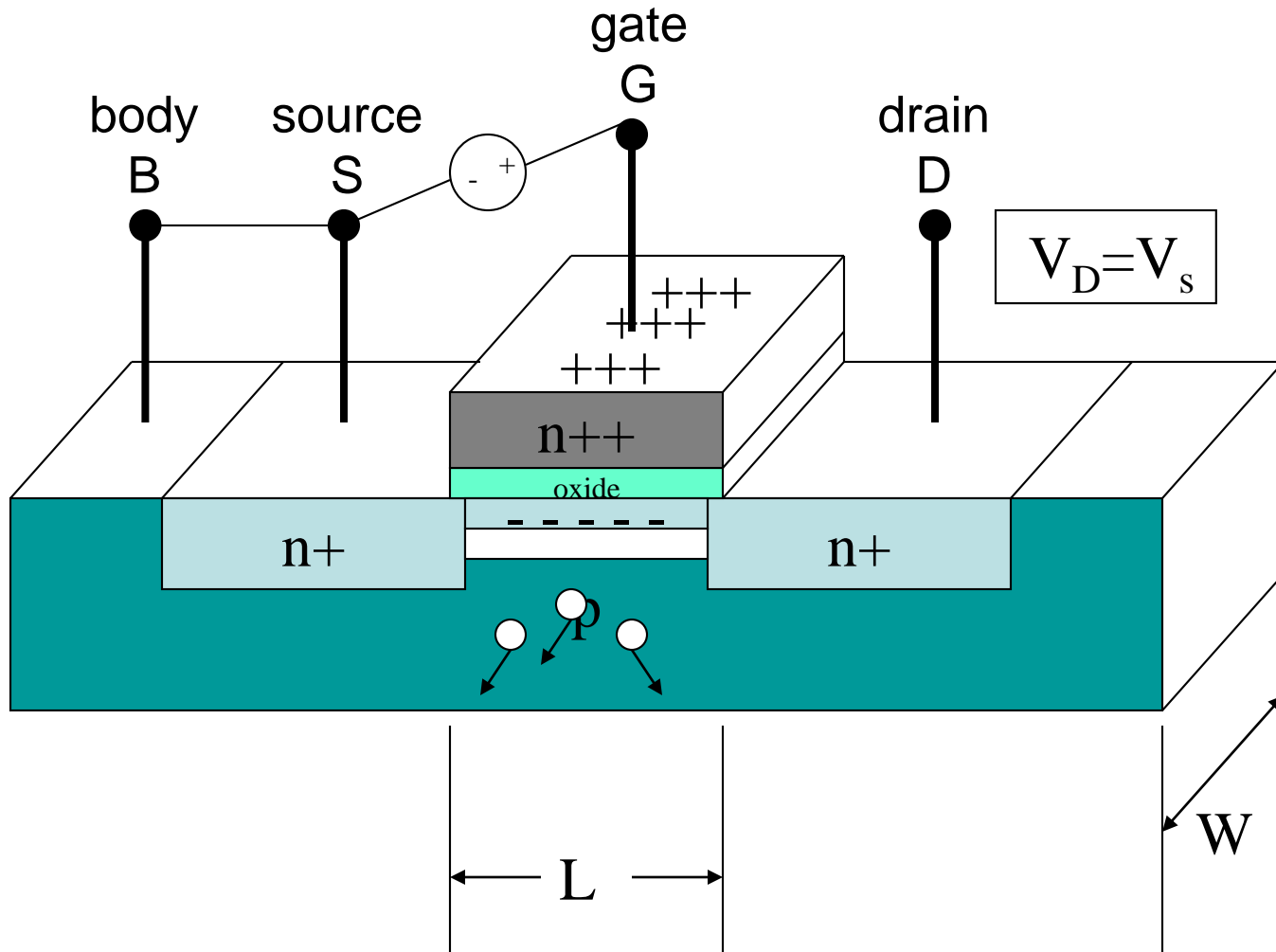


Flatbands $< V_{GS} < V_T$ (Includes $V_{GS}=0$ here).

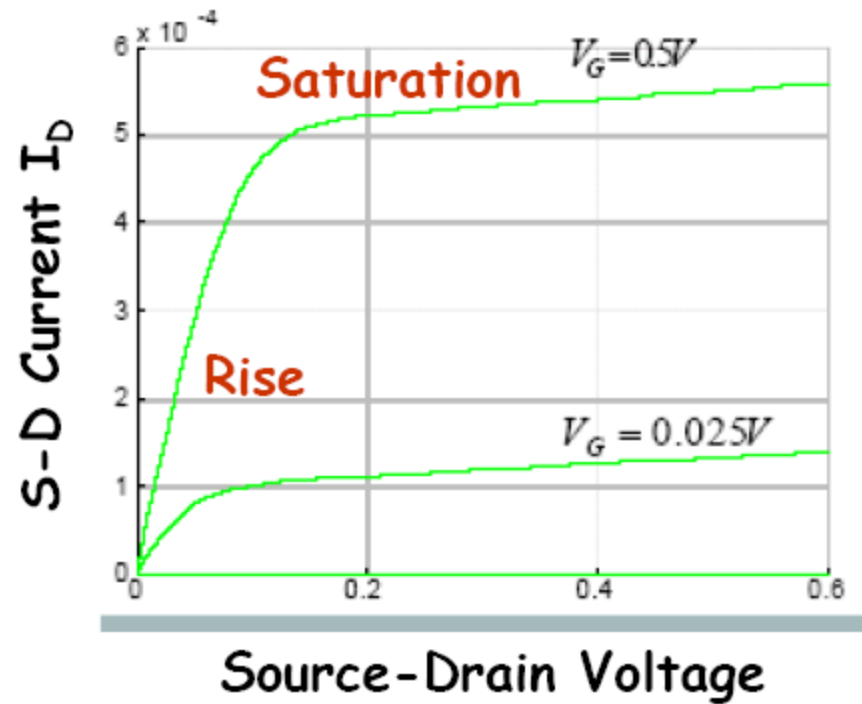
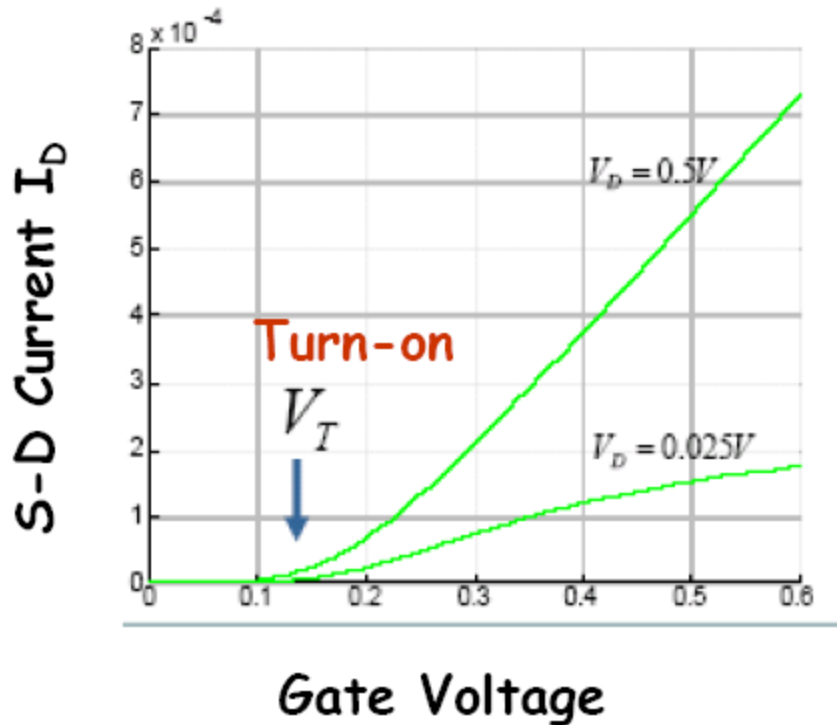
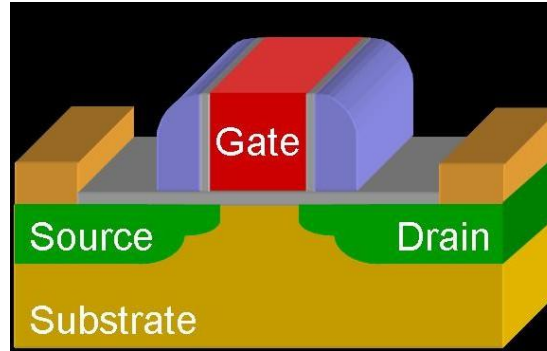
n^+ -depletion- n^+ structure $\rightarrow I_D \sim 0$



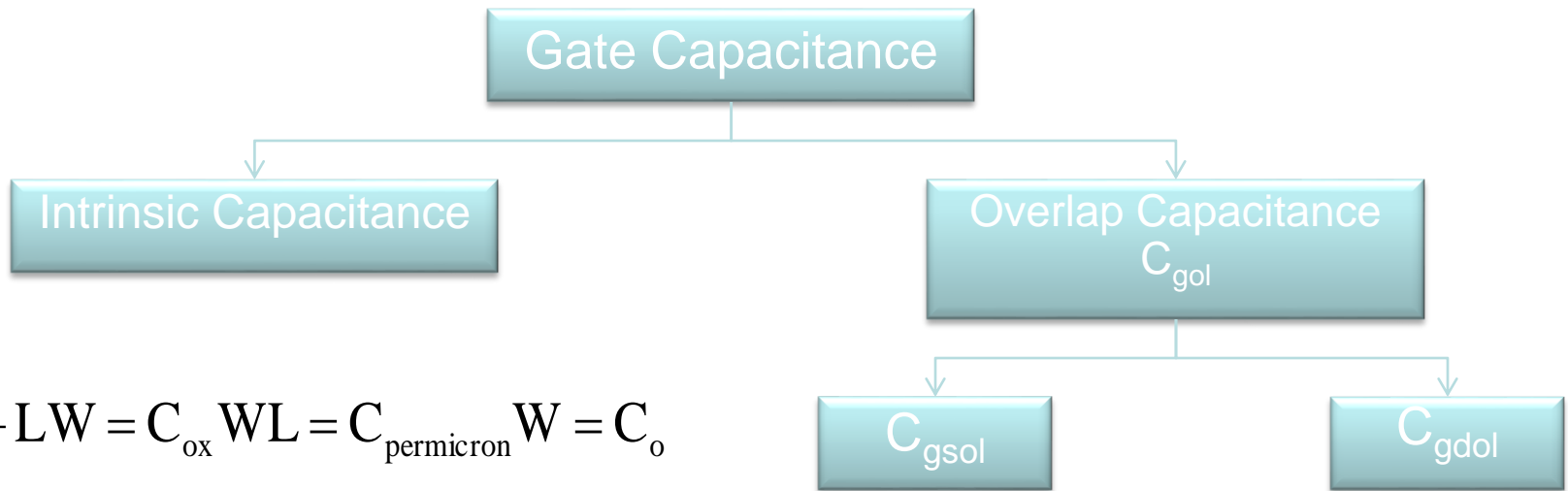
$V_{GS} > V_T$
 $n^+ - n - n^+$ structure \rightarrow inversion



MOSFET I-Vs



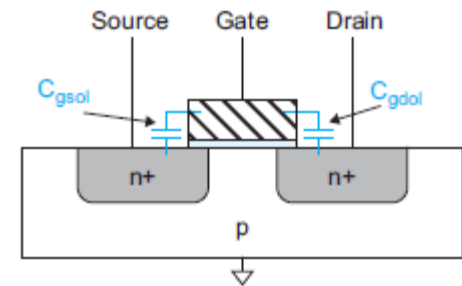
Gate Capacitance



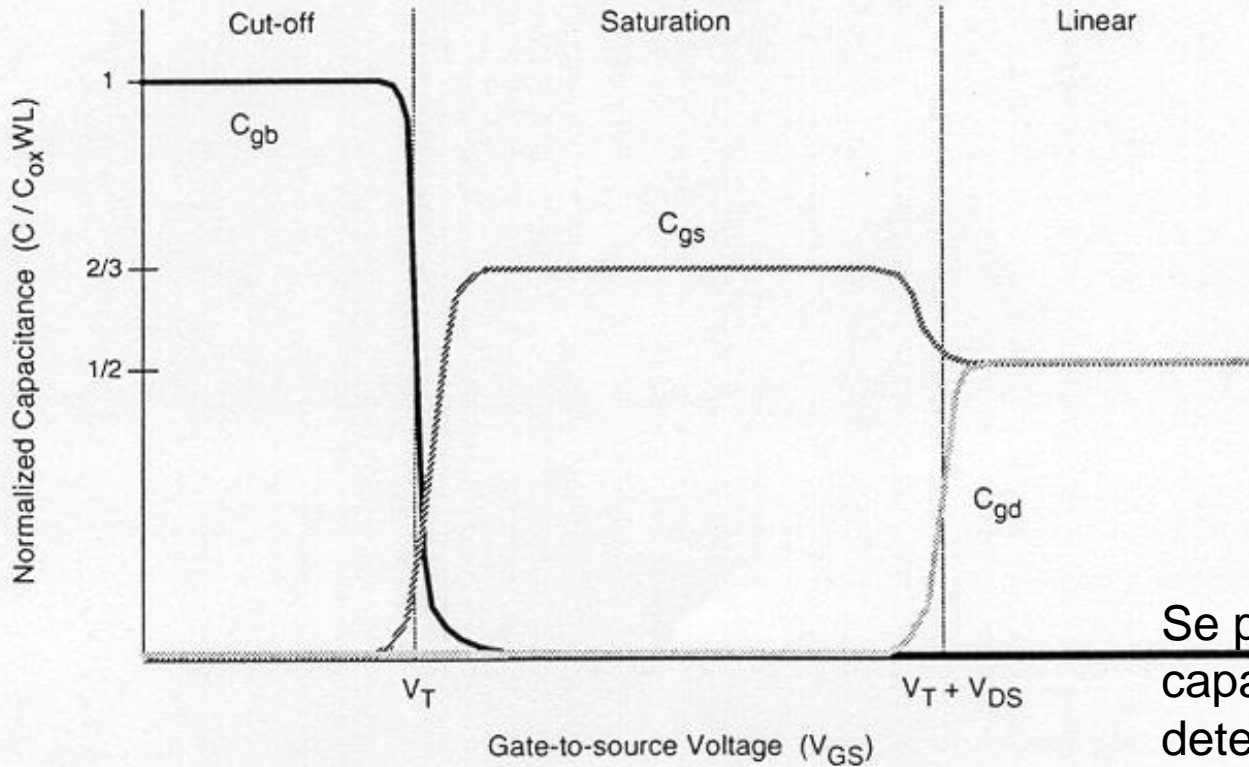
$$C_g = \frac{\epsilon}{t_{ox}} LW = C_{ox} WL = C_{\text{permicron}} W = C_o$$

Depends on the mode of operation:

Parameter	Cutoff	Linear	Saturation
C_{gb}	$\leq C_0$	0	0
C_{gs}	0	$C_0/2$	$2/3 C_0$
C_{gd}	0	$C_0/2$	0
$C_g = C_{gs} + C_{gd} + C_{gb}$	C_0	C_0	$2/3 C_0$



Modificarea simplificata a a valorilor celor trei capacitati in functie de tensiunea poarta sursa este prezentata in Fig. 4.9.



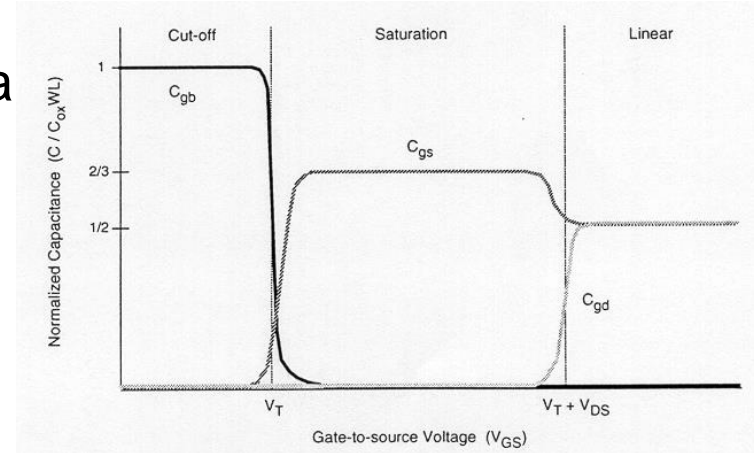
Se poate observa ca capacitatea totala a portii este determinata in principal de capacitatea plan-paralela dintre poarta de polisiliciu si structurile inferioare. Aici magnitudinea capacitatii asociata stratului de oxid este foarte stransa legata de:

1. grosimea porti de oxid si
2. de aria portii MOSFET.

Figura-4.9: Variatia capacitatii bazate pe oxid functie de tensiunea grila-sursa.

Se poate observa ca capacitatea totala a portii este determinata in principal de capacitatea plan-paralela dintre poarta de polisiliciu si structurile inferioare. Aici magnitudinea capacitatii asociata stratului de oxid este foarte stransa legata de:

1. grosimea porti de oxid si
2. de aria portii MOSFET.



In mod evident, capacitatea totala a portii scade cu micșorarea dimensiunilor dispozitivului (L si W), dar crește odata cu reducerea grosimii oxidului portii.

In tehnologiile submicronice, dimensiunile orizontale (care dicteaza aria portii) sunt de obicei mai usor de micșorat decat dimensiunile verticale, de exemplu grosimea oxidului portii. In consecinta, tranzistoarele MOSFET fabricate in tehnologiile submicronice au, in general, capacitati de poarta mai mici.

In continuare se considera capacitatile dependente de tensiune de tipul sursa-substrat si drena-substrat, C_{sb} si C_{db} . Ambele capacitati sunt datorate stocarii sarcinilor ce inconjoara regiunile sursa sau drena ale tranzistorului respectiv, care sunt integrate in substrat.

Figura 4.10 arata geometria simplificata a unei regiuni de difuzare tipul n intr-un substrat de tipul p . Aici regiunea de difuzie a fost aproximata cu un dreptunghi, care e format din cinci jonctiuni $p-n$ plane.

Capacitatea totala a jonctiunii este functie de aria jonctiunii (suma tuturor ariilor jonctiunilor plane), de densitatile de dopaj si de tensiunea aplicata la terminal. In literatura de specialitate sunt date o serie de metode pentru estimarea capacitatii jonctiunii bazate pe aceste informatii. In consecinta nu se va mai face o discutie detaliata asupra calculului capacitatii.

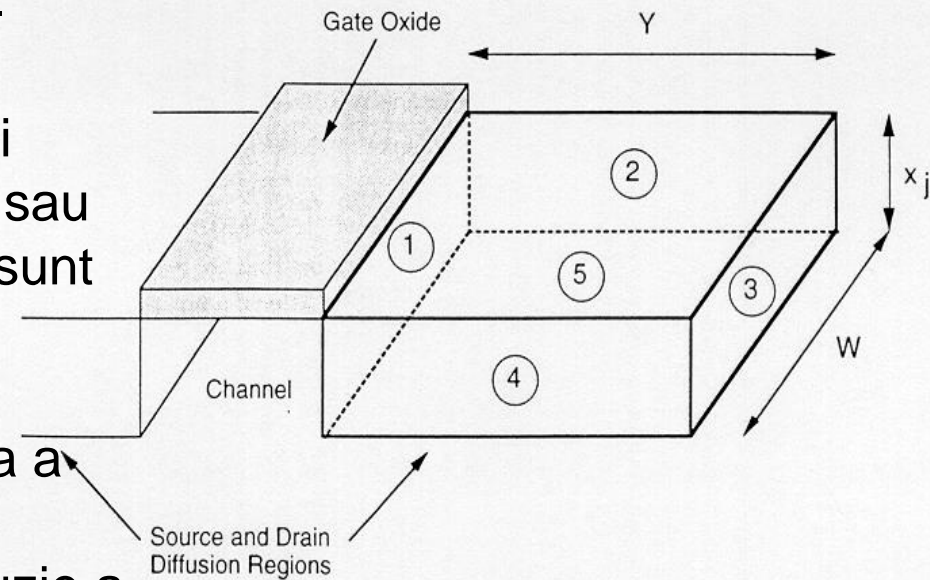


Figura-4.10: Vizualizare tridimensională a regiunii de difuzie de tipul n într-un substrat de tipul p .

$$\phi_0 = \frac{kT}{q} \ln \left(\frac{N_A N_D}{n_i^2} \right)$$

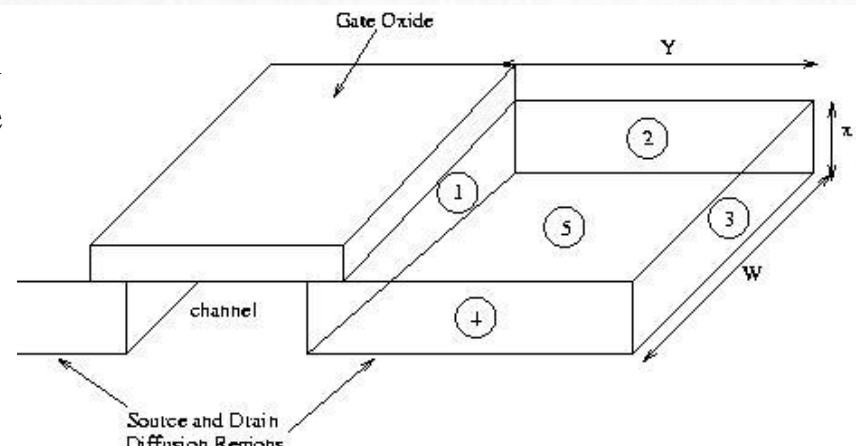
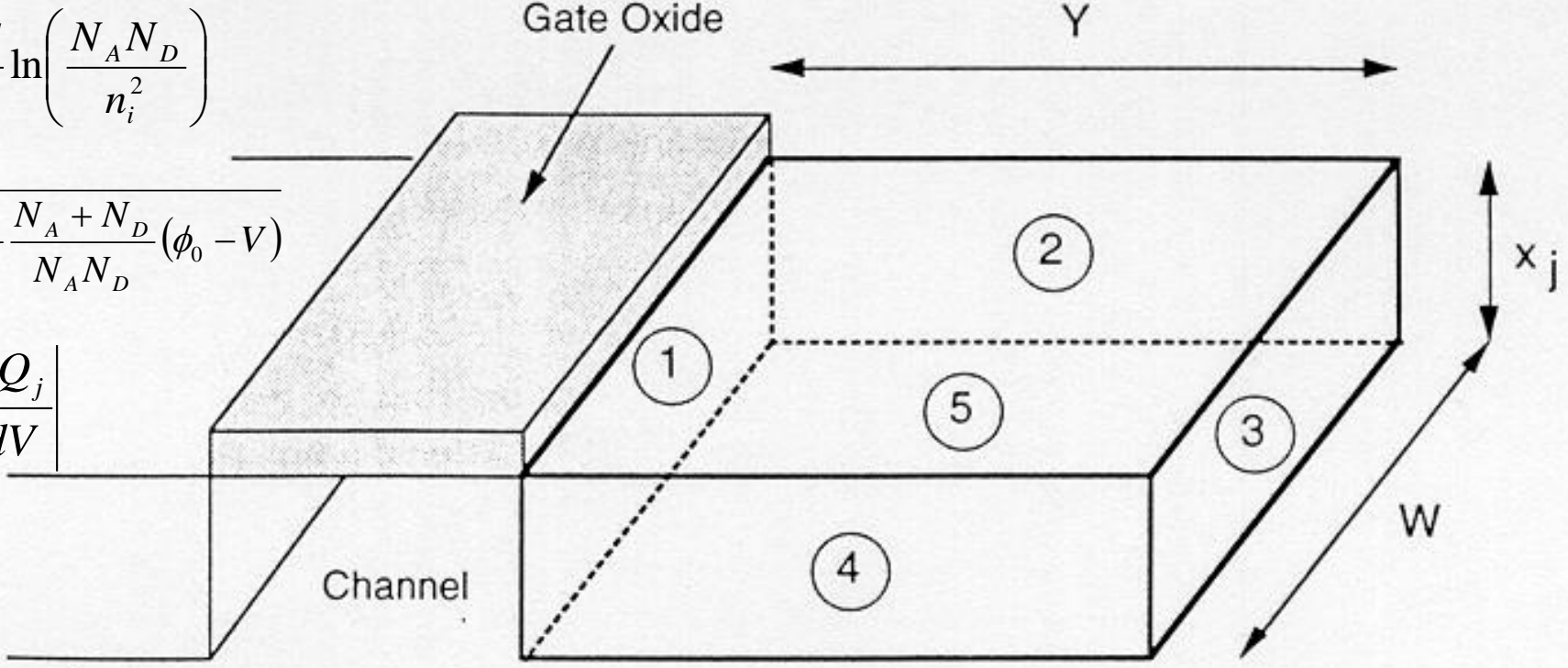
$$x_d = \sqrt{\frac{2\epsilon_{Si}}{q} \frac{N_A + N_D}{N_A N_D} (\phi_0 - V)}$$

$$C_j = \left| \frac{dQ_j}{dV} \right|$$

$$C_j(V) = \frac{AC_{j0}}{\left(1 - \frac{V}{\phi_0}\right)^m}$$

Source and Drain Diffusion Regions

$$Q_j = Aq \left(\frac{N_A N_D}{N_A + N_D} \right) x_d = A \sqrt{2\epsilon_{Si} q \left(\frac{N_A N_D}{N_A + N_D} \right) (\phi_0 - V)}$$



The junction types will be
 n⁺/p,
 n⁺/p⁺,
 n⁺/p⁺ n⁺/p⁺
 and
 n⁺/p.

Figura-4.10: Vizualizare tridimensională a regiunii de difuzie de tipul n într-un substrat de tipul p.

Un aspect important al capacitatii jonctiunii din dispozitivul parazit este acela ca valoarea capacitatii este functie liniara de aria jonctiunii. Astfel, marimea ariei de difuzie drena sau sursa dicteaza valoarea capacitatii parazite. In tehnologiile submicronice, unde dimensiunile medii ale dispozitivelor individuale sunt micorate, capacitatea parazita a jonctiunilor scade, deasemenea, semnificativ.

S-a mentionat deja ca aceste capacitati parazite MOSFET sunt in principal responsabile pentru intarzierile intrinseci ale portilor logice. Am vazut ca, atat capacitatea parazita legata de oxid, cat si cea asociata jonctiunii tind sa scada odata cu micorarea dimensiunilor dispozitivelor, adica, semnificatia relativa a intarzierilor intrinseci ale unei porti scad, in tehnologiile submicronice.

4.4 Estimarea Capacitatii Interconexiunilor

Intr-o pastila tipica VLSI, capacitatile parazite ale interconexiunilor sunt printre cei mai dificili parametri, care se pot estima corect. Fiecare linie de interconectare (traseu) este o structura tridimensionale in metal si/sau polisiliciu, cu variatii semnificative de forma, grosime si distanta pe verticala fata de planul de baza (substrat). Deasmena, fiecare linie de interconectare este tipic inconjurata de un numar de alte linii, ori pe acelasi nivel, ori pe niveluri diferite.

Figura 4.11 arata o posibila si realista situatie unde interconexiunile a trei niveluri diferite practic se suprapun. Estimarea reala a capacitatii parazite a acestor trasee, luand in considerare si planul de baza precum si fiecare celalalt traseu, este in mod evident un lucru complicat.

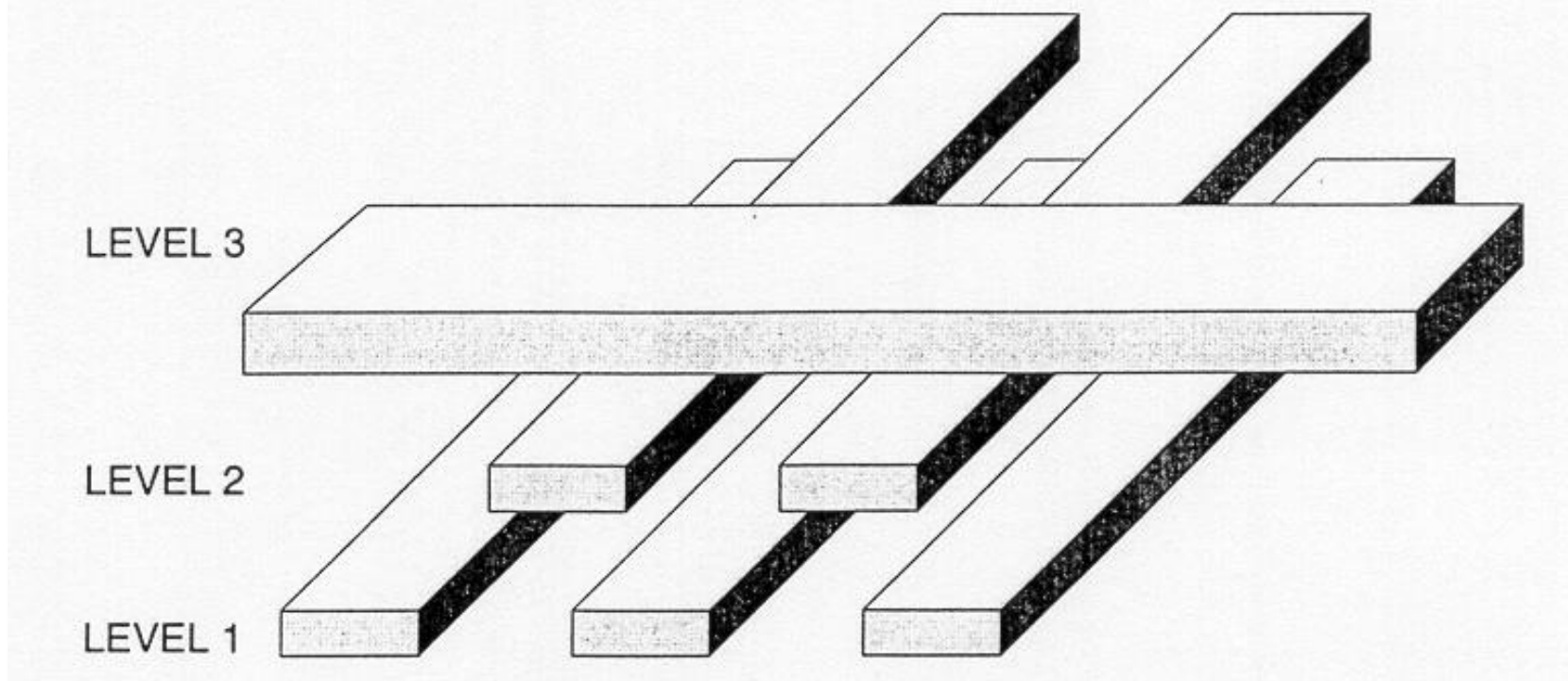


Figura-4.11: Exemplu de sase linii de interconectare care trec prin trei niveluri diferite.

Din nefericire pentru proiectantii VLSI, instrumentele conventionale de proiectare VLSI asistate de calculator au o capacitate relativ limitata de estimare a interconexiunilor parazite. Aceasta este adevarata chiar si pentru instrumentele de proiectare utilizate in mod regulat pentru proiectarea VLSI submicronice, unde interconexiunile parazite s-au aratat a fi dominante. Proiectantul ar trebuie sa fie atent la problemele fizice si sa incerce sa incorporeze propriile cunostiinte in faza de proiectare cand este realizat planul initial al circuitului.

Mai intai, se considera sectiunea unei singure interconexiuni, aratata in Fig. 4.12. Se presupune ca acest segment de traseu are o lungime de (l) in directia curenta, o latime de (w) si o inaltime de (t). Mai mult, se presupune ca planul de baza este un dielectric (oxid) de inaltime (h). Acum, estimarea corecta a capacitatii parazite, care ia in calcul planul de baza devine o problema importanta. Folosind geometria de baza data in Fig. 4.12, se poate calcula capacitatea plan-paralela C_{pp} a segmentului de interconectare. Oricum in liniile de interconectare unde grosimea traseelor (t) este comparabila in marime cu distanta fata de planul de baza (h), campurile electrice invecinate cresc in mod semnificativ capacitatea parazita totala (Fig. 4.13).

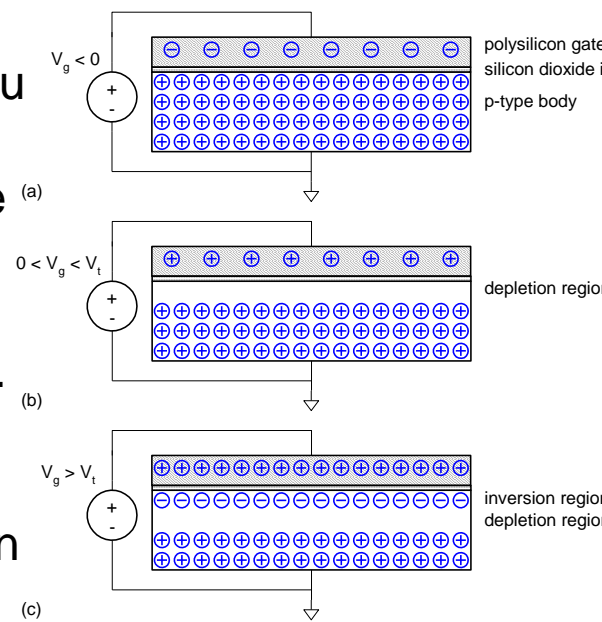
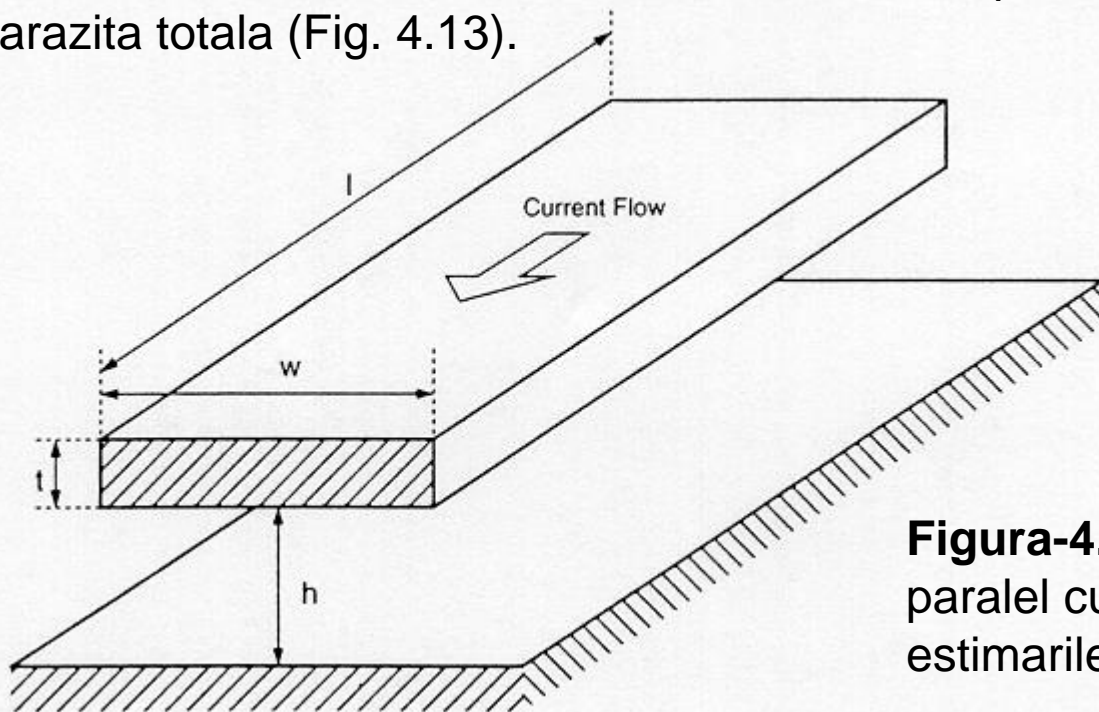


Figura-4.12: Segment de interconectare paralel cu substratul, folosit pentru estimarile capacitatii

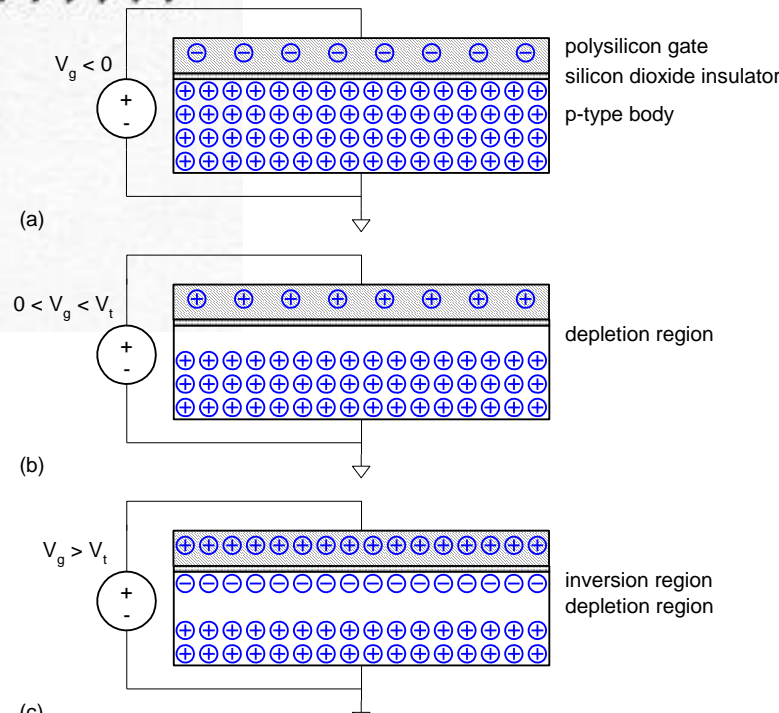
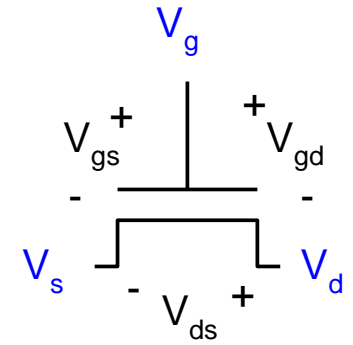
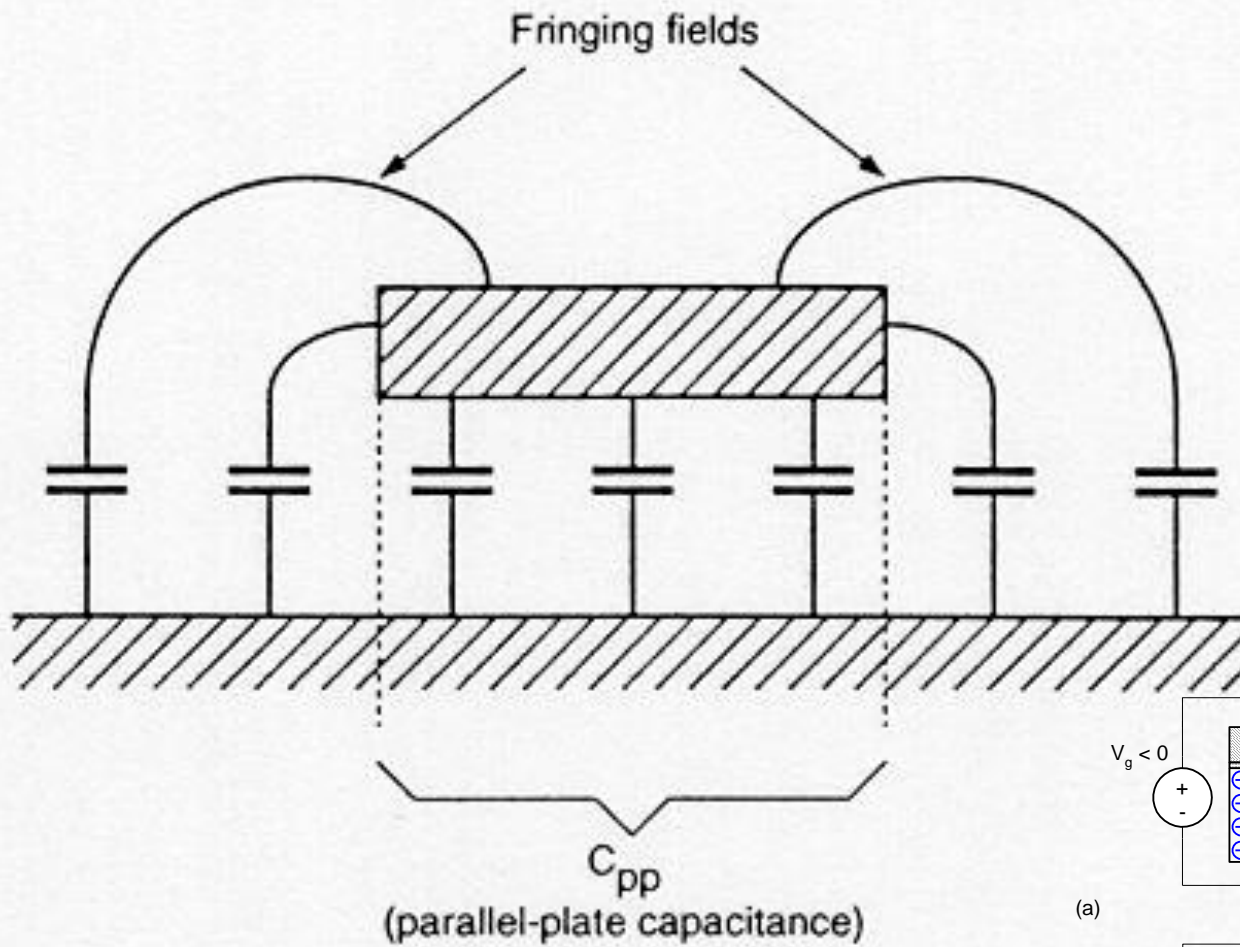


Figura-4.13: Influenta campurilor electrice de frontiera asupra capacitatii parazite a traseului.

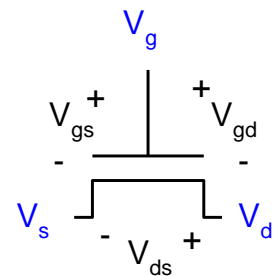
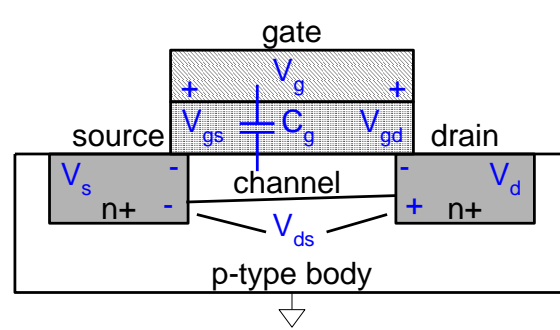
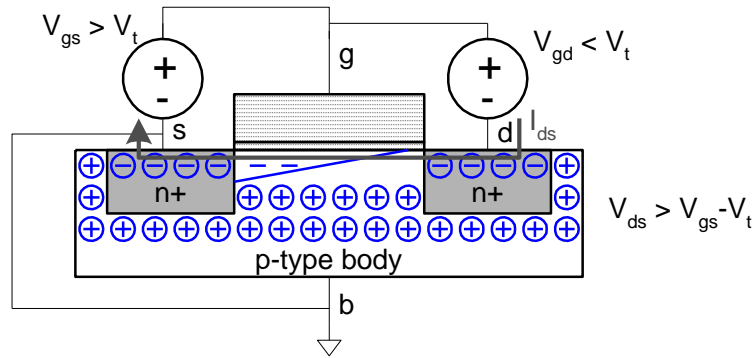


Figura 4.14 arata variatia factorului camp frontiera $FF = C_{total}/C_{pp}$, functie de (t/h) , (w/h) si (w/l) . Se poate observa cum influenta campurilor invecinate creste odata cu descresterea raportului (w/h) si cum capacitatea campului de frontiera poate fi de circa 10-20 ori mai mare decat capacitatea planelor paralele.

S-a mentionat mai devreme ca tehnologiile de fabricatie submicronice permit scadere grosimii liniilor de metal, cu toate ca grosimea liniei trebuie conservata pentru a asigura integritatea structurii. In aceasta situatie, care implica linii de metal cu o grosime verticala considerabila, apare in mod special vulnerabilitatea la efectele campului invecinat.

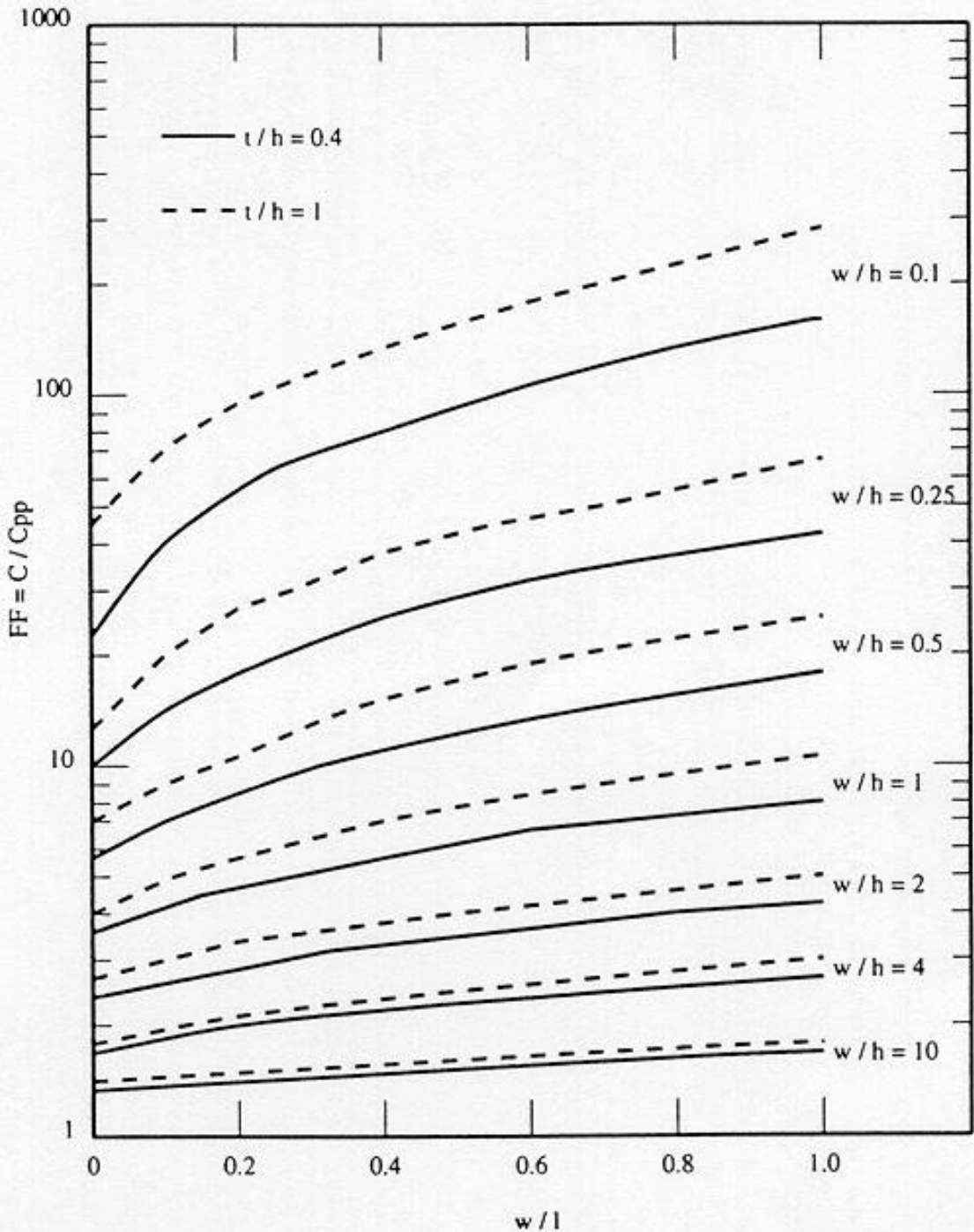
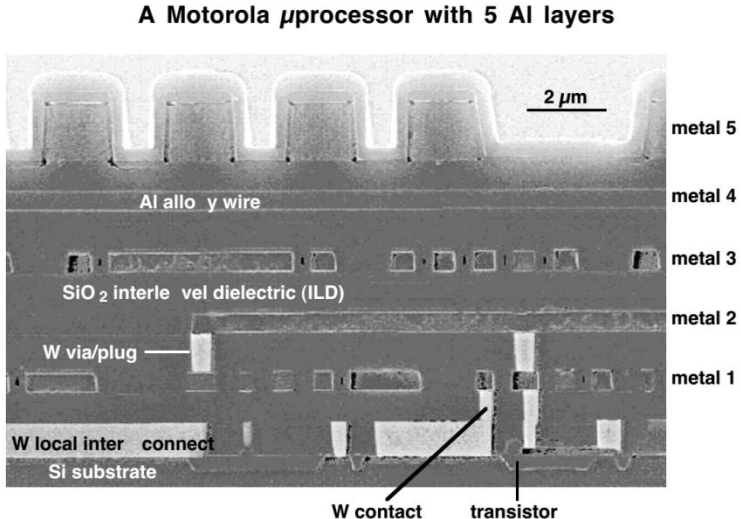
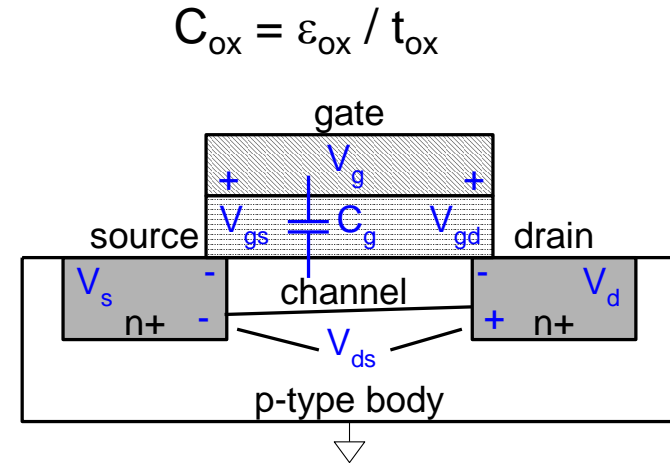
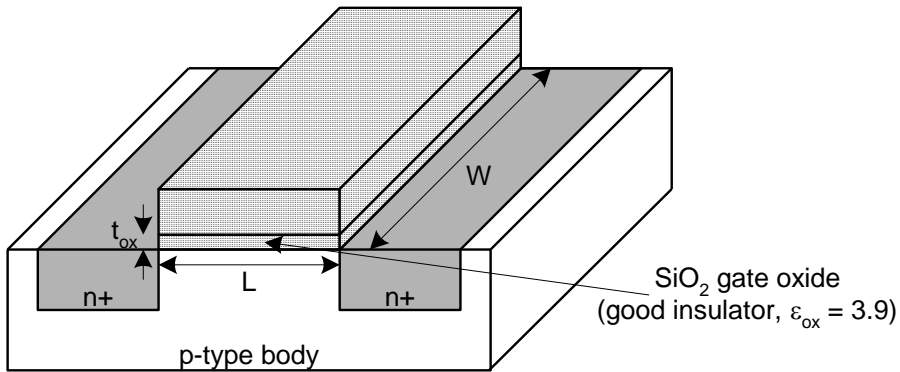


Figura-4.14: Variatia factorului de camp invecinat cu geometria de interconectare.



Pentru a estima capacitatea structurilor de interconectare in care campurile invecinate complica calculul capacitatii parazite, se poate folosi un set simplu de formule dezvoltate de Yuan si Trick la inceputurile anilor 1980'. Urmatoarele doua cazuri sunt considerate pentru doua game diferite ale latimii liniei (w).



$$C_{ox} = \epsilon_{ox} / t_{ox}$$

$$C = \epsilon \left[\frac{w}{h} + \frac{\pi \left(1 - 0.0543 \cdot \frac{t}{2h} \right)}{\ln \left(1 + \frac{2h}{t} + \sqrt{\frac{2h}{t} \left(\frac{2h}{t} + 2 \right)} \right)} + 1.47 \right] \quad \text{for } w < \frac{t}{2}$$

Aceste formule permit aproximarea cu acuratete a valorii capacitatii parazite cu o eroare de 10%, chiar si pentru valori foarte mici ale (t/h). Figura 4.15 arata o reprezentare diferita a capacitatii liniei, ca functie de (w/h) si (t/h). Linia punctata din acest grafic reprezinta capacitatea plan-paralela corespunzatoare, iar celelalte doua curbe reprezinta capacitatea reala luand in considerare si efectele

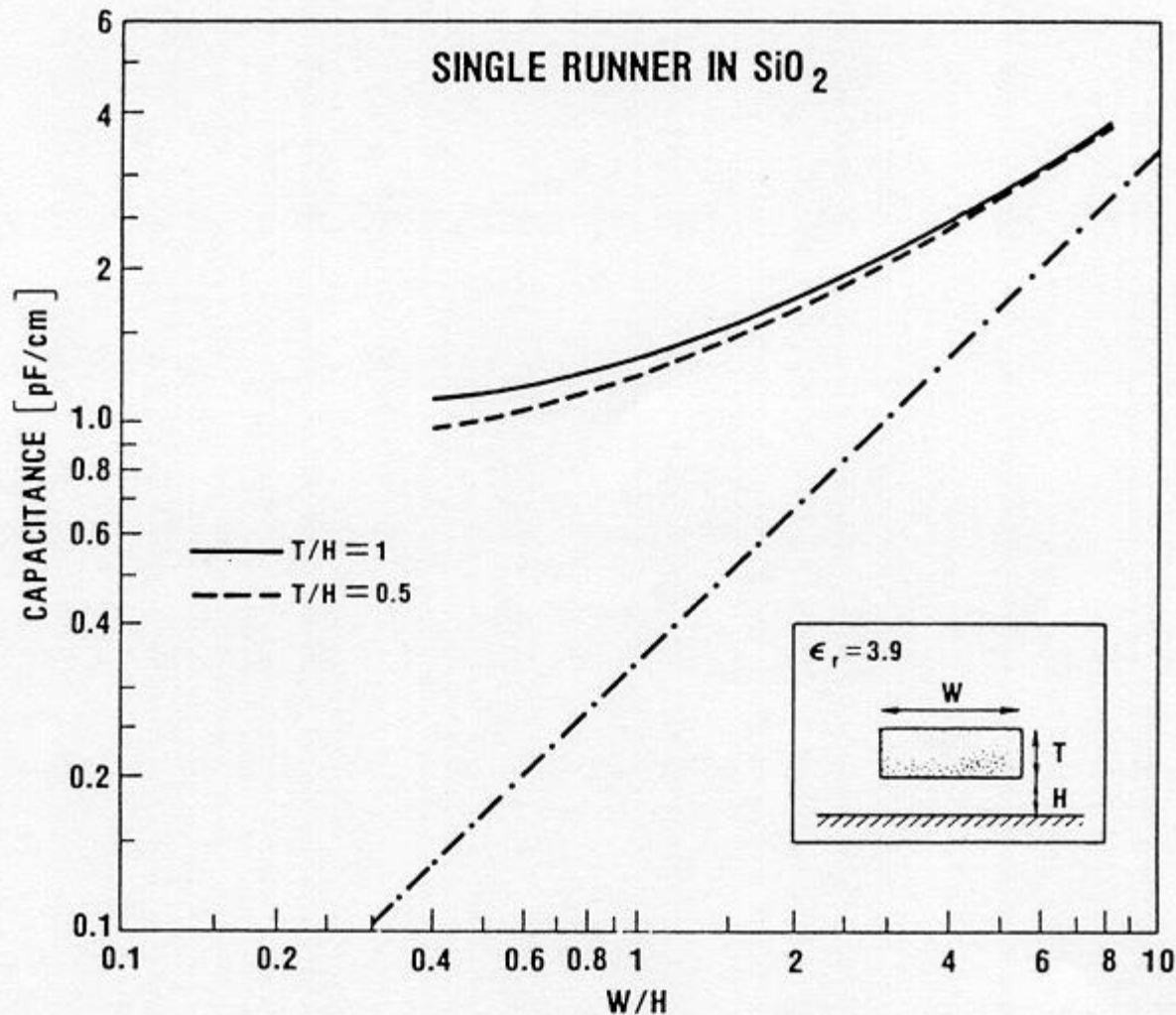


Figura-4.15: Capacitatea unui traseu singular ca functie de (w/h) si (t/h).

Acum se considera cazul mai realist in care linia de interconectare nu este singulara, ci este cuplata cu alte linii, care merg in paralel. In acest caz, capacitatea parazita totala a liniei nu este doar amplificata prin efectele campurilor invecinate, dar si prin capacitatea de cuplare cu cele doua linii, pe fiecare parte, separate de regula de proiectare a minimumului.

In mod special, daca ambele linii vecine sunt legate la potentialul de masa, capacitatea parazita totala a liniei de interconectare ce trece prin mijloc (fata de planul de baza) poate fi de 20 de ori mai mare decat capacitatea simpla a planului paralel. Se poate observa modul in care creste cuplajul capacitiv intre traseele vecine, cand grosimea traseului este comparabila cu latimea sa.

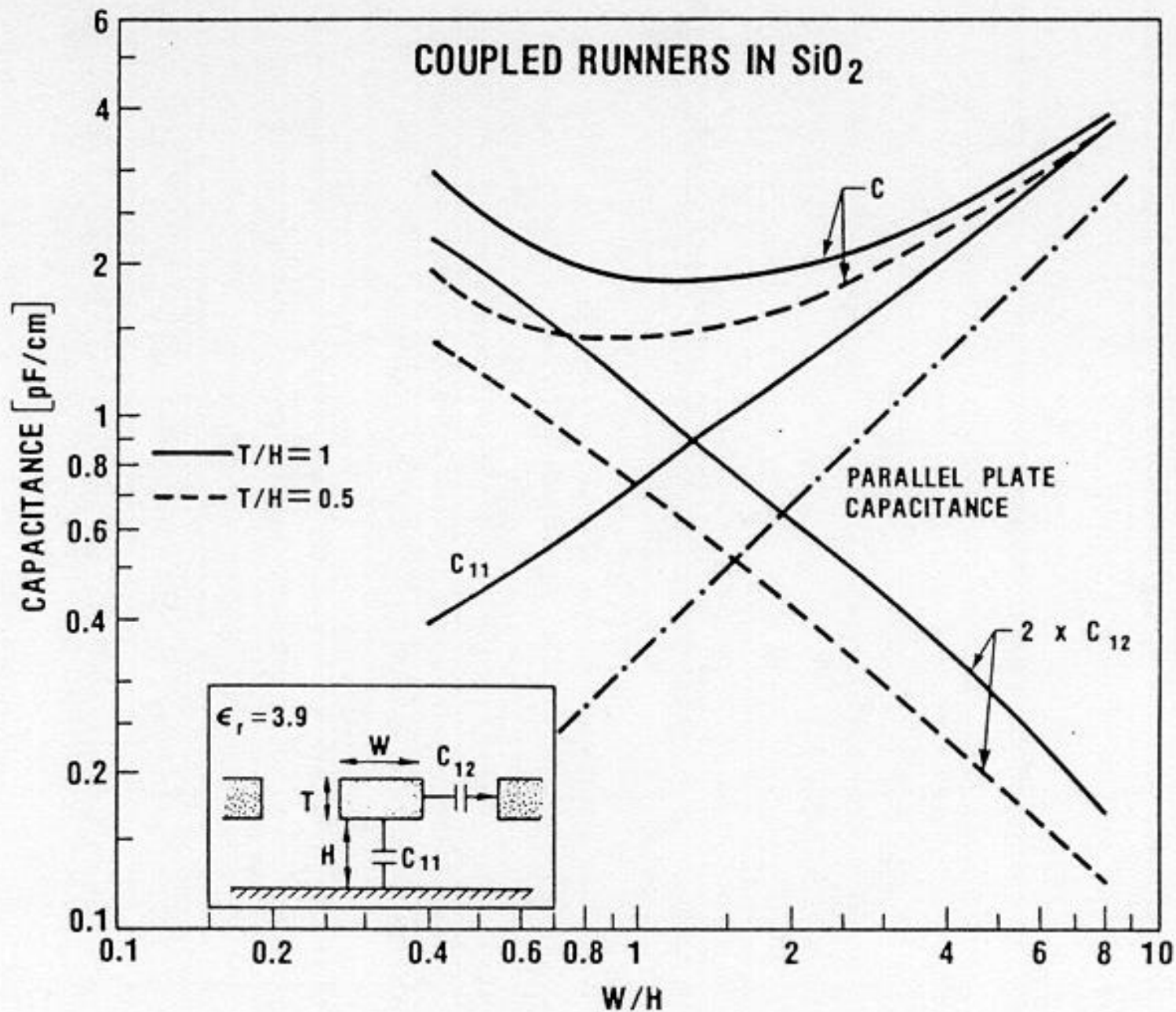


Figura-4.16: Capacitatea unor trasee cuplate ca functie de (w/h) si (t/h) .

Figura 4.17 prezinta o sectiune transversala prin structura dubla de metal CMOS unde sunt indicate capacitatile parazite individuale dintre niveluri. Sectiunea transversala nu arata un MOSFET, ci doar o portiune a regiunii de difuzie peste care pot trece anumite linii de metal.

Capacitatea nivelului interior dintre metal-2 si metal-1, metal-1 si polisiliciu, metal-2 si polisiliciu sunt etichetate ca C_{m2m1} , C_{m1p} si C_{m2p} , respectiv. Celelalte componente capacitive parazite sunt definite fata de substrat. Daca liniile de metal traverseaza o regiune activa, grosimea de oxid de sub ea este mai mica (datorita ferestrei zonei active) si, in consecinta, capacitatea este mai mare.

Aceste cazuri speciale sunt etichetate cu C_{m1a} si C_{m2a} . Altfel, grosimea nivelului campului de oxid va genera o valoare a capacitatii mai mica.

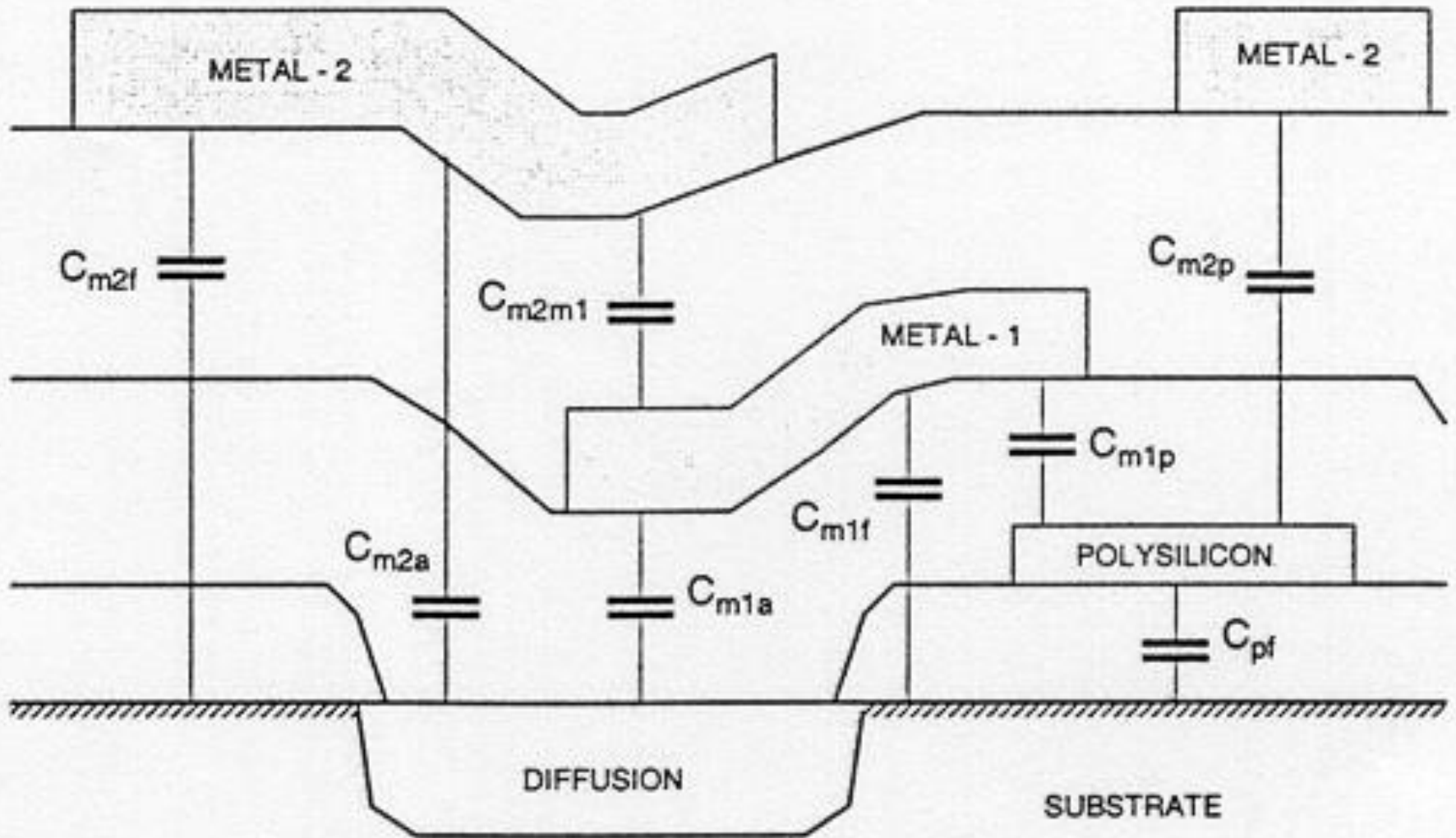


Figura-4.17: Vizualizarea sectiunii transversale a unei structuri bimetale CMOS, care arata capacitatea dintre diferitele niveluri.

Lista urmatoare contine valorile capacitatilor dintre diferitele niveluri tot pentru o tehnologie CMOS tipica de 0.8 microni.

Poli peste oxid de camp	(aria)	0.066	fF/ μm^2
Poli peste oxid de camp	(perimetru)	0.046	fF/ μm
Metal-1 peste oxid de camp	(aria)	0.030	fF/ μm^2
Metal-1 peste oxid de camp	(perimetru)	0.044	fF/ μm
Metal-2 peste oxid de camp	(aria)	0.016	fF/ μm^2
Metal-2 peste oxid de camp	(perimetru)	0.042	fF/ μm
Metal-1 peste poli	(aria)	0.053	fF/ μm^2
Metal-1 peste poli	(perimetru)	0.051	fF/ μm
Metal-2 peste poli	(aria)	0.021	fF/ μm^2
Metal-2 peste poli	(perimetru)	0.045	fF/ μm
Metal-2 peste metal-1	(aria)	0.035	fF/ μm^2
Metal-2 peste metal-1	(perimetru)	0.051	fF/ μm

Pentru estimarea capacitatii de interconectare intr-o structura complexa tridimensionala, trebuie luata in considerare geometria exacta, pentru fiecare portiune a traseului.

Aceasta necesita un numar inacceptabil de mare de calcule intr-un circuit mare, chiar si daca s-ar aplica formule simple pentru calculul capacitatii. In mod uzual, producatorii de circuite ofera valori ale capacitatii de suprafata (cap. plan-paralela) si capacitatea de perimetru (cap. campului invecinat) pentru fiecare nivel.

Acestea se obtin prin masuratori ale capacitatii pe structuri de test. Valorile obtinute pot fi utilizate pentru a obtine capacitatea parazita din structura mastii. De regula, se includ structuri de test pe pastila care permit proiectantului sa calibreze in mod independent un proces, in cadrul unui set de unelte de proiectare. Simularile realiste 3-D pot reprezenta singura solutie satisfacatoare in cazurile, in care intreaga performanta a structurii este influentata de catre capacitatea parazita a unei linii specifice.

Partial differential equations describing propagation along a general *RLGC* interconnection are:

$$\begin{aligned}\frac{\partial i(x, t)}{\partial x} + C \frac{\partial v(x, t)}{\partial t} + G v(x, t) &= 0, \\ \frac{\partial v(x, t)}{\partial x} + L \frac{\partial i(x, t)}{\partial t} + R i(x, t) &= 0,\end{aligned}\tag{2.1}$$

or in the frequency domain,

$$\begin{aligned}\frac{d i(x, j\omega)}{dx} + j\omega C v(x, j\omega) + G v(x, j\omega) &= 0, \\ \frac{d v(x, j\omega)}{dx} + j\omega L i(x, j\omega) + R i(x, j\omega) &= 0.\end{aligned}\tag{2.2}$$

and

$$G_{11} = G_{10} + G_{12}.$$

In matrix form the equations for all lines are

$$\frac{d \mathbf{i}(x, j\omega)}{dx} + j\omega \mathbf{C} \mathbf{v}(x, j\omega) - \mathbf{G} \mathbf{v}(x, j\omega) = \mathbf{0}, \quad (2.4)$$

$$\frac{d \mathbf{v}(x, j\omega)}{dx} + j\omega \mathbf{L} \mathbf{i}(x, j\omega) + \mathbf{R} \mathbf{i}(x, j\omega) = \mathbf{0}.$$

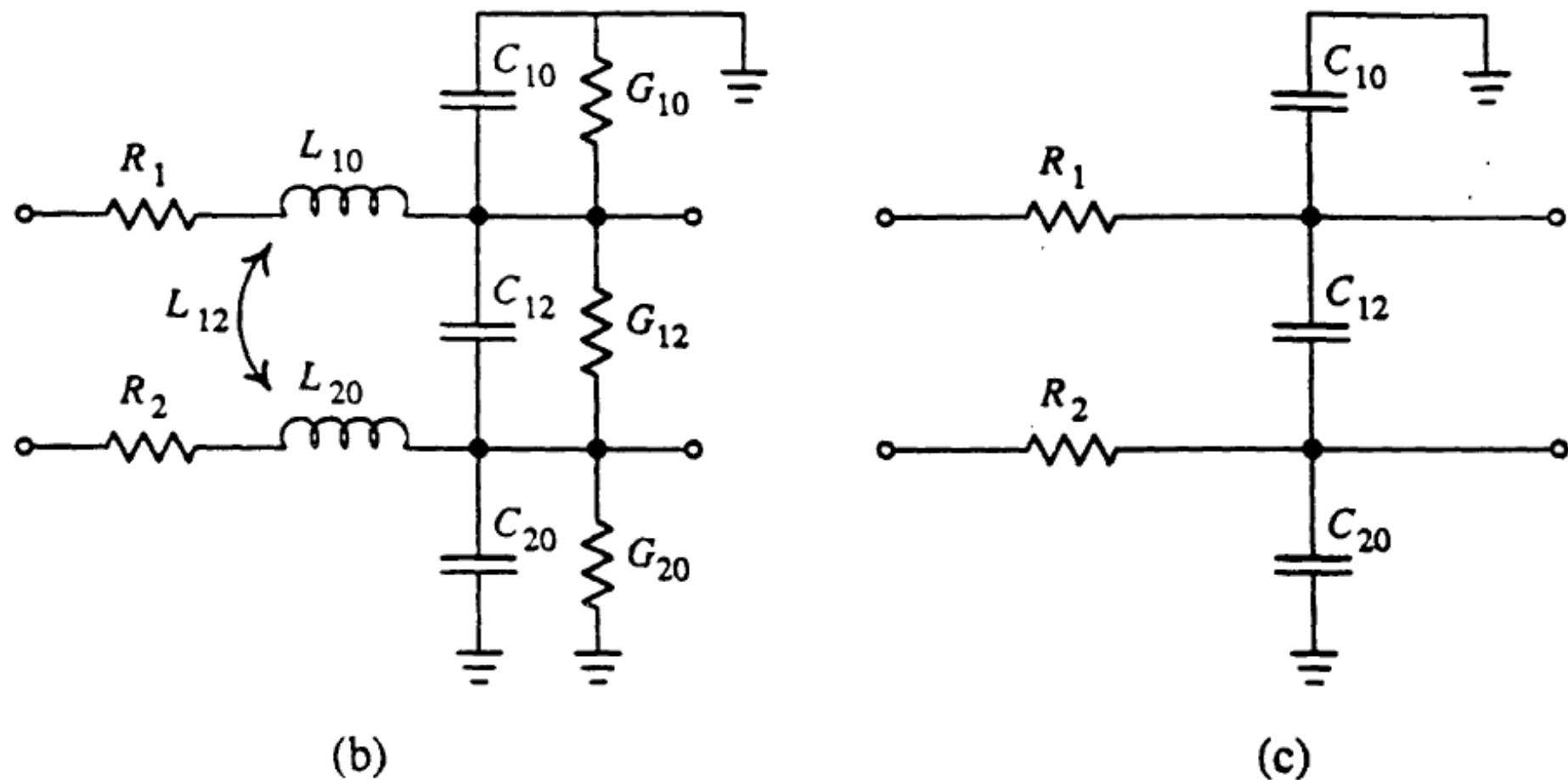
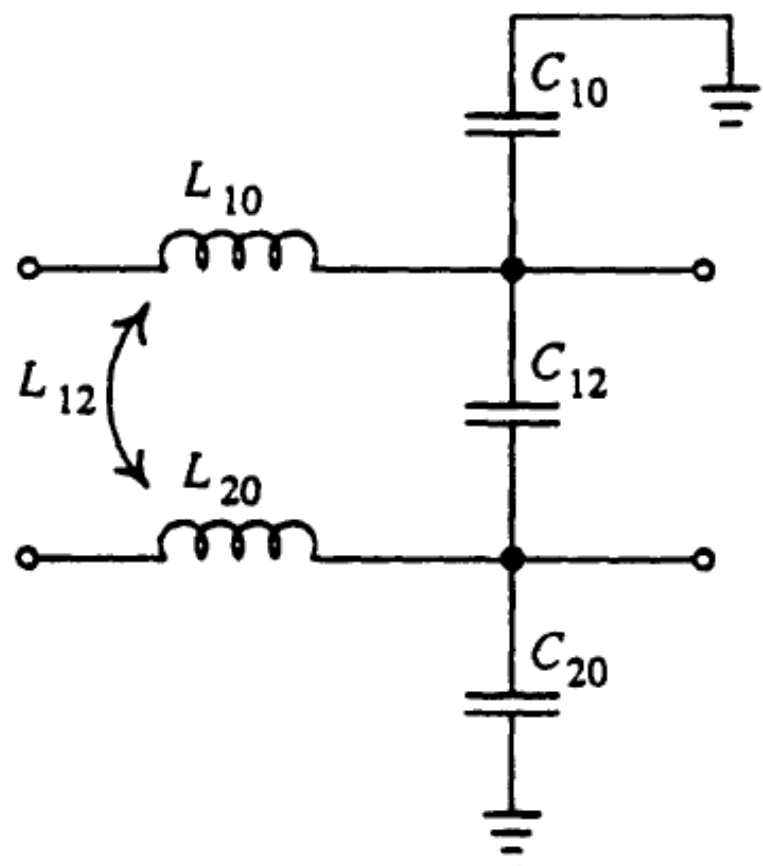
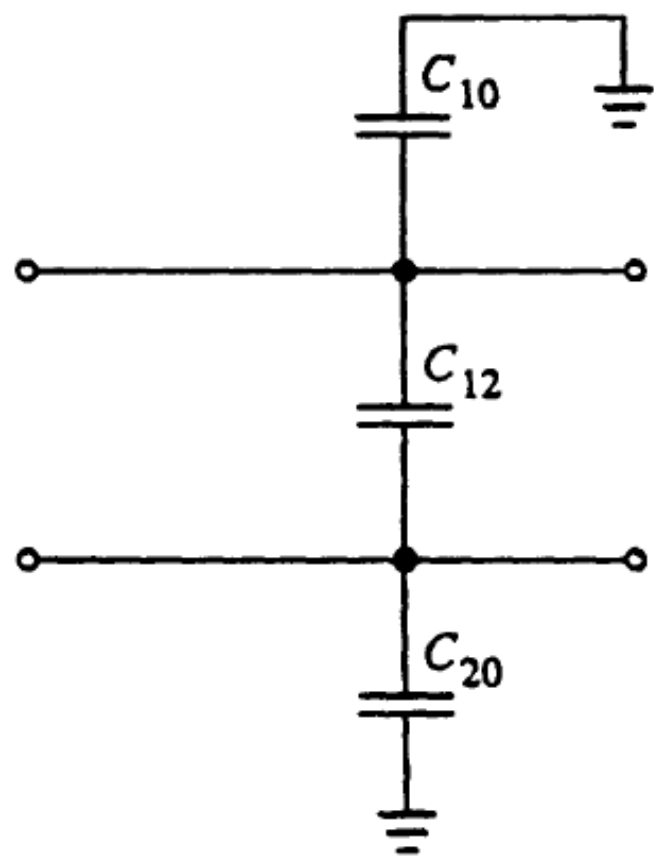


FIGURE 2-2: Lumped element circuit approximation for coupled lines.

(a) actual, coupled transmission lines, (b) general $RLGC$ propagation, (c) RC propagation. (d) TEM propagation, and (e) tracking propagation.



(d)



(e)

FIGURE 2-2: Lumped element circuit approximation for coupled lines.

(a) actual, coupled transmission lines, (b) general $RLGC$ propagation, (c) RC propagation. (d) TEM propagation, and (e) tracking propagation.

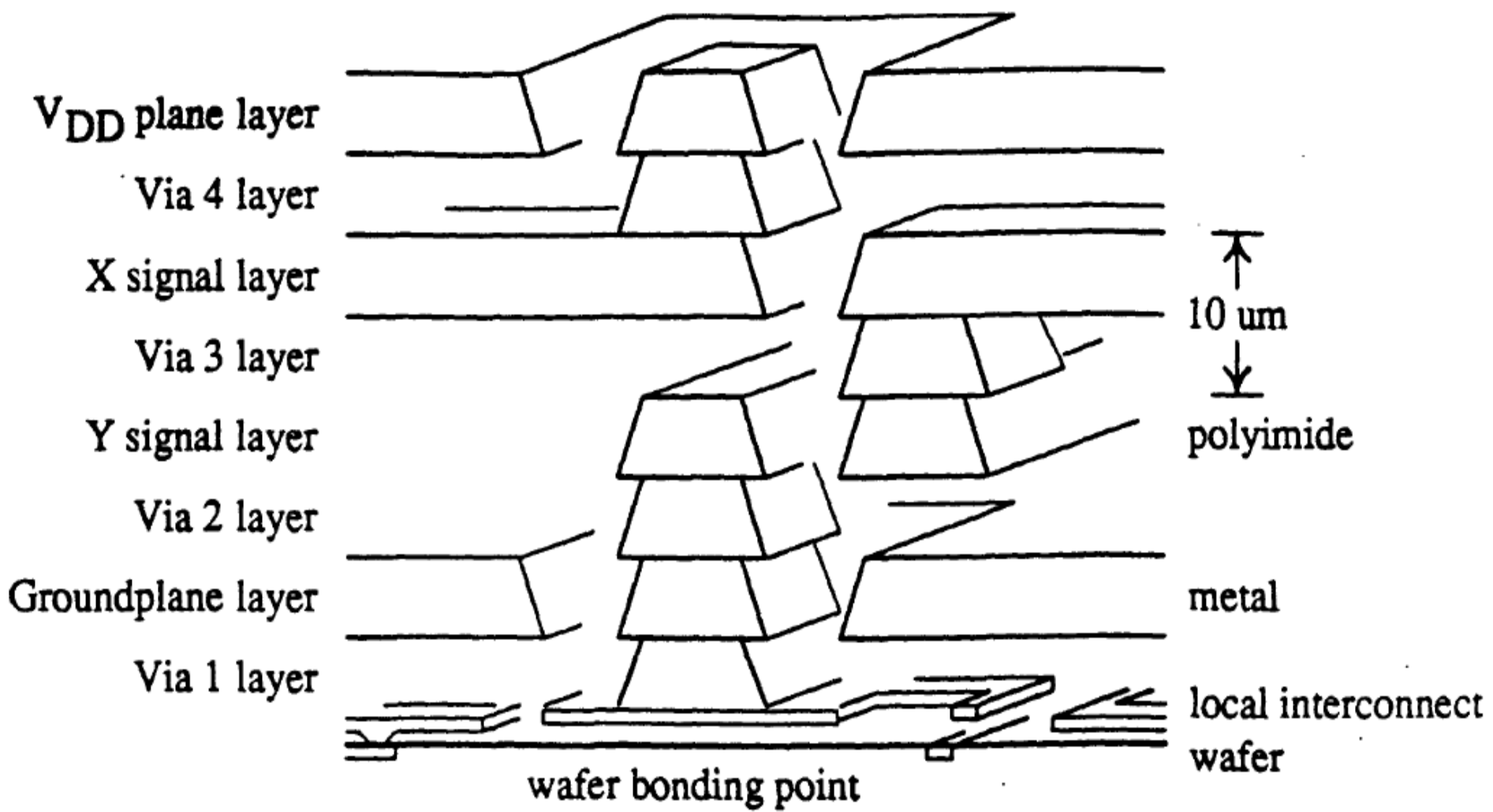


FIGURE 2-4: Eight layer Wafer Scale Integration interconnections.

There are eight planarized metal layers, four for interconnections and four for vias. This figure shows a wafer-to-*y*-signal connection, a *y*-signal-to-*x*-signal connection and a *x*-signal-to-surface connection.

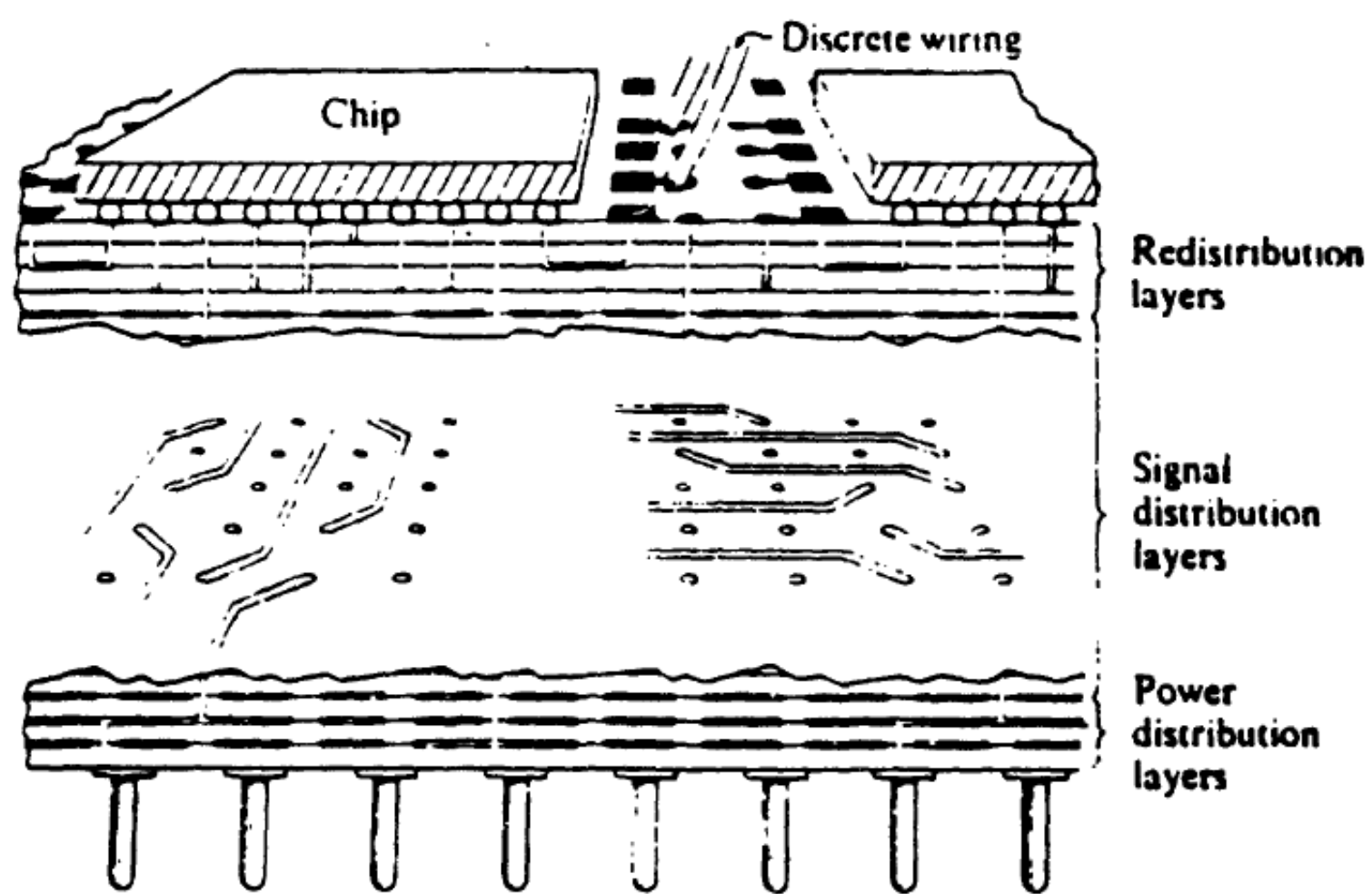
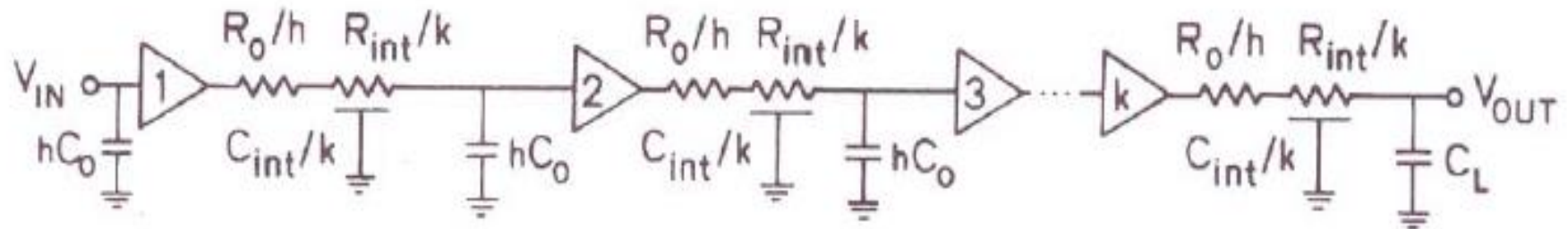


FIGURE 2-5: Multi-layer ceramic substrate technology.

From [31].

(b) optimal repeaters,

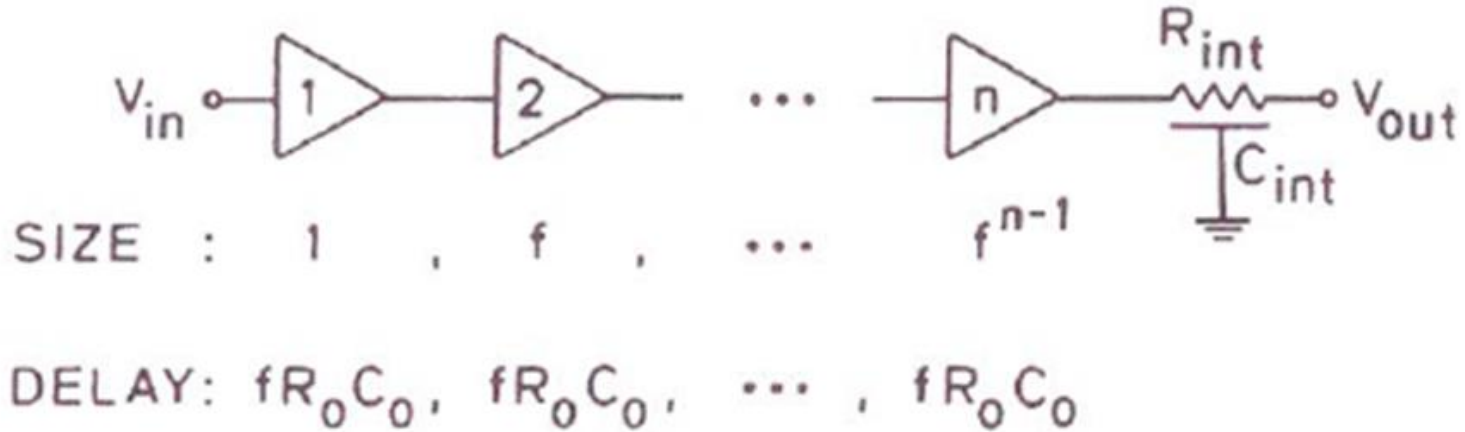


$$T_{50\%} = k \left[0.7 \frac{R_o}{h} \left(\frac{C_{int}}{k} + hC_o \right) + \frac{R_{int}}{k} \left(0.4 \frac{C_{int}}{k} + 0.7hC_o \right) \right]$$

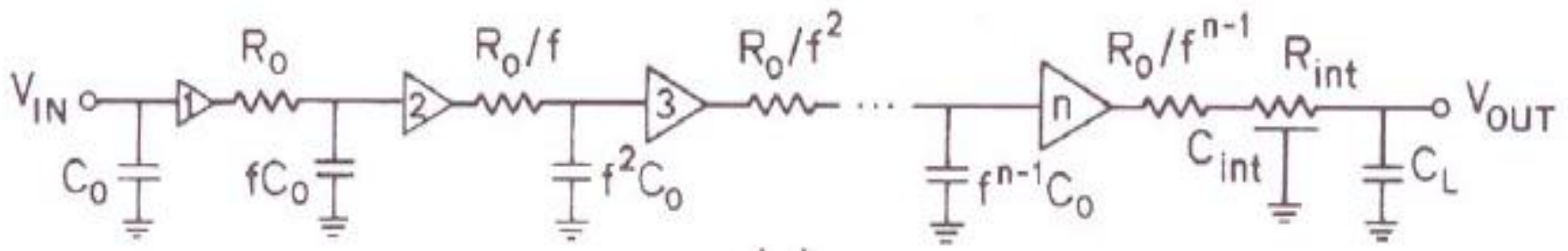
setting dT/dk and dT/dh to zero,

$$k = \sqrt{\frac{0.4 R_{int} C_{int}}{0.7 R_o C_o}} \quad h = \sqrt{\frac{R_o C_{int}}{R_{int} C_o}}$$

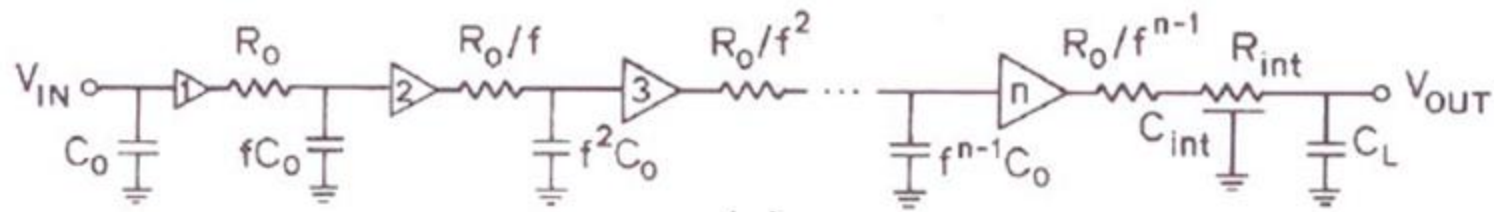
$$T_{50\%} = 2.5 \sqrt{R_o C_o R_{int} C_{int}}$$



(c) cascaded drivers,



The method is useful when R_{tr} is dominant and C_{int} is large



$$T_{50\%} = 0.7(n-1)fR_oC_o + \left(\frac{0.7R_o}{f^{n-1}} + 0.4R_{int} \right) C_{int} + \left(\frac{0.7R_o}{f^{n-1}} + 0.7R_{int} \right) C_L$$

setting dT/dn and dT/df to zero,

$$f = e \qquad n = \ln \left(\frac{C_{int} + C_L}{C_o} \right)$$

