

TEMA 4. TESTAREA CIRCUITELOR LOGICE SECVENȚIALE

Noțiuni de bază și definiții

Un circuit logic combinațional realizează o dependență a valorilor binare de ieșire numai de variabilele de intrare curente. În CLC nu se ia în considerare variabila timp, cel puțin teoretic, deoarece ea nu există în suportul formal și anume în algebra booleană.

Din punct de vedere formal, un CLC reprezintă un 3-tuplu: $\{X, Y, F\}$, în care semnificația obiectelor matematice este următoarea:

- X – mulțimea variabilelor de intrare;
- Y – mulțimea variabilelor de ieșire;
- F – funcția de ieșire.

Modelul matematic al CLS reprezintă un automat cu stări finite și este definit de următorul 5-tuplu: $\{X, Y, S, F, G\}$, în care semnificația obiectelor matematice este următoarea:

- X – mulțimea variabilelor de intrare;
- Y – mulțimea variabilelor de ieșire;
- S – mulțimea stărilor interne;
- F – funcția de ieșire, care exprimă procesul de modificare a ieșirilor în dependență de variabilele de intrare și starea internă în momentul de timp curent: $Y(t) = F[S(t), X(t)]$;
- G – funcția de tranziție a stărilor, care exprimă procesul de modificare a stărilor în următorul moment de timp în funcție de variabilele de intrare și de starea internă în momentul de timp curent: $S(t+1) = G[S(t), X(t)]$.

În figura 3.1 este prezentat modelul general al unui circuit secvențial. Conform acestui model, un circuit secvențial este compus din circuite combinaționale și bistabile pentru memorarea stării interne. Partea combinațională a circuitului are două mulțimi de variabile de intrare: primare $X(t)$ (aplicate din

exterior) și secundare $s(t)$ (aplicate de la ieșirile bistabilelor). Variabilele secundare de intrare se numesc *variabile de stare*, iar mulțimea variabilelor de stare la momentul de timp t formează *starea curentă* a circuitului $s(t)$.

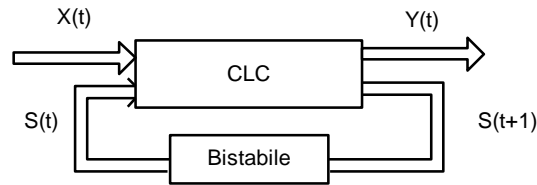


Figura 3.1. Modelul CLS

Un circuit format din m bistabile va avea 2^m stări curente. Ieșirile părții combinaționale ale circuitului sunt formate din două mulțimi. Ieșirile primare $Y(t)$, accesibile exteriorului sunt utilizate pentru gestiunea operațiilor din circuit. Ieșirile secundare se folosesc pentru specificarea stării următoare a circuitului $s(t+1)$. Modelul descris poate fi reprezentat în forma mai multor copii ale aceluiași CLS (figura 3.2), astfel încât starea primei copii să servească drept intrare secundară pentru copia a doua, starea celei de-a doua copii să servească drept intrare secundară pentru copia a treia, ș.a.m.d.

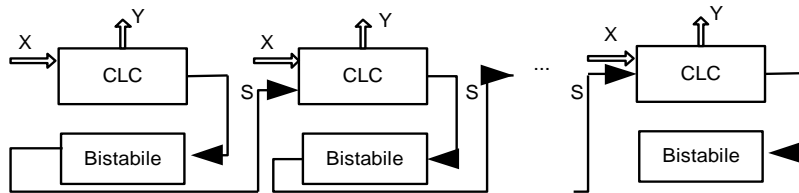


Figura 3.2. Modelul iterativ al CLS

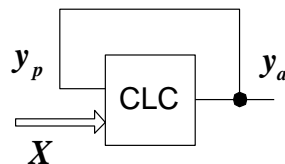
În rezultatul acestei interpretări un CLS poate fi transformat în k CLC, unde k este numărul total de stări ($k=2^m$). CLS, reprezentat astfel poate fi testat, utilizând metodele descrise pentru CLC. Dar, în acest caz, un defect singular va fi prezent în toate cele k copii și va deveni un defect k -multiplu. Astfel, odată cu creșterea complexității CLS, testarea devine practic imposibilă.

O altă abordare pentru efectuarea testării CLS este metoda verificării funcționale în baza tabelelor de tranziție a stărilor. În acest caz, sarcina de bază este găsirea unei perechi $\{X(k), Y(k)\}$, astfel încât, secvența ieșirilor să corespundă $Y(k)$ pentru secvența intrărilor $X(k)$, doar în absența defectelor.

Atât în cazul primei abordări, cât și în cazul celei de-a doua, apare problema setării inițiale a CLS în mod univoc în 1 sau 0 logic, fiind necunoscută valoarea inițială de la ieșirea circuitului. Pe lângă aceasta, pe parcursul elaborării testelor este necesară aplicarea unor seturi suplimentare de instalare a circuitului într-o valoare sau alta, pentru a fi posibilă detectarea tuturor defectelor. Aceasta mărește și mai mult numărul seturilor aplicate la intrarea circuitului, făcând imposibilă testarea circuitelor mari.

Testarea CLS asincrone cu o buclă de reacție

Cel mai simplu circuit secvențial asincron poate fi realizat prin introducerea unei bucle de reacție între ieșirea circuitului combinațional și una dintre intrări



Testarea acestui tip de circuit poate fi efectuată utilizând metodele cunoscute pentru CLC în cazul întreruperii imaginare a buclei de reacție. Pentru aceasta vom lua în considerație valorile variabilei de stare la începutul și la sfârșitul acestei bucle în momente succesive de timp.

Variabila de stare în momentul de timp actual este notată prin y_a , iar variabila de stare în momentul de timp precedent - prin y_p . Evident, în acest caz, în expresia logică care descrie funcționarea circuitului va fi prezentă și variabila y_p .

Etaple de elaborare a testelor pentru CLS cu o buclă de reacție sunt următoarele:

1) Reprezentarea expresiei logice care descrie funcționarea circuitului în forma disjunctivă normală (FDN).

2) Aplicarea setului inițial de instalare univocă a y_a în 0 sau 1 logic, y_p fiind necunoscut.

3) Analizând FDN, se caută un termen pentru care e posibilă instalarea tuturor variabilelor în 1 logic. În același timp se asigură în ceilalți termeni cel puțin câte un 0 logic. Aceasta va permite detectarea defectelor „blocaj la 0” pentru variabilele ce sunt prezente în formă directă în termenul ales și, respectiv, detectarea defectelor „blocaj la 1” pentru variabilele ce sunt prezente în formă inversă.

În absența defectelor variabilelor din termenul ales, valoarea y_a va fi egală cu 1 logic, în prezența defectelor, valoarea y_a va fi egală cu 0 logic.

Procedura se repetă pentru fiecare termen.

4) Analizând FDN, se caută acei termeni pentru care e posibilă instalarea în 0 logic a unei singure variabile, în ceilalți termeni fiind prezente două sau mai multe variabile egale cu 0. Aceasta va permite detectarea defectelor „blocaj la 1” pentru variabilele ce sunt prezente în formă directă în termenii aleși și, respectiv, detectarea defectelor „blocaj la 0” pentru variabilele ce sunt prezente în formă inversă.

În absența defectelor variabilelor din termenii aleși, valoarea y_a va fi egală cu 0 logic, în prezența defectelor, valoarea y_a va fi egală cu 1 logic.

Procedura se repetă până când toate variabilele funcției logice vor fi testate astfel.

La elaborarea testelor se vor respecta următoarele reguli:

1) Valoarea y_p din testul curent va coincide cu valoarea y_a din testul precedent.

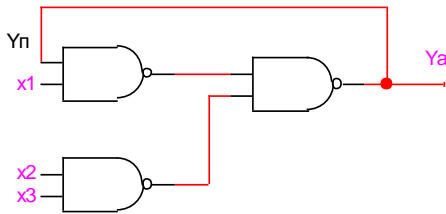
2) Atunci când valoarea y_p din setul curent nu permite asigurarea condițiilor pentru etapele 3 sau 4, se adaugă seturi de instalare a y_a în valoarea necesară.

Spre deosebire de CLC, în cazul testării CLS este importantă ordinea aplicării testelor.

Exemplu de elaborare a testelor pentru CLS cu o buclă de reacție

Fie dată următoarea expresie logică:

$$y_a = \overline{x_1 y_p} \cdot x_2 x_3$$



Vom reprezenta expresia logică care descrie funcționarea circuitului în forma disjunctivă normală:

$$y_a = \overline{x_1 y_p} \cdot x_2 x_3 = x_1 y_p + x_2 x_3$$

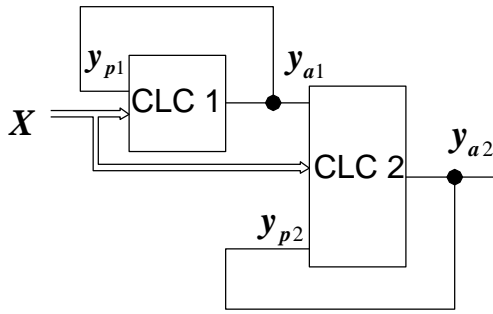
Elaborarea testelor pentru CLS cu o buclă de reacție

Nr	Teste					FDN					Defecte			
	x ₁	x ₂	x ₃	y _p	y _a	$x_1 y_p + x_2 x_3$					x ₁	x ₂	x ₃	y _p
1	0	1	1	*	1	0	*		1	1		≡0	≡0	
2	1	0	*	1	1	1	1		0	*		≡0		≡0
3	0	0	1	1	0	0	1		0	1		≡1	≡1	
4	1	1	0	0	0	1	0		1	0			≡1	≡1

În exemplul analizat setul inițial instalează semnalul $y_a = 1$. Prin alegerea semnalului $x_1 = 0$, acest set poate servi și drept test pentru detectarea defectelor $x_2 \equiv 1$ și $x_3 \equiv 1$.

Testarea CLS asincrone cu mai multe bucle de reacție

În CLS asincrone cu mai multe bucle de reacție se pot evidenția câteva subcircuite combinaționale, iar numărul variabilelor de stare depinde de numărul buclelor formate.



Vom utiliza următoarele notații: y_{a1} - variabila de stare internă în momentul de timp actual; y_{a2} - variabila de stare externă în momentul de timp actual; y_{p1} - variabila de stare internă în momentul de timp precedent; y_{p2} - variabila de stare externă în momentul de timp precedent.

Etapele:

1. Se obține FDN a expresiei logice pentru variabila de stare externă y_{a2} și FDN pentru variabila de stare internă y_{a1} .
2. Se analizează condițiile instalării inițiale a circuitului, reieșind din faptul că semnalele y_{p1} și y_{p2} sunt nedefinite. Pentru început se examinează logica funcționării și posibilitatea instalării în 0 sau 1 logic a subcircuitului intern, apoi a celui extern.
3. Pentru detectarea defectelor de tip „blocaj la 0” și „blocaj la 1” a intrărilor circuitului se aplică aceeași logică ca și în cazul CLS cu o buclă de reacție.

Pentru a fi posibilă testarea tuturor variabilelor de intrare și a variabilelor de stare y_{p1} și y_{p2} , este necesară aplicarea mai multor seturi de setare sau resetare a semnalelor y_{a1} și y_{a2} .

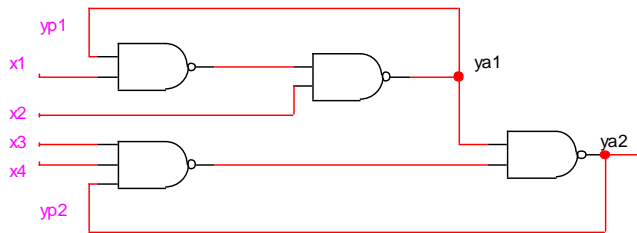
Exemplu de elaborare a testelor pentru CLS cu două bucle de reacție

Fie dată următoarea expresie logică:

$$y_{a2} = \overline{\overline{\overline{x_1 y_{p1}} \cdot x_2} \cdot \overline{\overline{x_3 x_4} y_{p2}}}$$

Evidențiem în această expresie bucla de reacție internă:

$$y_{a1} = \overline{\overline{x_1 y_{p1}} \cdot x_2}$$



$$y_{a2} = \overline{\overline{\overline{x_1 y_{p1}} \cdot x_2} \cdot \overline{\overline{x_3 x_4} y_{p2}}} = \overline{\overline{\overline{x_1 y_{p1}} \cdot x_2} + \overline{\overline{x_3 x_4} y_{p2}}} =$$

$$= (\overline{\overline{x_1} + \overline{y_{p1}}}) \overline{\overline{x_2}} + \overline{\overline{x_3} x_4 y_{p2}} = \overline{\overline{x_1} x_2} + x_2 \overline{y_{p1}} + \overline{\overline{x_3} x_4} y_{p2}$$

$$y_{a1} = \overline{\overline{\overline{x_1 y_{p1}} \cdot x_2}} = \overline{\overline{x_1 y_{p1}} + \overline{x_2}}$$

Elaborarea testelor pentru CLS cu două bucle de reacție

Teste								FDN								Defecte						
x ₁	x ₂	x ₃	x ₄	y _p ₁	y _a ₁	y _p ₂	y _a ₂	$\overline{\overline{\overline{x_1} x_2} + x_2 \overline{y_{p1}} + \overline{\overline{x_3} x_4} y_{p2}}$								x ₁	x ₂	x ₃	x ₄	y _{p1}	y _{p2}	
*	0	1	*	*	1	*	0	*	0		0	*		0	*	*	y _{a2} =0					
0	1	1	*	1	0	0	1	1	1		1	0		0	*	0	≡1	≡0				
1	1	1	*	0	0	1	1	0	1		1	1		0	*	1		≡0			≡1	
*	0	0	1	0	1	1	1	*	0		0	1		1	1	1			≡1	≡0		≡0
1	1	1	1	1	1	1	0	0	1		1	0		0	1	1	≡0		≡0		≡0	
0	0	0	1	1	1	0	0	1	0		0	0		1	1	0		≡1				≡1
0	1	*	*	1	0	0	1	1	1		1	0		*	*	0	y _{a2} =1					
*	0	0	0	0	1	1	0	*	0		0	1		1	0	1					≡1	

Din cele expuse reiese că metoda elaborării testelor pentru CLS cu bucle de reacție este bazată pe utilizarea metodelor pentru CLC. Se prevede doar întreruperea buclilor de reacție și adăugarea la variabilele de intrare a variabilelor de stare precedente.

Pentru a crește testabilitatea CLS de tip LSI (Large Scale Integration) și VLSI (Very Large Scale Integration) sunt prevăzute un șir de măsuri: proiectarea circuitelor astfel, încât să fie posibilă separarea părții combinaționale de elementele de memorie și testarea separată a lor; proiectarea circuitelor autotestabile, în care sunt prevăzute mijloace încorporate de generare a testelor și tehnici de detectare a defectelor.