

TEMA 3 TESTAREA CIRCUITELOR LOGICE COMBINAȚIONALE

Clasificarea metodelor de generare a secvențelor de test

Metodele de generare a secvențelor de test, după principiul utilizat, pot fi clasificate în metode *deterministe* și metode *probabilistice*.

Metodele deterministe reprezintă anumiți algoritmi formali de generare a secvențelor de test prin analiza funcțiilor logice și/sau a structurii circuitului. Aceste metode pot fi clasificate în felul următor:

- *metode structurale*: generarea secvențelor de test are loc în urma analizei structurii circuitului;
- *metode analitice*: generarea secvențelor de test are loc în urma analizei funcției logice;
- *metode structural-analitice*: generarea secvențelor de test are loc în urma analizei atât a structurii circuitului logic cât și a funcției logice.

Exemple de asemenea metode sunt: metoda activării unei căi, metoda algoritmului D, metoda derivatelor booleene, metoda formei echivalente normale ș. a.

Metodele probabilistice se bazează pe generarea aleatorie sau pseudoaleatorie a testelor și se folosesc în cazul circuitelor mari.

Tema 3.1 Metoda activării unei căi

Metoda activării unei căi este una dintre primele abordări de generare a testelor de detectare a defectelor singulare în CLC iredundante. Ea a fost propusă de colaboratorul firmei „IBM” Stiglets și colaboratorul firmei „Bell Telephone Laboratories” Armstrong.

Această metodă structurală este bazată pe alegerea unei căi de propagare a defectului de la un punct de manifestare spre ieșirea primară a circuitului logic.

Procedura de elaborare a testelor constă din următoarele etape:

1) Se asigură obținerea pe conexiunea defectă a nivelului logic opus presupusei erori (*condiția manifestării defectului*);

2) Se selectează în mod arbitrar o cale de la locul de manifestare a defectului la una din ieșirile primare ale circuitului;

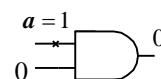
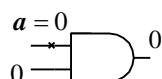
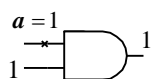
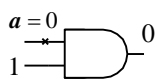
3) Se activează calea selectată, asigurând astfel condiția de observabilitate a defectului prin propagarea univocă a lui până la ieșirea primară a circuitului (procedura constă în **sensibilizarea porților logice** din calea selectată);

4) Se determină unul sau mai multe teste pentru detectarea defectului analizat, atribuind valori intrărilor primare, astfel încât să se producă semnalele dorite la ieșirile diverselor porți logice din circuit;

5) Dacă nu s-a epuizat mulțimea căilor de propagare a tuturor defectelor analizate spre ieșirea primară a circuitului, se reia cu etapa 2, dacă da, atunci generarea testelor s-a încheiat.

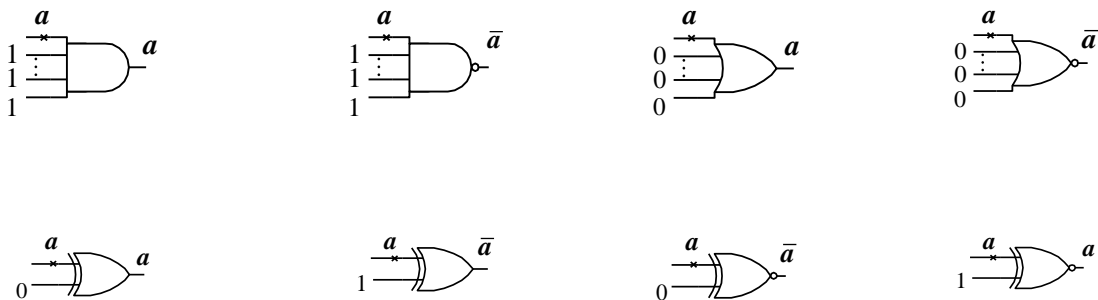
Etapele 1-3 reprezintă *faza de trecere înainte*, iar etapa 4 – *faza de consistență* sau *faza de trecere înapoi*.

Vom analiza mai detaliat etapa 3 a metodei. Pentru a sensibiliza o poartă logică cu o intrare presupusă defectă (a), e necesar a atribui celorlalte intrări asemenea valori, încât valoarea ieșirii să depindă doar de valoarea lui a . Spre exemplu, în cazul porții logice ȘI cu două intrări valoarea de sensibilizare este egală cu 1 logic. Într-adevăr, pentru $a=1$ valoarea de la ieșire va fi egală cu 1 logic, iar pentru $a=0$ această valoare va fi egală cu 0 logic. În cazul când vom atribui celei de-a doua intrări valoarea logică 0, ieșirea porții ȘI va fi egală cu 0 atât pentru $a=1$ cât și pentru $a=0$, deci poarta nu este sensibilizată.

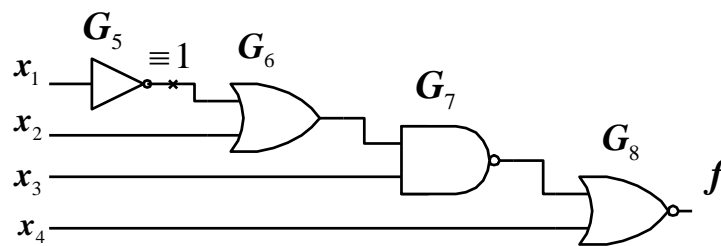


Generalizând cele expuse, se poate ușor observa că pentru porțile logice ȘI și ȘI-NU valorile de intrare pentru sensibilizare sunt egale cu 1 logic, iar pentru porțile SAU și SAU-NU – cu 0 logic. În cazul porților logice SAU Exclusiv (XOR) și SAU-NU Exclusiv (XNOR) valoarea de intrare pentru sensibilizare poate fi atât 0 cât și 1 logic.

Porțile logice cu o intrare presupusă defectă (a) și cu valori de intrare pentru sensibilizare:



În continuare vom analiza procedura de activare a unei căi de propagare a defectului $G_5 \equiv 1$.



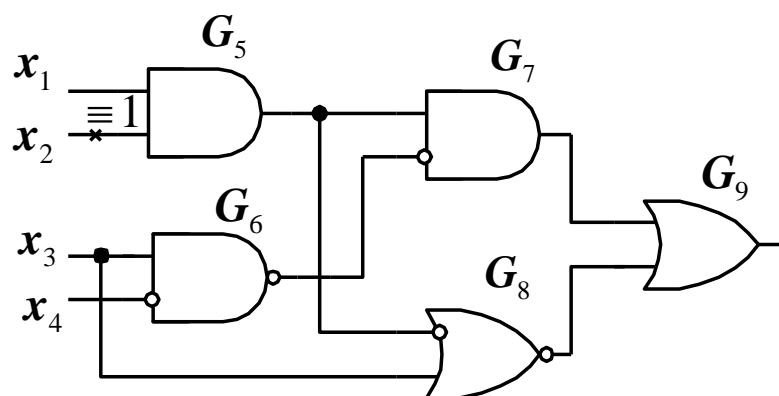
Pentru a asigura condiția de manifestare a defectului $G_5 \equiv 1$ e necesar a obține $G_5 = 0$. Pentru aceasta vom considera $x_1 = 1$. Condiția de sensibilizare pentru poarta logică G_6 este $x_2 = 0$, pentru poarta logică G_7 : $x_3 = 1$ și pentru poarta logică G_8 : $x_4 = 0$.

În urma activării căii (6, 7, 8) am obținut următorul test:

$$T_{G_5=1} = (x_1, x_2, x_3, x_4; f) = (1, 0, 1, 0; 0).$$

Deci, în lipsa defectului $G_5 \equiv 1$, valoarea ieșirii primare f va fi egală cu 0 logic ($f=0$), iar în prezența defectului: $f=1$. Astfel, defectul $G_5 \equiv 1$ este detectabil.

Să analizăm mai detaliat procedura de generare a testului pentru detectarea defectului $x_2 \equiv 1$ pe calea (5, 8, 9) pentru CLC arbitrar. Un circuit logic se numește *arbitrar* dacă conține ramificații atât ale intrărilor primare cât și a conexiunilor interne.



Pașii de generare a testului sunt arătați în tabel. Pentru început se asigură condiția de manifestare a defectului $x_2 \equiv 1$ prin setarea intrării primare x_2 în 0 logic (pasul 1). Apoi se sensibilizează pe rând porțile G_5 , G_8 și G_9 pentru a activa calea selectată (pașii 2, 3 și 4). În continuare se trece la faza de consistență și anume se asigură asemenea valori pentru x_3 și x_4 , astfel încât să se producă semnalele dorite la ieșirile porților G_7 și G_6 (pașii 5 și 6).

Tabelul 2.1. Pașii de generare a unui test

Nr	Intrări primare				Conexiuni interne				Ieșire primară	Comentariu
	x_1	x_2	x_3	x_4	G_5	G_6	G_7	G_8		
1		0								$x_2=0$
2	1	0			0					Sensib. G_5
3			0		0			0		Sensib. G_8
4							0	0	0	Sensib. G_9
5					0	1	0			$G_6=1$
6			0	*		1				$x_3=0$
	1	1	0	*	0	1	0	0	0	Testul obținut

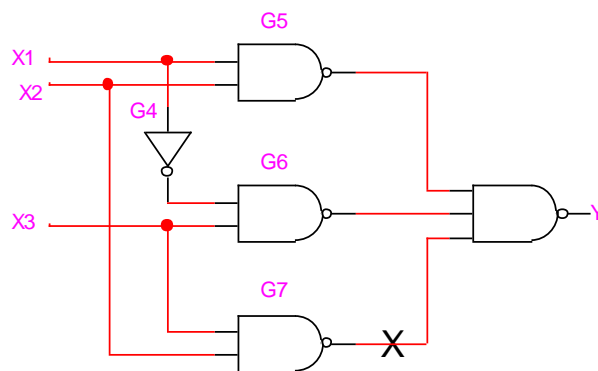
Generarea testului pentru detectarea defectului conexiunii interne $G_6 \equiv 1$

Nr	Intrări primare				Conexiuni interne				Ieșire primară	Comentariu
	x_1	x_2	x_3	x_4	G_5	G_6	G_7	G_8		
1			1	0		0				$G_6=0$
2					1	0	1			Sens. G_7
3							1	0	1	Sens. G_9
4			1		1			0		$G_8=0$
5	1	1			1					$G_5=1$
	1	1	1	0	1	0	1	0	1	testul

$$T_{G_6=1}=(1, 1, 1, 0; 1).$$

Metoda activării unei căi nu conduce întotdeauna pentru orice tip de circuit la un test de diagnostic. De exemplu, dacă un circuit conține porți logice redundante, acestea nu pot fi testate.

Exemplu: $F = x_1x_2 + \bar{x}_1x_3 + x_2x_3$

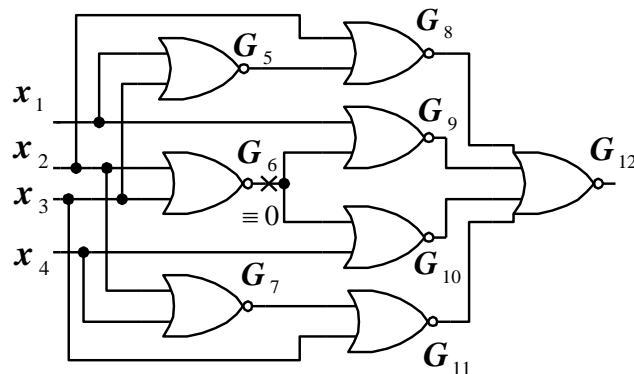


Def.	Intr. Pr.			Conexiuni interne				Ieșiri pr.	Calea
	1	2	3	4	5	6	7	8	
$G_7 \equiv 1$	0	1	1	1	1	1	0	1	7, 8

Conflictul apare deoarece nodul G_6 nu poate fi setat în 1.

Generarea testelor prin metoda activării unei căi este o procedură simplă, care nu necesită calcule voluminoase. Datorită acestui fapt ea poate fi utilizată și la generarea testelor pentru circuite secvențiale. Totodată, există și un dezavantaj semnificativ: activarea unei singure căi nu conduce întotdeauna la elaborarea unui test, care ar

putea fi găsit prin activarea simultană a mai multor căi. Un exemplu clasic, în acest sens, este circuitul propus de Schneider.

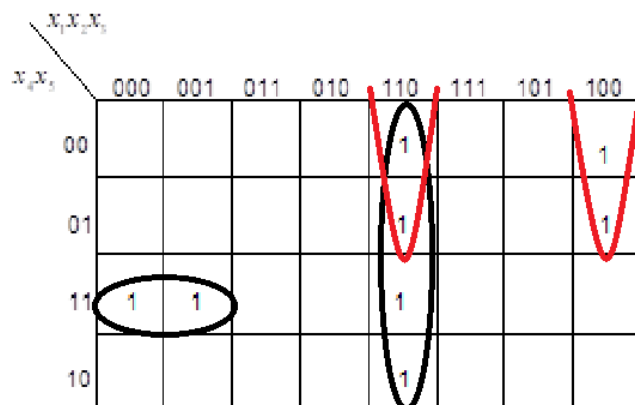


Condiția de manifestare a defectului $G_6 \equiv 0$ este: $x_2 = x_3 = 0$. Condiția de observabilitate a defectului prin activarea căii (10, 12) este: $x_4 = 0$ și $G_8 = G_9 = G_{12} = 0$. Pentru a obține $G_9 = 0$ e necesar a seta x_1 în 1 logic, ceea ce va duce la $G_5 = 0$ și, deoarece $x_2 = 0$, vom obține $G_8 = 1$. Aceasta este în contradicție cu condiția de sensibilizare a porții logice G_8 , și anume $G_8 = 0$. La fel, este imposibil a activa calea (9, 12). Totuși, este evident că atribuind $x_1 = x_4 = 0$ vom putea activa simultan două căi de propagare a defectului $G_6 \equiv 0$, iar testul obținut va fi $T = (0, 0, 0, 0; 1)$.

Exemplu de generare a testelor pentru un CLC arbitrar

Fie dată funcția booleană $f = \sum(3, 7, 16, 17, 24, 25, 26, 27)$.

Pentru început se efectuează minimizarea acestei funcții utilizând diagrama Karnaugh.



Pentru a realiza un circuit arbitrar, expresia logică obținută după minimizare se transcrie în felul următor:

$$F = x_1x_2\bar{x}_3 + x_1\bar{x}_3\bar{x}_4 + \bar{x}_1\bar{x}_2x_4x_5 = x_1\bar{x}_3(\overline{x_2 + \bar{x}_4}) + \bar{x}_2x_4\bar{x}_1x_5 = x_1\bar{x}_3\bar{x}_2x_4 + \bar{x}_2x_4\bar{x}_1x_5$$

Circuitul realizat conform acestei expresii logice, adaptat pentru simularea testelor în sistemul de proiectare digitală Logic Works, este prezentat în figura 2.7.

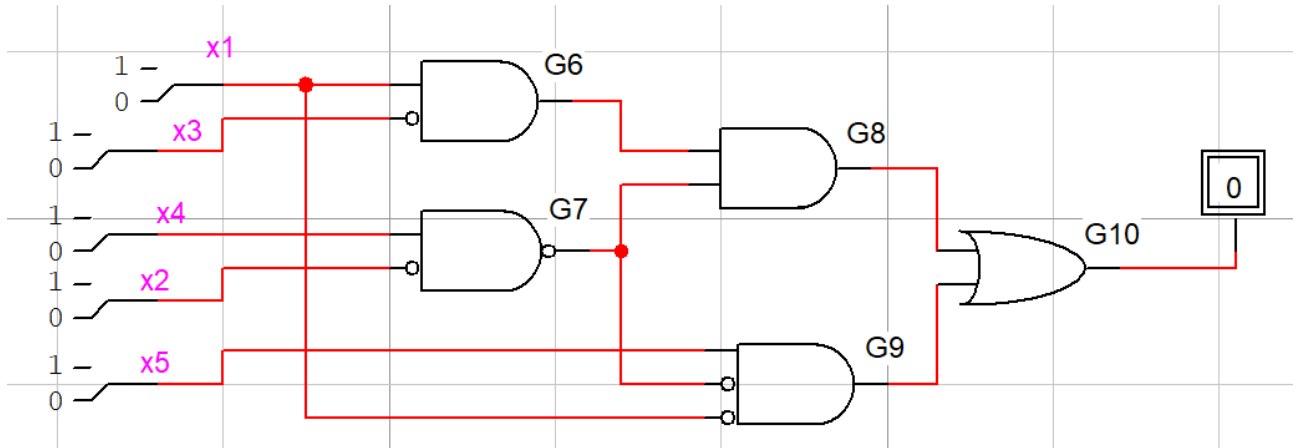


Figura 2.7. CLC arbitrar realizat în Logic Works

Testele elaborate sunt prezentate în tabelul 2.2. La elaborarea testelor au fost folosite următoarele notații:

- * - semnifică faptul că nodul respectiv are o valoare indiferentă (0 sau 1 logic);
- **0/*** și ***/0** - determină trei combinații posibile pe două noduri (01, 10 și 00).

Un test, în general, poate detecta mai mult decât un singur defect, iar mai multe teste pot detecta același defect. Astfel, obiectivul major la generarea testelor este minimizarea lor prin determinarea testelor echivalente.

Două teste sunt echivalente dacă:

- 1) coincid toate valorile definite pentru intrările și ieșirile primare;
- 2) coincid toate valorile nedefinite pentru intrările primare (în acest caz în testul rezultat se va alege una din valorile 0 sau 1 pentru valorile nedefinite);
- 3) valorile definite pentru intrările primare în unul din teste corespund unor valori nedefinite în celălalt test (în acest caz, în testul rezultat se va alege valoarea definită).

Tabelul inițial al testelor

Nr.	Def.	Intrări primare					Conex. Interne				Ieș.pr.	Calea
		x ₁	x ₂	x ₃	x ₄	x ₅	6	7	8	9	10	
1	$x_1 \equiv 0$	1	1/*	0	*/0	*	1	1	1	0	1	6,8,10
2	$x_1 \equiv 0$	1	0	*	1	1	*	0	0	0	0	9,10
3	$x_1 \equiv 1$	0	1/*	0	*/0	*	0	1	0	0	0	6,8,10
4	$x_1 \equiv 1$	0	0	*	1	1	*	0	0	1	1	9,10
5	$x_2 \equiv 0$	1	1	0	1	*	1	1	1	0	1	7,8,10
6	$x_2 \equiv 0$	0	1	*	1	1	0	1	0	0	0	7,9,10
7	$x_2 \equiv 1$	1	0	0	1	*	1	0	0	0	0	7,8,10
8	$x_2 \equiv 1$	0	0	*	1	1	0	0	0	1	1	7,9,10
9	$x_3 \equiv 0$	1	1/*	1	*/0	*	0	1	0	0	0	6,8,10
10	$x_3 \equiv 1$	1	1/*	0	*/0	*	1	1	1	0	1	6,8,10
11	$x_4 \equiv 0$	1	0	0	1	*	1	0	0	0	0	7,8,10
12	$x_4 \equiv 0$	0	0	*	1	1	0	0	0	1	1	7,9,10
13	$x_4 \equiv 1$	1	0	0	0	*	1	1	1	0	1	7,8,10
14	$x_4 \equiv 1$	0	0	*	0	1	0	1	0	0	0	7,9,10
15	$x_5 \equiv 1$	0	0	*	1	0	0	0	0	0	0	9,10
16	$x_5 \equiv 0$	0	0	*	1	1	0	0	0	1	1	9,10

Testele minimizate

Nr.	Nr. testelor inițiale	Teste cu toate valorile definite	Defectele detectate
		$x_1, x_2, x_3, x_4, x_5; 10$	
1	1,5,10	1,1,0,1,0,1	$x_1 \equiv 0, x_2 \equiv 0, x_3 \equiv 1$
2	2,7,11	1,0,0,1,1,0	$x_1 \equiv 0, x_2 \equiv 1, x_4 \equiv 0$
3	3,6	0,1,0,1,1,0	$x_1 \equiv 0, x_4 \equiv 0, x_5 \equiv 0$
4	4,8,12,16	0,0,0, 1,1,1	$x_1 \equiv 1, x_2 \equiv 1, x_4 \equiv 0, x_5 \equiv 0$
5	9	1,1,1,0,0,0	$x_3 \equiv 0$
6	13	1,0,0,0,0,1	$x_4 \equiv 1$
7	14	0,0,0,0,1,0	$x_4 \equiv 1$
8	16	0,0,0,1,0,0	$x_5 \equiv 1$