

Конструирование и технология микросхем

*учебное пособие
для вузов*



Конструирование и технология микросхем

Курсовое проектирование

Под редакцией д-ра техн. наук,
проф. Л. А. Коледова

Допущено Министерством высшего и среднего
специального образования СССР
в качестве учебного пособия
для студентов вузов, обучающихся по специальностям
«Конструирование и производство радиоаппаратуры»
и «Конструирование и производство
электронно-вычислительной аппаратуры»



ББК 32.844
К 65
УДК 621.38

Л. А. Коледов, В. А. Волков, Н. И. Докучаев,
Э. М. Ильина, Н. И. Патрик

Рецензенты:

кафедра «Технология производства радиоэлектронной аппаратуры»
Московского авиационного института (зав. кафедрой —
проф. Б. Ф. Высоцкий); проф. М. Ф. Пономарев (Таганрогский
радиотехнический институт)

К65 **Конструирование и технология микросхем. Курсовое проектирование:** Учеб. пособие для вузов по спец. «Конструирование и производство радиоаппаратуры» и «Конструирование и производство электронно-вычислительной аппаратуры» / Коледов Л. А., Волков В. А., Докучаев Н. И. и др.; Под ред. Л. А. Коледова. — М.: Высш. шк., 1984. 231 с., ил.

В пер.: 70 к.

В книге приведены данные об элементах и компонентах, материалах и технологии производства, конструктивно-технологических ограничениях и правилах разработки топологии интегральных микросхем; рассмотрены методы обеспечения их надежности, влагостойкости, тепловых режимов и др.

К 2403000000—411
001(01)—84 136—84

ББК 32.844
6Ф0.3

В соответствии с Основными направлениями экономического и социального развития СССР на 1981—1985 годы и на период до 1990 года на одиннадцатую пятилетку и последующие годы намечено сохранить высокие темпы развития микроэлектроники, как наиболее прогрессивного направления электронной техники, которое будет принимать на себя решение новых, все более сложных и разнообразных задач. Успехи микроэлектроники оказывают революционизирующее воздействие на многие отрасли народного хозяйства: приборостроение, радиоаппаратостроение, машиностроение, автомобильный и железнодорожный транспорт и др. Расширение областей применения микроэлектроники, ее использование в производственных процессах, в сфере бытового обслуживания потребует новых разработок элементной базы микроэлектронной аппаратуры различного назначения. В этих условиях важнейшей задачей является всемерное повышение качества подготовки специалистов в области микроэлектроники.

Данная книга предназначена для студентов специальностей «Конструирование и производство радиоаппаратуры», «Конструирование и производство электронно-вычислительной аппаратуры». Она будет полезна также студентам смежных специальностей электронной и вычислительной техники, приборостроения и автоматики при изучении курсов по основам микроэлектроники.

Пособие содержит данные, необходимые для самостоятельного выполнения студентами курсового проекта по разработке топологии и конструкции одного из типов интегральных микросхем: полупроводниковых (на биполярных или полевых транзисторах) и гибридных (по тонкопленочной или толстопленочной технологии).

Для каждого типа ИМС в пособии имеются сведения о технологических процессах, технологических ограничениях (возможностях), свойствах и характеристиках используемых материалов, последовательности действия при разработке конструкции ИМС и методах расчетов. Кроме того, оно снабжено методическими указаниями о том, как использовать имеющиеся сведения, чтобы получить окончательный результат и проверить правильность разработки.

Ввиду ограниченности времени, отводимого на курсовое проектирование (40—60 ч самостоятельной внеаудиторной работы), и сложности разработки пособие рассчитано на то, что проектируемыми объектами будут в основном микросхемы второй степени интеграции. Но принципы разработки конструкций ИМС более высоких степеней интеграции остаются теми же. Меняется лишь объем вычислительных операций и появляется необходимость в исполь-

зовании машинных средств для поиска оптимальных вариантов конструкции.

Для экономии времени при выполнении курсового проекта и привития навыков работы с вычислительной техникой в учебном пособии приводятся алгоритмы и программы расчетов некоторых элементов ИМС на ЭВМ, а также сведения о возможностях существующей специализированной системы автоматизированного проектирования ИМС.

Пособие состоит из трех частей. Первая часть посвящена технологии и конструированию полупроводниковых интегральных микросхем на биполярных и униполярных транзисторах. Во второй части рассматриваются вопросы конструирования гибридных пленочных интегральных микросхем с использованием технологии тонких и толстых пленок. Материал по технологии производства полупроводниковых и гибридных ИМС приводится лишь в объеме, требуемом для понимания и обоснования технологических ограничений при конструировании. В третьей части представлен материал, относящийся к оформлению конструкций полупроводниковых и гибридных микросхем, конструктивному обеспечению требований к интегральным микросхемам, оговоренных в технических условиях. Особое внимание уделено расчетам и обеспечению теплового режима, защиты от климатических воздействий. Рассматриваются вопросы оформления технической документации на ИМС, приводятся примеры ее оформления.

В основу пособия положен многолетний опыт проведения курсового проектирования ИМС на кафедре микроэлектроники Московского института электронной техники.

Предисловие и введение написаны Л. А. Коледовым, глава 1—Л. А. Коледовым и Н. И. Патриком, глава 2—Н. И. Докучаевым, главы 3 и 4—Л. А. Коледовым и Э. М. Ильиной, глава 5—Л. А. Коледовым и В. А. Волковым, глава 6—Э. М. Ильиной, Приложение—Л. А. Коледовым, Э. М. Ильиной, Н. И. Патриком.

Авторы выражают искреннюю благодарность профессорам Б. Ф. Высоцкому, А. И. Коробову, М. Ф. Пономареву за ценные замечания и советы, высказанные ими при рецензировании рукописи пособия и способствовавшие улучшению его содержания. Они признательны председателю Научно-методического совета по технологии, конструированию и производству радио- и электронно-вычислительной аппаратуры проф. В. Б. Пестрякову за постоянное внимание к изданию книги. Авторы благодарят также коллектив преподавателей и сотрудников кафедры микроэлектроники МИЭТ за полезные советы и помощь при написании и подготовке данного пособия.

Все замечания и пожелания, которые могут возникнуть при изучении и практическом использовании данного пособия, просим направлять по адресу: 101430, Москва, ГСП-4, Неглинная ул., д. 29/14, издательство «Высшая школа».

Авторы

Интегральная микросхема (ИМС) — это конструктивно законченное изделие электронной техники, выполняющее определенную функцию преобразования информации и содержащее совокупность электрически связанных между собой электрорадиоэлементов (ЭРЭ), изготовленных в едином технологическом цикле.

Термин «интегральная микросхема» отражает: объединение значительного числа транзисторов, диодов, конденсаторов, резисторов и соединяющих проводников в единую конструкцию (конструктивная интеграция); выполнение схемой функций преобразования информации, более сложных по сравнению с функциями отдельных ЭРЭ (схемотехническая интеграция); выполнение в едином технологическом цикле одновременно всех ЭРЭ схемы и межсоединений и одновременное формирование групповым методом большого числа одинаковых ИМС (технологическая интеграция).

По способу изготовления различают *полупроводниковые* и *пленочные* ИМС. В полупроводниковых ИМС все ЭРЭ и часть межсоединений сформированы в приповерхностном слое полупроводниковой (обычно кремниевой) подложки. В пленочных ИМС пассивные ЭРЭ изготовлены в виде совокупности тонких (менее 1 мкм) или толстых (10—50 мкм) пленок, нанесенных на диэлектрическую подложку. *Гибридные* ИМС (ГИС) представляют собой комбинацию пленочных пассивных ЭРЭ с миниатюрными бескорпусными дискретными активными приборами (полупроводниковыми ИМС, транзисторами, диодами), расположенных на общей диэлектрической подложке. ЭРЭ, которые являются неотъемлемой составной частью ИМС и не могут быть выделены из нее как самостоятельное изделие, называют *элементами* ИМС, а дискретные активные ЭРЭ ГИС — *навесными компонентами* (или просто компонентами), подчеркивая тем самым, что их изготавливают отдельно в виде самостоятельных приборов, которые могут быть приобретены изготовителем ГИС как покупные изделия. В отличие от дискретных компонентов элементы ИМС называют *интегральными* (интегральный резистор, интегральный диод).

В *совмещенных* ИМС активные ЭРЭ выполнены в приповерхностном слое полупроводникового кристалла (как у полупроводниковой ИМС), а пассивные нанесены в виде пленок на покрытую диэлектриком поверхность того же кристалла (как у пленочной ИМС).

Перечислим особенности ИМС как нового типа изделий электронной техники:

а) ИМС самостоятельно выполняет законченную, часто довольно сложную функцию. Она может быть усилителем, запоминающим устройством, генератором, детектором и т. д. Ни один из ЭРЭ самостоятельно таких функций выполнять не может, для этого его следует соединить с другими дискретными ЭРЭ по отдельной схеме;

б) выпуск и применение ИМС сопровождаются существенным уменьшением массы, габаритов и стоимости радиоэлектронной аппаратуры, снижением потребляемой мощности и повышением надежности;

в) элементы ИМС располагаются в пределах одной подложки на сравнительно небольших расстояниях друг от друга и формируются одновременно; это обуславливает малый технологический разброс их параметров. Особенно высока точность выполнения соотношения параметров нескольких элементов (например, отношения сопротивлений). Эта точность сохраняется при изменении температуры окружающей среды, так как все элементы ИМС работают практически при одной температуре и термические коэффициенты параметров элементов одной и той же ИМС приблизительно одинаковы. Эту особенность ИМС часто используют при создании устройств, мало чувствительных к влиянию технологического разброса параметров элементов и к изменению температуры;

г) при разработке полупроводниковых ИМС стремятся выбрать схемные решения с минимальным числом пассивных элементов. Резисторы и конденсаторы занимают значительную площадь ИМС, технологические возможности создания этих элементов с достаточной точностью в широком диапазоне номиналов ограничены.

Обозначения ИМС. Каждый конструктивно-технологический вариант (группа) интегральных микросхем согласно ОСТ 11.073.915—80 имеет следующие обозначения: 1, 5, 6, 7 — полупроводниковые, 2, 4, 8 — гибридные, 3 — пленочные и некоторые другие ИМС (например, вакуумные, керамические). По функциональному назначению ИМС подразделяют на подгруппы (Г — генераторы, Д — детекторы, К — коммутаторы и ключи, Л — логические элементы, М — модуляторы, Н — наборы элементов, П — преобразователи сигналов, Е — схемы источников вторичного питания, Б — схемы задержки, С — схемы сравнения, Т — триггеры, У — усилители, Ф — фильтры, А — формирователи импульсов, Р — схемы запоминающих устройств, И — схемы цифровых устройств, В — схемы вычислительных средств, Ц — фоточувствительные схемы с зарядовой связью, Х — многофункциональные схемы). В пределах каждой подгруппы ИМС подразделяют на виды, каждому виду присвоена определенная буква; таким образом, сочетание двух букв в обозначении ИМС характеризует ее вид и подгруппу (например, ГС — генераторы гармонических сигналов, ЛИ — логические элементы, И, ИР — наборы резисторов, УВ — усилители высокой частоты, ВМ — микропроцессоры, ВЕ — микро-ЭВМ, ВУ — схемы микропрограммного управления, ВГ — микрокалькуляторы и др.).

Обозначение интегральной микросхемы состоит из следующих элементов: первый элемент — цифра, означающая группу, второй элемент — три цифры (от 000 до 999) или две цифры (от 00 до 99), означающие порядковый номер разработки серии ИМС, третий элемент — две буквы, означающие подгруппу и вид ИМС, четвертый элемент — условный номер разработки ИМС по функциональному признаку в данной серии. Интегральные микросхемы выпускаются в составе серии, т. е. в совокупности нескольких видов ИМС, имеющих единое конструктивно-технологическое исполнение и предназначенных для совместного применения в аппаратуре. Два первых элемента обозначения ИМС относятся к обозначению серии (т. е. оно содержит от трех до четырех цифр). Например, ИМС синхронизации микропроцессорного комплекта серии 1800 с порядковым номером 2 ее разработки в данной серии (по функциональному признаку) имеет обозначение 1800ВВ2, ИМС логического элемента И — НЕ, открывающего перечень схем широко распространенной серии 133, — обозначение 133ЛА1.

При необходимости разработчик ИМС имеет право в конце условного обозначения дополнительно указывать буквы (от А до Я, кроме букв Э, М, О, Т, Ш,

П, Ч, Ы, Ъ), характеризующие отличие ИМС одного вида по электрическим характеристикам. При маркировке эта буква может быть заменена цветной точкой.

Для ИМС, используемых в устройствах широкого применения, в начале обозначения добавляют букву К: К1800ВВ1, К133ЛА1.

Для бескорпусных ИМС в состав обозначения вводят дополнительно два элемента: букву Б в начале обозначения и цифру (от 1 до 6) — в конце. Цифра характеризует конструктивное исполнение бескорпусных ИМС: 1 — с гибкими выводами; 2 — с ленточными (паучковыми) выводами и выводами, выполненными на диэлектрической (в том числе полиимидной) пленке; 3 — с жесткими (шариковыми или столбиковыми) выводами; 4 — на общей подложке или пластине, не разделенные друг от друга; 5 — то же, что и 4, но разделенные без потери ориентации (например, наклеенные на пленку); 6 — кристаллы с контактными площадками без выводов. Например, Б106ЛБ1А-1 — полупроводниковая ИМС серии Б106-1 (логический элемент И — НЕ/ИЛИ — НЕ) в бескорпусном исполнении с гибкими выводами.

При переводе серии микросхем для исполнения в более дешевом пластмассовом корпусе в начале обозначения ставят букву Р. Например, при переводе микросхем серии 140 в металлостеклянном корпусе на пластмассовый корпус 201.14-1 серию стали обозначать Р140. ИМС операционного усилителя, входящего в эту серию, имеет обозначение Р140УД1А.

Для обозначения ИМС повышенного качества перед цифровым обозначением серии указывают буквы ОС (а при их малом выпуске — буквы ОСМ).

Для микросхем, поставляемых на экспорт (шаг выводов 1,27 или 2,54 мм), в начале обозначения добавляют букву Э. Например, полупроводниковая логическая ИМС серии К1500 (логический элемент И — НЕ) в экспортном исполнении имеет обозначение ЭК1500ЛА1.

Цель, задачи и методика выполнения курсового проекта. Задачей выполнения курсового проекта (КП) является разработка конструкции ИМС и технологического маршрута ее производства в соответствии с заданной в техническом задании (ТЗ) принципиальной электрической схемой. Конструктивно-технологический вариант изготовления ИМС выбирается студентом в результате анализа задания на КП или задается руководителем проекта.

Целью работы над курсовым проектом является приобретение практических навыков решения инженерной задачи создания конкретного микроэлектронного изделия, а также закрепление, углубление и обобщение теоретических знаний, приобретенных на предыдущих этапах обучения в вузе.

Основные этапы выполнения курсового проекта:

этап I — анализ технического задания с целью выявления сути, оценки объема и плана предстоящей работы;

этап II — выбор технологии изготовления ИМС исходя из анализа технического задания (функции, выполняемой ИМС, масштабов производства, условий эксплуатации). Особое внимание при этом необходимо обратить на технологические ограничения, что облегчит последующую работу по конструированию элементов ИМС, выбору компонентов и разработке конструкции ИМС в целом;

этап III — расчет элементов и выбор компонентов ИМС согласно принципиальной электрической схеме с учетом технологических ограничений;

этап IV — разработка топологии и выбор корпуса ИМС. Разработку эскиза топологии ИМС и последующих вариантов топологии проводят согласно правилам проектирования, изложенным в

гл. 1—4 для различных конструктивно-технологических типов ИМС. Выбор корпуса ИМС производят из числа унифицированных конструкций (см. гл. 5) по следующим исходным данным: размеру кристалла полупроводниковой ИМС или платы ГИС и числу внешних выводов ИМС (числу контактных площадок внешних выводов на топологии ИМС); герметичности корпуса и условиям эксплуатации (последние данные указываются в ТЗ). Площадь и размеры монтажной площадки должны соответствовать размерам кристалла или платы либо несколько превосходить их, число выводов корпуса и их рядность также должны соответствовать топологии ИМС;

этап V — проверка качества разработки топологии и конструкции ИМС. Методика проверки правильности разработки топологии ИМС различных типов приведена в гл. 1—4. Дополнительно для оценки качества разработки проводят расчеты паразитных связей и параметров, тепловой расчет, расчет влагозащиты (см. гл. 5);

этап VI — корректировка или переработка топологии либо конструкции ИМС. Поправки в топологию и конструкцию вводят, если проверка качества и проверочные расчеты дают на это основания;

этап VII — оформление расчетно-пояснительной записки. Она должна содержать обоснование выбранного конструкторского и технологического решения в виде сравнительной оценки этого решения с другими возможными вариантами, показ преимуществ принятого инженерного решения с точки зрения эффективности производства, качества и стоимости. Пояснительная записка должна выполняться на листах писчей или линованной бумаги формата 11, необходимые иллюстрации и чертежи должны быть выполнены на миллиметровой бумаге формата 11 или большего формата.

Объем пояснительной записки без учета чертежей и графиков должен составлять примерно 30—40 страниц рукописного текста. Она должна содержать: титульный лист, оглавление, техническое задание, подписанное руководителем, описание принципа действия проектируемой ИМС, выбор и обоснование конструктивно-технологического варианта производства ИМС, описание технологии со структурной схемой процесса, расчет конструктивных и электрических параметров элементов ИМС, эскиз топологии ИМС на миллиметровой бумаге, проверочные расчеты и скорректированный при необходимости вариант топологии, исследовательскую часть (выдается по усмотрению руководителя проекта), выводы, список использованной литературы и ГОСТов, приложения (маршрутную или операционные карты технологического процесса);

этап VIII — оформление конструкторской документации на ИМС. Ее объем составляет 2—3 листа формата 24. Чертежи следует выполнять в соответствии в ЕСКД карандашом или тушью. Они должны содержать как минимум следующую информацию: электрическую схему ИМС, топологический чертеж ИМС, сборочный чертеж ИМС, структурную схему технологического процесса. Другая информация выносится на чертежи по указанию руководителя проекта. На чертежах и пояснительной записке должна стоять лич-

ная подпись студента, удостоверяющая самостоятельность выполнения проекта и ответственность за принятые решения;

этап IX — подготовка в защите курсового проекта. На этом этапе проводится работа по составлению короткого (8—10 мин) доклада о наиболее существенных результатах курсового проектирования, подготовке к обоснованию и защите принятых инженерных решений, подготовке ответов на возможные вопросы членов комиссии по приемке КП.

Организация и руководство курсовым проектом. Курсовой проект по курсу «Конструирование и технология микросхем» выполняются с использованием одного из четырех наиболее распространенных вариантов конструктивно-технологического исполнения интегральных микросхем: полупроводникового на биполярных транзисторах, полупроводникового на МДП-транзисторах, гибридного тонкопленочного и гибридного толстопленочного. В связи с этим техническое задание на проект должно содержать необходимое и достаточное количество сведений, опираясь на которые студент должен самостоятельно обосновать и выбрать способ изготовления ИМС. Однако, учитывая ранее (за 2—3 года) распределение студентов на места работы, заказную систему подготовки специалистов для того или иного предприятия или объединения, кафедры и руководители проектов могут уже в ТЗ определять технологию производства ИМС с учетом специфики будущей работы молодого специалиста. Типовое ТЗ на разработку конструкции ИМС должно содержать: электрическую схему ИМС с указанием номиналов и характеристик элементов и компонентов, кратким описанием реализуемой функции и необходимыми характеристиками входных и выходных сигналов, а также назначение, серийность производства, условия эксплуатации ИМС и рекомендуемую литературу.

Разнообразие функционального назначения ИМС, вариантов их конструктивно-технологического исполнения позволяет выдать каждому студенту индивидуальное задание на проект.

Задание на проект должно быть подписано руководителем, датировано и зарегистрировано в журнале учета КП кафедры.

Руководство курсовым проектированием начинается с выдачи ТЗ на проект. Индивидуальная беседа руководителя со студентом по заданию является необходимым условием успеха дальнейшей работы, так как позволяет выявить степень подготовленности студента, отметить отдельные, наиболее ответственные этапы КП, уточнить график его выполнения.

Большое организующее значение на первых этапах курсового проектирования имеет вводная лекция по КП, прочитанная лектором курса, в которой разъясняются роль этого вида учебной работы для подготовки специалиста, уровень требований к занятиям, сущность выданных заданий и пути их реализации.

В процессе выполнения КП кафедра и руководитель проекта проводят групповые и индивидуальные консультации. Как правило, групповые консультации проводятся по расписанию и не должны переходить в лекции. На этих консультациях необходимо давать

конкретные указания по устранению встретившихся затруднений, проводить разбор решений типовых задач, встречающихся при выполнении КП, анализировать типовые ошибки, выполнять наиболее трудные расчеты. Индивидуальные консультации должны проводиться регулярно 1—2 раза в неделю. Главная их цель — контроль за ходом и правильностью выполнения КП, выявление допущенных ошибок, помощь студенту в нахождении правильного пути решения вопроса.

Как групповые, так и индивидуальные консультации не должны превращаться в репетиторство, в натаскивание студента. Они должны помогать развитию самостоятельности в инженерной деятельности, навыков планомерной, продуманной, ответственной работы. В процессе консультирования руководитель не должен давать студенту готовых решений, а лишь развивать его творческие способности, умение анализировать варианты технических решений, осознавать допущенные ошибки и находить пути к их исправлению. Эту работу следует проводить, опираясь на конкретные материалы, расчеты, эскизы, варианты технических решений, предъявляемые студентом консультанту. Иными словами, руководитель должен строить свою индивидуальную работу со студентом, исходя из его самостоятельных проработок после того, как появилась уверенность, что студент достаточно хорошо ознакомился с материалом, понял его сущность.

После завершения работы руководитель тщательно проверяет проект и, если он удовлетворяет всем требованиям к КП, допускает проект к защите, делая соответствующие надписи на чертежах и в записке с проставлением предварительной оценки.

Защита курсового проекта. Защита является особой формой проверки выполнения курсового проекта. Эта процедура должна приучить будущего инженера к публичной защите принятых им технических решений.

Защита включает короткий доклад (8—10 мин) студента по теме проекта перед назначаемой кафедрой комиссией преподавателей из двух-трех человек и ответы на вопросы, задаваемые членами комиссии. Студент при защите должен дать объяснения по существу проекта, проявить достаточный уровень теоретической подготовки и умение применить ее при решении конкретной задачи.

Результаты защиты оцениваются отметкой по четырехбалльной системе. Студент, не выполнивший и не представивший КП в установленный срок или не защитивший его по неуважительной причине, считается имеющим академическую задолженность.

Курсовые проекты, содержащие оригинальные обоснованные решения, новые теоретические, технологические и конструкторские проработки и предложения по практической их реализации, выдвигаются на конкурс курсовых проектов, городские и республиканские смотры студенческих работ, а проекты, имеющие наибольшую научную и практическую ценность, — на всесоюзный конкурс научных работ «Студент и научно-технический прогресс».

Глава 1

КОНСТРУИРОВАНИЕ И ТЕХНОЛОГИЯ ПОЛУПРОВОДНИКОВЫХ ИМС НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

§ 1.1. Элементы полупроводниковых ИМС на биполярных транзисторах

Транзисторы типа $n-p-n$. Биполярный транзистор типа $n-p-n$ является основным схемным элементом полупроводниковых ИМС. Он обладает лучшими характеристиками, чем транзистор типа $p-n-p$, а технология его изготовления более проста. Остальные элементы ИМС выбирают и конструируют таким образом, чтобы они совмещались со структурой транзистора типа $n-p-n$. Их изготавливают одновременно с транзистором типа $n-p-n$ на основе какой-либо из его областей. Таким образом, выбор физической структуры транзистора типа $n-p-n$ определяет основные электрические параметры остальных элементов микросхемы.

Наиболее широкое распространение получила транзисторная структура типа n^+-p-n со скрытым подколлекторным n^+ -слоем (рис. 1.1). Следует обратить внимание на то, что вывод коллектора интегрального транзистора расположен на поверхности прибора. Это увеличивает сопротивление тела коллектора и ухудшает характеристики транзистора в усилительном режиме (ухудшается частотная характеристика) и в переключающем режиме (уменьшается эффективность переключения в режиме насыщения). Увеличение степени легирования всего объема коллекторной области и уменьшение ее удельного сопротивления снижают пробивное напряжение перехода коллектор — база и увеличивают емкость этого перехода, т. е. также ухудшают характеристики транзистора. Компромиссным решением проблемы является создание скрытого высоколегированного n^+ -слоя на границе коллектора и подложки. Этот слой обеспечивает низкоомный

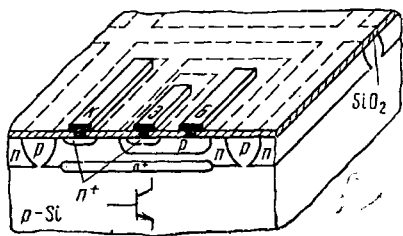


Рис. 1.1. Конструкция интегрального транзистора типа n^+-p-n

путь току от активной коллекторной зоны к коллекторному контакту без снижения пробивного напряжения перехода коллектор — база. Конструктивно он располагается непосредственно под всей базовой областью и простирается вплоть до дальней от базы стороны коллекторного контакта. Толщина слоя составляет 2,5—10 мкм, удельное поверхностное сопротивление $\rho_s = 10 \div 30 \text{ Ом}/\square$.

Рабочая зона транзистора начинается непосредственно под эмиттерной зоной, и для обеспечения требуемого коллекторного тока при минимальном последовательном падении напряжения коллекторный контакт располагают как можно ближе к эмиттерному. Минимальные горизонтальные размеры прибора определяются двумя

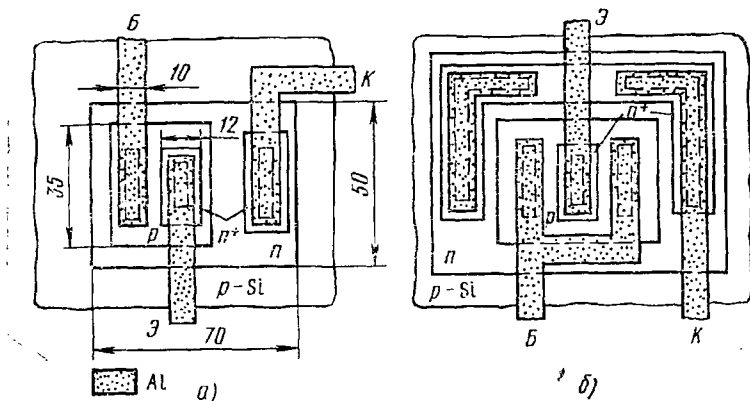


Рис. 1.2. Конструкция биполярных интегральных транзисторов:

а — асимметричная; *б* — симметричная

основными технологическими факторами: минимально достижимыми при фотолитографии размерами окон в окисле кремния и зазоров между окнами, а также размером боковой диффузии под окисел. Поэтому при проектировании транзистора следует учитывать, что расстояние между базовой областью и коллекторным контактом должно быть значительно больше суммы размеров боковой диффузии p -базы и n^+ -области под коллекторным контактом. Назначение этой n^+ -области состоит в обеспечении надежного формирования невыпрямляющего контакта алюминия к слаболегированной n -области коллектора, поскольку алюминий является акцепторной примесью в кремнии с растворимостью порядка 10^{18} атомов/см³ при температуре формирования контакта. Уровень же легирования эпитаксиального n -слоя, составляющего тело коллектора, равен 10^{15} — 10^{16} атомов/см³. Как отмечалось, он диктуется необходимостью увеличения напряжения пробоя перехода коллектор — база.

Расстояния между изолирующей p -областью и элементами транзистора определяются также размером боковой диффузии. Они должны быть примерно равны толщине эпитаксиального слоя.

Две типичные конструкции интегральных транзисторов показаны на рис. 1.2. Для асимметричной конструкции (рис. 1.1, 1.2, *а*).

характерно то, что коллекторный ток протекает к эмиттеру только в одном направлении. При симметричной конструкции (рис. 1.2, б) коллекторный ток подходит к эмиттеру с трех сторон и сопротивление коллектора оказывается примерно втрое меньше, чем при асимметричной конструкции. Для симметричной конструкции транзистора облегчается разработка топологии металлической разводки, так как в ней часть коллекторной области можно разместить под окислом, а поверх окисла над коллектором провести алюминиевую полосу к эмиттерной (рис. 1.2, б) или базовой области. На рис. 1.2, а даны топологические размеры областей интегрального bipolarного транзистора, типичные для ИМС средней степени интеграции. Параметры этих областей приведены в табл. 1.1.

Таблица 1.1

Параметры областей интегрального транзистора типа *n-p-n*

Наименование области	Концентрация примеси N , см ⁻³	Толщина слоя d , мкм	Удельное объемное сопротивление материала ρ , Ом·см	Удельное поверхностное сопротивление слоя ρ_s , Ом/□
Подложка <i>p</i> -типа	$1,5 \cdot 10^{15}$	200—400	10	—
Скрытый n^+ -слой	—	2,5—10	—	10—30
Коллекторная <i>n</i> -область	10^{16}	2,5—10	0,15—5,0	—
Базовая <i>p</i> -область	$5 \cdot 10^{18}$	1,5—2,5	—	100—300
Эмиттерная n^+ -область	10^{21}	0,5—2,0	—	2—15
Изолирующая область	—	3,5—12	—	6—10
Пленка окисла кремния	—	0,3—0,6	—	—
Металлическая пленка (алюминий)	—	0,6—1,0	$1,7 \cdot 10^{-6}$	0,06—0,1

Примечание: N — объемная концентрация примеси для подложки и коллекторной области и поверхностная концентрация примеси для эмиттерной и базовой областей.

При больших токах существенную роль играет эффект вытеснения тока эмиттера, который объясняется достаточно просто. Напряжение в любой точке эмиттерного перехода представляет собой разность внешнего напряжения и падения напряжения в объеме базы, т. е. напряжение в центральной части эмиттера меньше напряжения у его краев, и внешние области эмиттера работают при больших плотностях тока по сравнению с внутренними. Повышенная плотность тока у краев эмиттера приводит к повышенным рекомбинационным потерям носителей заряда в этих областях и к уменьшению коэффициента усиления транзистора *B*. Конструкция мощных транзисторов должна обеспечивать максимальное отношение периметра эмиттера к его площади. Например, целесообразно использовать узкие эмиттеры с большим периметром (рис. 1.3). Параметры интегральных транзисторов типа *n-p-n* приведены в табл. 1.2.

Рассмотрим разновидности интегральных биполярных транзисторов.

Транзисторы с тонкой базой. Транзисторы с тонкой базой обладают повышенными значениями коэффициента усиления B и необходимы для создания ряда аналоговых ИМС (входные каскады операционных усилителей). У этих транзисторов ширина ба-

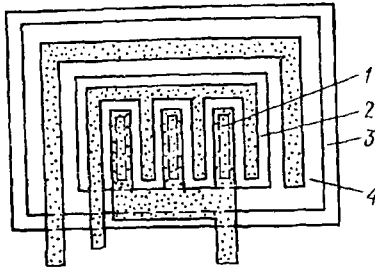


Рис. 1.3. Конструкция мощного транзистора (вид сверху):

1 — эмиттерная область; 2 — область базы; 3 — область изоляции; 4 — коллекторная область

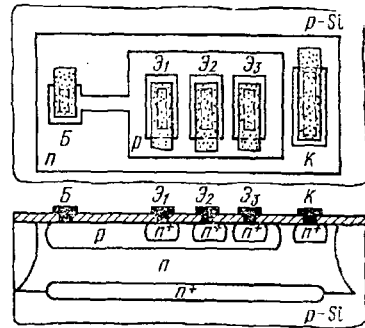


Рис. 1.4. Конструкция многоэмиттерного транзистора

Таблица 1.2

Параметры интегральных транзисторов типа $n-p-n$

Параметры	Номинал	Допуск δ , %	Температурный коэффициент, $1/^\circ\text{C}$
Коэффициент усиления B	100—200	± 30	$5 \cdot 10^{-3}$
Предельная частота f_T , МГц	200—500	± 20	
Пробивное напряжение $U_{кб}$, В	40—50	± 30	
Пробивное напряжение $U_{об}$, В	7—8	± 5	$(2-6) \cdot 10^{-3}$

зы (расстояние между эмиттерными и коллекторными переходами) $\omega = 0,2 \div 0,3$ мкм, коэффициент усиления $B = 2000 \div 5000$ при коллекторном токе $I_k = 20$ мкА и уровне напряжения $U_{кэ} = 0,5$ В. Пробивное напряжение коллектор — эмиттер около 1,5—2 В.

Многоэмиттерные транзисторы (МЭТ). Конструкция МЭТ, широко используемых в цифровых ИМС транзисторно-транзисторной логики, приведена на рис. 1.4. Число эмиттеров может быть равным 5—8. МЭТ можно рассматривать как совокупность транзисторов с общими базами и коллекторами. При их конструировании необходимо учитывать следующие обстоятельства.

Для подавления действия паразитных горизонтальных n^+p-n^+ -транзисторов расстояние между краями соседних эмиттеров должно превышать диффузионную длину носителей заряда в базовом

слое. Если структура легирована золотом, то диффузионная длина не превышает 2—3 мкм и указанное расстояние достаточно сделать равным 10—15 мкм.

Для уменьшения паразитных токов через эмиттеры при инверсном включении МЭТ искусственно увеличивают сопротивление пассивной области базы, удаляя базовый контакт от активной области транзистора, чтобы сопротивление перешейка, соединяющего базовый контакт с базовой областью, составило 200—300 Ом.

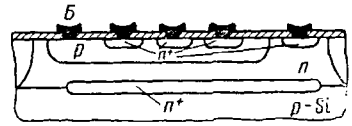


Рис. 1.5. Конструкция многоколлекторного транзистора

Многоколлекторные транзисторы (МКТ). МКТ — это практически МЭТ, используемый в инверсном режиме: общим эмиттером является эпитаксиальный слой, а коллекторами — n^+ -области малых размеров (рис. 1.5). Такая структура является основой ИМС интегральной инжекционной логики (И²Л). Главной проблемой при конструировании МКТ является обеспечение достаточно высокого коэффициента усиления в расчете на один коллектор, для чего скрытый n^+ -слой необходимо располагать как можно ближе к базовому слою, а n^+ -коллекторы — как можно ближе друг к другу.

Транзисторы типа $p-n-p$. Интегральные транзисторы типа $p-n-p$ существенно уступают транзисторам типа $n-p-n$ по коэффициенту усиления и предельной частоте. Для их изготовления используют стандартную технологию, оптимизированную для формирования транзистора типа n^+-p-n . Естественно, что получение транзисторов типа $p-n-p$ с близкими к теоретическим пределами параметрами в этом случае невозможно.

Горизонтальные транзисторы типа $p-n-p$. В настоящее время эти транзисторы используют в ИМС наиболее часто (рис. 1.6). Их изготавливают одновременно с транзисторами типа n^+-p-n по обычной технологии. Эмиттерный и коллекторный слой получают на этапе базовой диффузии, причем коллекторный слой охватывает эмиттер со всех сторон. Базовая область формируется на основе эпитаксиального слоя с подлегированием контактной области во время эмиттерной диффузии. Перенос носителей заряда в транзисторе типа $p-n-p$ происходит в горизонтальном направлении. Дырки, инжектированные из боковых частей эмиттера в базу, диффундируют к коллекторной области. Перенос наиболее эффективен в приповерхностной области, так как здесь расстояние w между коллектором и эмиттером минимально и, кроме того, наиболее высокая концентрация примеси в p -слоях. Ширину базы w удается заполнить равной 3—4 мкм (мешает боковая диффузия под маску), в результате чего коэффициент усиления оказывается равным 50, а $f_T = 20 \div 40$ МГц. Без особого труда получают $w = 6 \div 12$ мкм, но при этом $B = 1,5 \div 2,0$, а $f_T = 2 \div 5$ МГц. Для подавления действия паразитных $p-n-p$ -транзисторов (p — эмиттер, n — эпитаксиальный слой, p — подложка) стремятся уменьшить площадь донной части эмит-

тера (его делают возможно более узким), используют скрытый n^+ -слой вдоль границы эпитаксиального слоя и подложки. На основе горизонтального транзистора легко сформировать многоколлекторный транзистор типа $p-n-p$ (рис. 1.7).

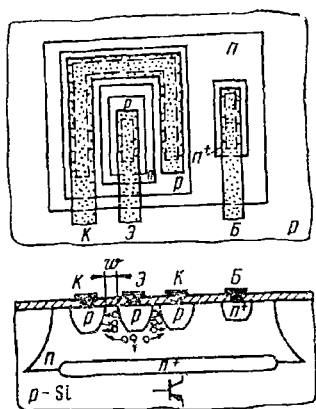


Рис. 1.6. Конструкция горизонтального транзистора типа $p-n-p$

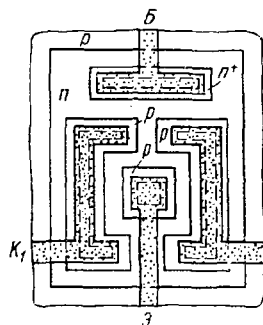


Рис. 1.7. Конструкция многоколлекторного горизонтального транзистора типа $p-n-p$

Основные недостатки горизонтального транзистора типа $p-n-p$ — сравнительно большая ширина базы и однородность распределения примесей в ней (транзистор является бездрейфовым). Их можно устранить двумя способами. Для этого используют дрейфовую структуру, показанную на рис. 1.8. Два электрода в противоположных концах базы создают в базовом слое электрическое поле, которое уменьшает время переноса инжектированных дырок и создает в эмиттере смещение, снижающее инжекцию из его донной части.

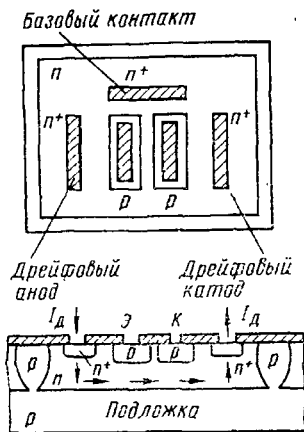


Рис. 1.8. Конструкция дрейфового бокового транзистора типа $p-n-p$

Вертикальные транзисторы типа $p-n-p$. Можно использовать также вертикальную $p-n-p$ -структуру, показанную на рис. 1.9. Для ее формирования необходимо изменить технологию: проводить более глубокую диффузию для формирования p -слоя и вводить дополнительную операцию диффузии для создания p^{++} -слоя, причем для получения p^{++} -слоя требуется акцепторная примесь, у которой предельная растворимость больше,

чем у донорной примеси в n^+ -слое. Фактически перед проведением диффузии акцепторов приходится стравливать наиболее легированную часть n^+ -слоя, т. е. вводить еще одну дополнительную операцию.

Составные транзисторы. Составные интегральные транзисторы могут быть реализованы на основе двух транзисторов одного или разных типов, расположенных в одной изолированной области. На

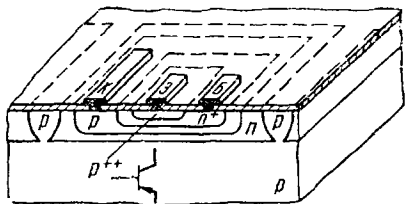


Рис. 1.9. Конструкция вертикального транзистора типа $p-n-p$, изготовленного методом тройной диффузии на основе планарно-эпитаксиальной структуры

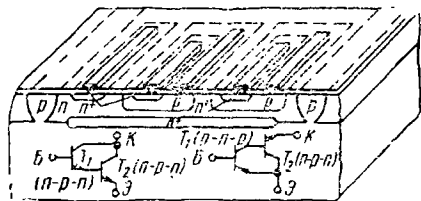


Рис. 1.10. Конструкция составного транзистора

рис. 1.10 представлена транзисторная структура, в которой в зависимости от схемы соединений могут быть реализованы составные транзисторы, состоящие из двух транзисторов типа $n-p-n$ с общим коллектором или из вертикального транзистора типа $n-p-n$ и горизонтального транзистора типа $p-n-p$. В принципе возможна реализация составных транзисторов в разных изолированных областях.

Составной транзистор имеет коэффициент усиления, равный произведению коэффициентов усиления составляющих его транзисторов: $B \approx B_1 B_2$, однако быстродействие составного транзистора определяется наименее быстродействующим транзистором.

Интегральные диоды. Любой из $p-n$ -переходов планарно-эпитаксиальной структуры может быть использован для формирования диодов, но только переходы база — эмиттер и база — коллектор действительно удобны для схемных применений. Пять возможных

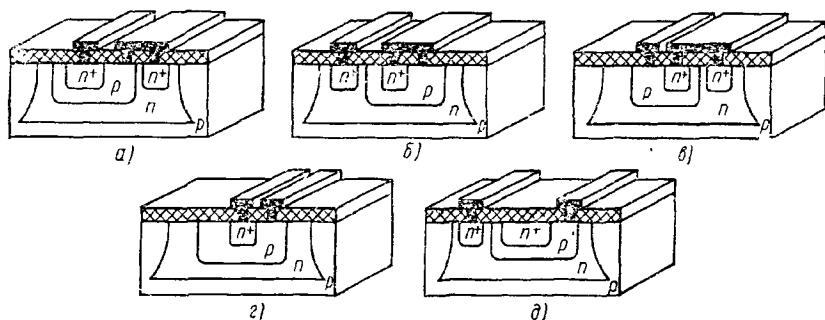


Рис. 1.11. Конструкции интегральных диодов

вариантов диодного включения интегрального транзистора показаны на рис. 1.11: a — переход база — эмиттер с коллектором, закороченным на базу; b — переход коллектор — база с эмиттером, за-

короченным на базу; v — параллельное включение обоих переходов; z — переход база — эмиттер с разомкнутой цепью коллектора; d — переход база — коллектор с разомкнутой цепью эмиттера. Параметры интегральных диодов приведены в табл. 1.3.

Таблица 1.3

Параметры интегральных диодов

Вариант включения	Значения параметров				
	пробивное напряжение $U_{пр}$, В	обратный ток $I_{обр}$, нА	емкость диода C_d , пФ	паразитная емкость на подложку C_0 , пФ	время восстановления обратного тока t_v , нс
БК—Э	7—8	0,5—1,0	0,5	3	10
БЭ—К	40—50	15—30	0,7	3	50
Б—ЭК	7—8	20—40	1,2	3	100
Б—Э	7—8	0,5—1,0	0,5	1,2	50
Б—К	40—50	15—30	0,7	3	75

Примечание: для обозначения вариантов диодного включения транзистора приняты следующие сокращения: слева от тире указывают обозначение анода, справа — катода; если две области транзистора соединены, их обозначения пишут слитно.

Из анализа таблицы видно, что варианты включения различаются по электрическим параметрам. Пробивные напряжения $U_{пр}$ больше для вариантов с коллекторным переходом, обратные токи $I_{обр}$ — для вариантов только с эмиттерным переходом, имеющим наименьшую площадь. Емкость диода между катодом и анодом C_d для варианта с наибольшей площадью переходов максимальна (Б—ЭК). Паразитная емкость на подложку C_0 (считается, что подложка заземлена) минимальна для варианта Б—Э. Время восстановления обратного тока t_v , характеризующее время переключения диода из открытого состояния в закрытое, минимально для варианта БК—Э, так как здесь заряд накапливается только в базе.

Оптимальными для ИМС вариантами включения являются БК—Э и Б—Э, причем чаще используется БК—Э. Пробивные напряжения (7—8 В) достаточны для использования этих вариантов в низковольтных ИМС.

Интегральные резисторы. Резисторы ИМС формируют в любом из диффузионных слоев транзисторной структуры (эмиттерная и базовая области), в эпитаксиальном слое (коллекторная область) и с помощью ионного легирования.

Рассмотрим разновидности интегральных резисторов.

Диффузионные резисторы. Диффузионные резисторы (ДР) изготавливают одновременно с базовой или эмиттерной областью (рис. 1.12, 1.13, 1.14). Сопротивление ДР представляет собой объемное сопротивление участка диффузионного слоя, ограниченного p - n -переходом. Оно определяется геометрическими размерами резистивной области и распределением примеси по глубине диффу-

зионного слоя, которое, в свою очередь, характеризуется удельным поверхностным сопротивлением ρ_s . Значение ρ_s является конструктивным параметром резистора, зависящим от технологических факторов (режима диффузии). При создании ИМС параметры диффузионных слоев оптимизируют с целью получения наилучших характеристик транзисторов типа $n-p-n$, поэтому параметры ДР улучша-

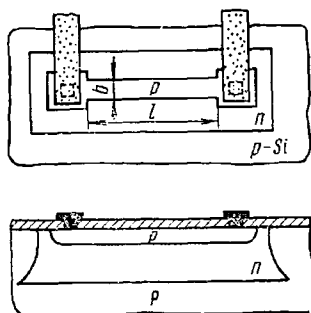


Рис. 1.12. Конструкция диффузионного резистора на основе базовой области

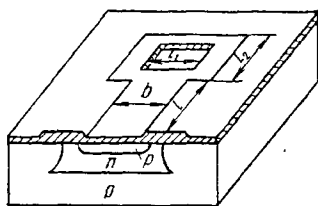


Рис. 1.13. Поперечный разрез структуры диффузионного резистора на основе базовой области

ют не варьированием технологических режимов, а выбором конфигурации и геометрических размеров резистора. Конфигурации диффузионных резисторов даны на рис. 1.15. Низкоомные (десятки ом) резисторы (рис. 1.15, а) имеют малое отношение l/b . Форму и размеры контактов к ним выбирают такими, чтобы сопротивление приконтактных областей было значительно меньше сопротивления основной области резистора. Резисторы с сопротивлением от сотен ом до единиц килоом в плане имеют вид, изображенный на рис. 1.15, б, в. Здесь длина и ширина приконтактной области равны ширине резистора. Топологию, показанную на рис. 1.15, г, д, используют для создания высокоомных резисторов (до 20 кОм). Эти резисторы имеют сравнительно малую ширину, размеры приконтактных областей определяются возможностями технологии создания надежного контакта проводящих алюминиевых полосок с полупроводниковым материалом. Еще более высокоомные резисторы (до 60 кОм) имеют форму меандра (рис. 1.15, е) или изготавливаются в донной части базовой области (пинч-резисторы, рис. 1.15, ж). Длина однополоскового диффузионного резистора не может превышать размеров активной области кристалла (1—5 мм), ширина ограничена минимальной шириной окна под диффузию, определяемой возможностями фотолитографии (2,5—3 мкм), и боковой диффузией (уход примеси под окисел равен примерно глубине диффузионного $p-n$ -перехода). Типичные значения сопротивления диффузионных резисторов, которые можно получить при данном значении ρ_s , лежат в диапазоне $4\rho_s < R < 10^4\rho_s$. Нижний предел ограничивается

сопротивлениями приконтактных областей, верхний — допустимой площадью, отводимой под резистор.

Максимальное сопротивление ДР на основе базовой области приблизительно равно 60 кОм, если площадь, отведенная под резистор, не очень велика (не более 15% от площади кристалла). Воспроизводимость номинальных значений сопротивления обычно составляет 15—20% и зависит от ширины резистора (табл. 1.4). Отклонения от номиналов сопротивлений резисторов, расположенных на одном кристалле, за счет неточностей технологии имеют один и тот же знак, поэтому отношение сопротивлений сохраняется с высокой точностью (табл. 1.4). Аналогично, температурный коэффициент отношения сопротивлений мал по сравнению с ТКР для отдельного резистора $[(1,5-3) \cdot 10^{-4} 1/^\circ\text{C}]$. Эту особенность диффузионных резисторов учитывают при разработке полупроводниковых ИМС.

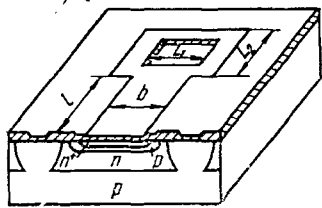


Рис. 1.14. Конструкция диффузионного резистора на основе эмиттерной области

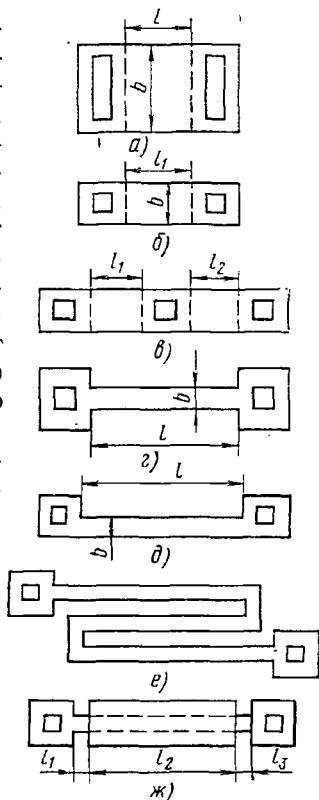


Рис. 1.15. Конфигурации диффузионных резисторов

На основе эмиттерной области формируются резисторы небольших номиналов $[3-100 \text{ Ом с ТКР} = (1-2) \cdot 10^{-4} 1/^\circ\text{C}]$, поскольку значение ρ_S эмиттерного слоя невелико (см. табл. 1.1).

Пинч-резисторы. При необходимости создания в ИМС резисторов с сопротивлением более 60 кОм используют пинч-резисторы (синонимы: каналные, сжатые, закрытые резисторы). Их формируют на основе донной, слаболегированной базовой области, имеющей большее сопротивление и меньшую площадь сечения (рис. 1.16, 1.17). Максимальное сопротивление таких резисторов составляет 200—300 кОм при простейшей полосковой конфигурации, $\rho_S = 2-5 \text{ кОм}/\square$. Пинч-резисторы имеют большой разброс номиналов (до 50%) из-за трудностей получения точных значений толщи-

Точность изготовления диффузионных резисторов на основе базовой области и отношения их сопротивлений

Ширина резистора, мкм	Точность воспроизведения номинала сопротив- ления, %	Точность отношения сопротивлений, %	
		1:1	1:5
7	± 15	± 2	± 5
25	± 8	$\pm 0,5$	$\pm 1,5$

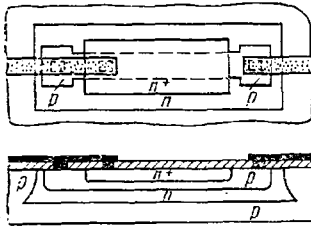


Рис. 1.16. Конструкция пинч-резистора

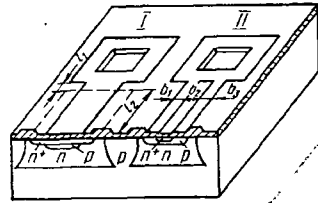


Рис. 1.17. Конструкция пинч-резисторов на основе базовой области с использованьем эмиттерной диффузии (закрытый I и полузакрытый II варианты)

ны донной части p -слоя, большого $\text{TKR} = (3 \div 5) \cdot 10^{-3} 1/^\circ\text{C}$ вследствие меньшей степени легирования донной части. У пинч-резистора n^+ - и p -слои закорочены металлизацией (см. рис. 1.16) и соединены с выводом резистора, находящимся под большим положительным потенциалом, чем остальные области структуры. Такое соединение обеспечивает обратное смещение на всех переходах пинч-резистора. Этот резистор имеет линейный участок в а. х. только до напряжений 1—1,5 В, его пробивное напряжение равно 5—7 В (эмиттерный переход, см. табл. 1.2).

Эпитаксиальные резисторы. Из трех областей транзистора коллекторная имеет наименьшую концентрацию легирующей примеси и максимальное значение ρ_s (500—5000 Ом/□). Поскольку эпитаксиальный слой легирован однородно, проводимость эпитаксиального резистора (ЭР) постоянна по всему его сечению в отличие от ДР. У ЭР (рис. 1.18) поперечное сечение по форме существенно отличается от сечений ДР, ибо эпитаксиальный резистор формируется разделительной диффузией. Так как эта диффузия самая продолжительная и точная регулировка размеров диффузионных областей, особенно величины боковой диффузии, затруднена, разброс номиналов сопротивления ЭР значителен. Казалось бы, что большие значения ρ_s позволяют экономить площадь кристалла при формировании ЭР больших номиналов, однако значительная площадь области разделительной диффузии (рис. 1.18) сводит на нет

это преимущество. Эпитаксиальные резисторы имеют высокое напряжение пробоя (> 100 В) и большой ТКР, поскольку коллекторная область легирована слабо.

Эпитаксиальные пинч-резисторы. Конструкции этих резисторов отличаются от обычного ЭР тем, что их поперечное сечение уменьшено сверху на глубину базового слоя, что и предопределяет большие, чем у ЭР, значения ρ_S ($\rho_S = 4 \div 8$ кОм/□) и но-

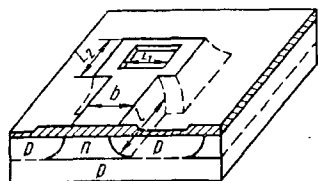


Рис. 1.18. Конструкция интегрального резистора на основе коллекторной области

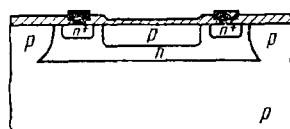
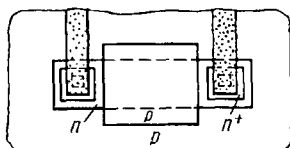


Рис. 1.19. Конструкция эпитаксиального пинч-резистора

миналы сопротивления при одной и той же площади (рис. 1.19). Пробивное напряжение этих резисторов определяется пробивным напряжением $U_{кб}$ (см. табл. 1.2), $TKR \approx 4 \cdot 10^{-3} 1/^\circ C$.

Ионно-легированные резисторы. Структура этих резисторов такая же, как и у ДР, но глубина ионно-легированных слоев, в которых сформировано тело резистора, составляет лишь 0,1—0,3 мкм (рис. 1.20). Ионная имплантация может обеспечить

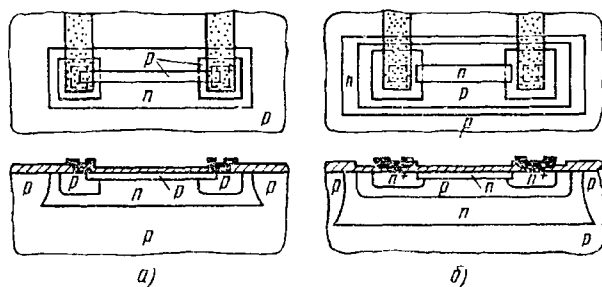


Рис. 1.20. Конструкции ионно-легированных резисторов, сформированных имплантацией примеси p -типа в эпитаксиальный (коллекторный) слой (а) и примеси n -типа в базовый слой (б)

малую концентрацию легирующей примеси в слое. При соответствующем выборе дозы легирования и параметров отжига (10—20 мин при 500—600°C) можно получить $\rho_S = 0,5 \div 20$ кОм/□ в резисторах со структурой рис. 1.20, а и $\rho_S = 500 \div 1000$ Ом/□ в резисторах со структурой рис. 1.20, б. Могут быть достигнуты номиналы со-

противлений в сотни килоом со сравнительно низким ТК R и допуском $\pm 10\%$. Ширина и толщина ионно-легированных резисторов с большими номиналами сопротивлений очень малы, что усложняет получение качественного омического контакта. Для формирования надежных контактов используют диффузионные p - или n -области, которые создают на стадии базовой или эмиттерной диффузии (рис. 1.20).

Характеристики интегральных резисторов. Типичные характеристики интегральных резисторов приведены в табл. 1.5.

Таблица 1.5

Характеристики интегральных резисторов

Тип резистора	Толщина слоя, мкм	Поверхностное сопротивление R_s , Ом/□	Допуск, %	ТК $R(\alpha R)$, $1/^\circ\text{C}$	Паразитная емкость, пФ/мм ²
Диффузионный резистор на основе базовой области	2,5—3,5	100—300	$\pm(5-20)$	$\pm(0,5-3) \cdot 10^{-3}$	150—350
Пинч-резистор	0,5—1,0	$(2-15) \cdot 10^3$	± 50	$\pm(1,5-3) \cdot 10^{-3}$	1000—1500
Диффузионный резистор на основе эмиттерной области	1,5—2,5	1—10	± 20	$\pm(1-5) \cdot 10^{-4}$	1000—1500
Эпитаксиальный резистор	7—1,0	$(0,5-5) \cdot 10^3$	$\pm(15-25)$	$\pm(2-4) \cdot 10^{-3}$	80—100
Ионно-легированный резистор n -типа	0,1—0,2	$(5-10) \cdot 10^2$	± 50	$\pm(1,5-5) \cdot 10^{-3}$	200—350

Тонкопленочные резисторы. В совмещенных ИМС (в одной конструкции совмещены элементы, изготавливаемые по полупроводниковой и пленочной технологии) поверх слоя защитного диэлектрика могут быть сформированы тонкопленочные резисторы. По сравнению с полупроводниковыми резисторами они обладают следующими преимуществами: имеют более высокие значения R_s , меньшие значения паразитных параметров, более высокую точность изготовления, низкий ТК R . Основной их недостаток—необходимость введения дополнительных операций в технологический маршрут изготовления ИМС и дополнительных мер защиты от внешних воздействий. Наиболее часто используемые материалы для тонкопленочных резисторов — нихром и тантал (табл. 1.6), наиболее распространенная форма — полосковая (см. гл. 3). Тонкопленочные резисторы располагают на гладкой поверхности защитного диэлектрика (обычно стекло или SiO_2), не содержащей ступенек.

Характеристики тонкопленочных резисторов совмещенных ИМС

Материал	ρ_S , Ом/□	$TKR(\alpha_R) \cdot 10^{-4}$, 1/°C	Допуск, %	Разброс отношения сопротивлений, %
Нихром	40—400	1	±5	±1
Тантал	200—5000	1	±5	±1
Пленка SiO ₂	80—4000	0—15	±8	±2

Интегральные конденсаторы. В интегральных полупроводниковых конденсаторах роль диэлектрика могут выполнять обедненные слои обратного смещенных p - n -переходов или пленка окисла кремния, роль обкладок — легированные полупроводниковые области или напыленные металлические пленки. Характеристики конденсаторов полупроводниковых ИМС невысоки; кроме того, для получения сравнительно больших емкостей необходима значительная площадь схемы. Поэтому при проектировании электрической схемы полупроводниковой ИМС стремятся избегать применения конденсаторов.

Диффузионные конденсаторы. В ИМС для формирования диффузионных конденсаторов (ДК) может быть использован любой из p - n -переходов (рис. 1.21): коллектор — подложка

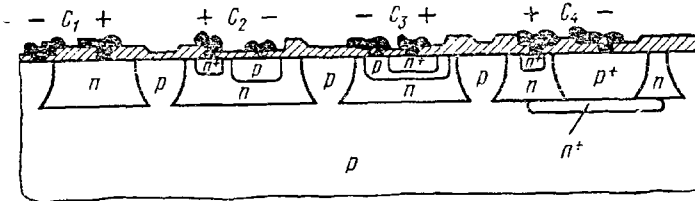


Рис. 1.21. Варианты формирования интегральных диффузионных конденсаторов на основе p - n -переходов

(C_1), база — коллектор (C_2), эмиттер — база (C_3), переход p -области изолирующей диффузии и скрытого n^+ -слоя (C_4). Варианты C_1 и C_4 не могут быть реализованы в ИМС с диэлектрической изоляцией.

В близкой к реальной полупроводниковой структуре (рис. 1.21) с удельным сопротивлением подложки 10 Ом·см, сопротивлением слоя базы 200 Ом/□ и сопротивлением слоя эмиттера 2 Ом/□ при глубинах p - n -переходов эмиттер — база 2, 3 мкм, база — коллектор 2,7 мкм и коллектор — подложка 12,5 мкм p - n -переходы, используемые для формирования ДК, имеют такие характеристики:

удельную емкость дна p - n -перехода коллектор — подложка 100 пФ/мм², а боковой стенки 250 пФ/мм²; пробивное напряжение перехода до 100 В;

удельную емкость p - n -перехода база — коллектор 350 пФ/мм², а его пробивное напряжение 30—70 В;

удельную емкость дна p - n -перехода эмиттер — база 600 пФ/мм², а боковой стенки 1000 пФ/мм², пробивное напряжение перехода 7 В.

Самую большую удельную емкость (более 1000 пФ/мм²) имеет p - n -переход, область изолирующей p -диффузии — подколлекторный n^+ -слой, его пробивное напряжение 10 В. ТКС конденсаторов на этом переходе сравнительно большой ($2 \cdot 10^{-4}$ 1/°С).

Поскольку ширина обедненного слоя обратно смещенного перехода зависит от напряжения, емкость ДК также изменяется с изменением напряжения. Удельную емкость любого полупроводникового перехода можно аппроксимировать формулой $C_0 \approx K(1/U)^m$, где K — коэффициент пропорциональности, зависящий от уровня легирования полупроводниковых областей; m — показатель: $m \in [1/3; 1/2]$, причем $m = 1/2$ соответствует ступенчатому, а $m = 1/3$ — линейному переходу. Остальные значения m , входящие в указанное множество, соответствуют реальным распределениям примеси, в том числе гауссову и по функции ошибок.

В табл. 1.7 даны значения удельной емкости переходов интегрального транзистора со скрытым слоем и без него, с подложкой p -типа ($\rho = 5$ Ом·см), гауссовым распределением примеси в базе (ширина 0,7 мкм) и распределением примеси по функции ошибок в эмиттере.

Таблица 1.7

Значения удельной емкости переходов интегрального транзистора

U , В	$C_{эб}$, пФ/мм ²	$C_{бк}$, пФ/мм ²	$C_{кп}$ (с n^+ -слоем), пФ/мм ²	$C_{кп}$ (без n^+ -слоя), пФ/мм ²
0	1400	300	260	190
5	1000	120	90	60
10	—	90	55	40

Эмиттерный переход обладает наибольшей удельной емкостью, но малыми напряжением пробоя и добротностью. Базовый переход используется для формирования ДК наиболее часто. Пример конструкции такого конденсатора приведен на рис. 1.22. Параметры диффузионных конденсаторов на этих переходах приведены в табл. 1.8. Значения максимальной емкости даны ориентировочно в предположении, что площадь всех конденсаторов ИМС не превышает 20—25% площади кристалла. Недостатком ДК является необходимость обеспечения строго определенной полярности (см. рис. 1.21), так как условием их нормальной работы является обратное смещение p - n -перехода.

МДП-конденсаторы. Их конструкция представлена на рис. 1.23. Нижней обкладкой служит эмиттерный n^+ -слой, верхней — пленка Al, диэлектриком — тонкие слои SiO₂ или Si₃N₄. По-

следний предпочтителен вследствие большей емкости C_0 (диэлектрическая проницаемость ϵ нитрида выше, чем окисла кремния), но SiO_2 более доступен. Толщина диэлектрика составляет 0,05—0,12 мкм. Параметры МДП-конденсаторов приведены в табл. 1.8. Недостатком МДП-конденсаторов в составе биполярных ИМС яв-

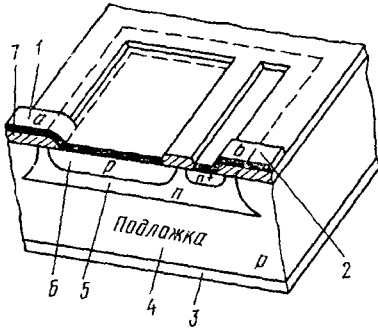


Рис. 1.22. Конструкция интегрального диффузионного конденсатора:

1 — алюминиевый вывод от верхней обкладки конденсатора; 2 — алюминиевый вывод от нижней обкладки конденсатора; 3 — пленка золота (контакт к подложке); 4 — подложка p -типа; 5 — коллекторная n -область (нижняя обкладка конденсатора); 6 — базовая p -область (верхняя обкладка конденсатора); 7 — пленка оксида кремния

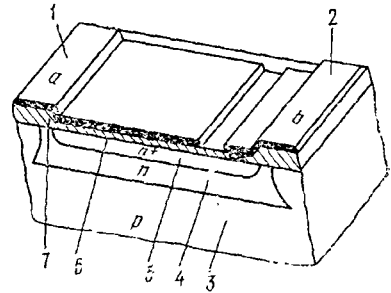


Рис. 1.23. Конструкция интегрального МДП-конденсатора:

1 — верхняя обкладка; 2 — алюминиевый вывод от нижней обкладки; 3 — подложка p -типа; 4 — коллекторная n -область; 5 — n^+ -слой (нижняя обкладка конденсатора); 6 — тонкий окисел (диэлектрик конденсатора); 7 — толстый окисел

Таблица 1.8

Параметры интегральных конденсаторов

Тип конденсатора	Удельная емкость C_0 , пФ/мм	Максимальная емкость C_{max} , пФ	Допуск δ , %	ТКС (α_C) $\times 10^{-3}$, $1/^\circ\text{C}$	Пробивное напряжение $U_{пр}$, В	Добротность*
ДК на переходах:						
Б—К	150 (350)**	300	$\pm 15 \div 20$	-1,0	30—70	50—100
Э—Б	600 (1000)**	1200	± 20	-1,0	7—8	1—20
К—П	100 (250)**	—	$\pm 15 \div 20$	—	35—70	—
МДП с диэлектриком:						
SiO_2	400—600	500	± 20	0,015	30—50	25—80
Si_3N_4	800—1600	1200	± 20	0,01	50	20—100
Тонкопленочные с диэлектриком:						
SiO_2	500—800	650	± 20	± 3	20—40	10—100
Si_3N_4	3000—5500	4500	± 20	2—5	20	10—100

* Для ДК на частоте 1 МГц, для МДП и тонкопленочных конденсаторов на частоте 10 МГц.

** В скобках указаны значения C_0 для вертикальных (боковых) стенок p - n -перехода.

ляется необходимость введения дополнительной операции создания тонкого диэлектрика и еще одной фотолитографии.

Тонкопленочные МДМ-конденсаторы. В совмещенных ИМС можно сформировать плоские МДМ-конденсаторы в миниатюрном исполнении. Они состоят из двух металлических слоев, разделенных слоем диэлектрика (см. гл. 3). В качестве обкладок используют Al или Ta, в первом случае диэлектриком служит Al_2O_3 , во втором — Ta_2O_5 . Диэлектрическая постоянная Ta_2O_5 на порядок выше, чем у большинства других диэлектриков, но окисел тантала не применяют в ИМС, работающих на высоких частотах. МДМ-конденсаторы, так же как и МДП-конденсаторы, работают при любой полярности. Их недостатком по сравнению с диффузионными конденсаторами является необратимый отказ в случае пробоя диэлектрика.

Соединения и контактные площадки. Соединения. Элементы ИМС электрически соединены между собой с помощью алюминиевой разводки толщиной до 0,8 мкм. Когда в однослойной разводке не удается избежать пересечений, применяют диффузионные перемычки (рис. 1.24). Речь идет об изоляции двух взаимно перпендикулярных проводников, первый из которых размещен поверх защитного окисла, второй «подныривает» под него в виде участка n^+ -слоя. Этот участок имеет заметное сопротивление (3—5 Ом), вносит дополнительную паразитную емкость и занимает сравнительно большую площадь (для него требуется отдельная

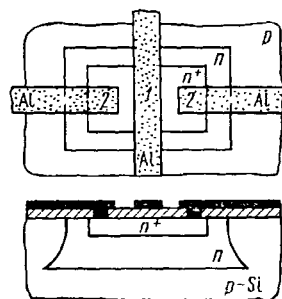


Рис. 1.24. Конструкция диффузионной перемычки

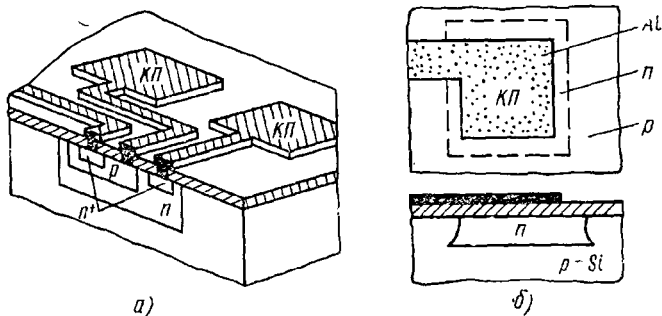


Рис. 1.25. Конструкция соединений (а) и контактной площадки (б) ИМС

изолированная область), поэтому диффузионной перемычкой пользуются в исключительных случаях. Диффузионные перемычки не применяют в цепях питания, в которых протекают достаточно большие токи.

Контактные площадки. Контактные площадки (КП), располагаемые обычно по периферии полупроводникового кристал-

ла, служат для создания соединений полупроводниковой схемы с выводами корпуса с помощью золотых или алюминиевых проводочков методом термокомпрессии. Для КП используют тот же материал, что и для создания разводки (чаще всего алюминий); КП формируют одновременно с созданием разводки. Для предотвращения замыканий КП на подложку в случае нарушения целостности окисла при термокомпрессии под каждой КП формируют изолированную область (за исключением КП, соединенных с проводниками, имеющими контакт с подложкой). Конструкция КП приведена на рис. 1.25.

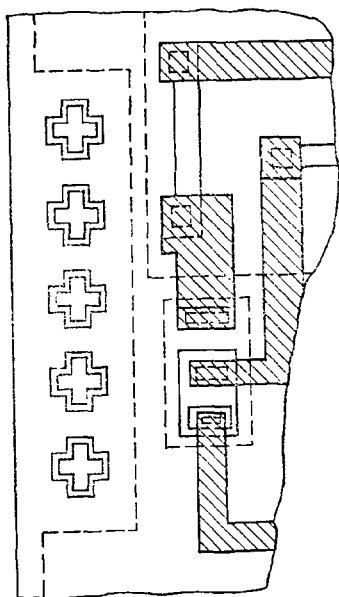
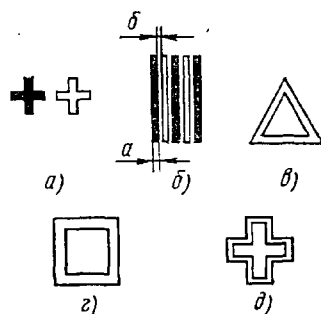


Рис. 1.26. Фрагмент топологии ИМС с фигурами совмещения

Рис. 1.27. Варианты фигур совмещения:

a — типа «линия — линия» (линии креста на шаблоне совмещаются с линиями креста на кристалле); *b* — δ — с контролируемым зазором между линиями фигур совмещения на шаблоне и на кристалле



Фигуры совмещения. Фигуры совмещения являются вспомогательными элементами ИМС, необходимыми для точного выполнения операции совмещения рисунка фотошаблона при фотолитографии с рисунком ранее созданных слоев. Число фигур совмещения на единицу меньше числа операций фотолитографии, использованных при изготовлении ИМС (рис. 1.26). Фигуры совмещения могут иметь различную форму (рис. 1.27, *a*—*d*).

§ 1.2. Изоляция элементов и технологические процессы производства ИМС

Для нормальной работы ИМС необходимо, чтобы элементы или группы элементов были размещены в электрически изолированных друг от друга областях. Эти области должны иметь следующие электрические и физические свойства: напряжение пробоя изоляции более высокое, чем напряжение питания ИМС; малую паразитную

емкость, небольшие токи утечки, высокую теплопроводность, близость коэффициента термического расширения (КТР) изолирующей области к КТР кремния, большую радиационную стойкость, малую площадь, отводимую под изоляцию.

Изоляция с помощью p - n -переходов. В § 1.1 были приведены данные о конструктивно-технологическом исполнении и некоторых характеристиках элементов ИМС на биполярных транзисторах, выполненных способом изоляции элементов с помощью обратно смещенных p - n -переходов (диодная изоляция).

Для формирования любого элемента полупроводниковой ИМС и создания ее конструкции обычно достаточно трех p - n -переходов и четырех слоев двух типов электропроводности. Изоляция обеспечивается p - n -переходом между подложкой и коллекторными областями элементов ИМС (рис. 1.28). При подаче отрицательного потенциала на подложку изолирующий переход смещается в обратном направлении и карманы n -типа, в которых размещены элементы ИМС, оказываются окруженными со всех сторон областью p -типа и изолированными друг от друга обратными смещенными p - n -переходами, сопротивление которых по постоянному току велико. Характеристики изоляции могут ухудшаться за счет паразитных емкостей и токов утечки, особенно при работе на высоких частотах и в тяжелых эксплуатационных условиях (повышенные температуры). Несмотря на это, метод диодной изоляции является распространенным.

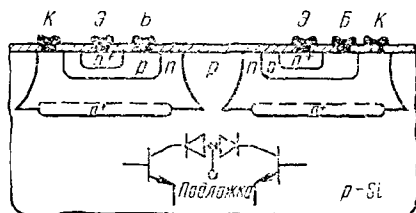


Рис. 1.28. Изоляция двух интегральных транзисторов с помощью p - n -переходов

Сокращенный маршрут изготовления ИМС с изоляцией элементов обратно смещенными p - n -переходами методом планарно-эпитаксиальной технологии представлен на рис. 1.29. Из рисунка видно, что операция изоляции элементов осуществляется групповым методом, органически сочетается с технологией изготовления ИМС в целом и реализуется проведением разделительной (изолирующей) диффузии на всю глубину эпитаксиального слоя.

Рассмотренная технология позволяет получать необходимую степень легирования коллектора и подложки независимо друг от друга. При выборе высокоомной подложки и не очень высокоомного эпитаксиального слоя (коллектора) можно обеспечить оптимальные емкости перехода коллектор — база и его напряжение пробоя. Наличие эпитаксиального слоя позволяет точно регулировать толщину и сопротивление коллектора, которое, однако, остается достаточно высоким (70—100 Ом). Снижение сопротивления коллектора достигается созданием скрытого n^+ -слоя путем диффузии в p -подложку примеси n -типа перед наращиванием эпитаксиального слоя.

Изоляция диэлектриком. Диэлектрическая изоляция позволяет создавать ИМС с улучшенными характеристиками по сравнению

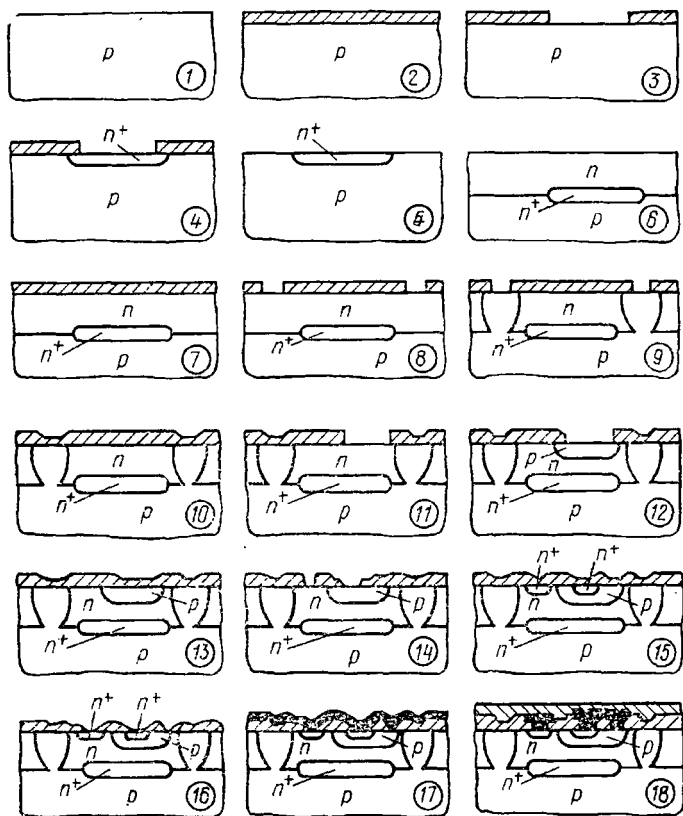


Рис. 1.29. Последовательность операций планарно-эпитаксиальной технологии производства биполярных полупроводниковых ИМС с изоляцией элементов p - n -переходами:

1 — механическая обработка поверхности рабочей стороны Si пластины p -типа до 14-го класса чистоты и травление в парах HCl для удаления нарушенного слоя; 2 — окисление для создания защитной маски при диффузии примеси n -типа; 3 — фотолитография для вскрытия окон в окисле и проведения локальной диффузии в местах формирования скрытых слоев; 4 — диффузия для создания скрытого n^+ -слоя; 5 — снятие оксида и подготовка поверхности перед процессом эпитаксиального наращивания; 6 — формирование эпитаксиальной структуры; 7 — окисление поверхности эпитаксиального слоя для создания защитной маски при разделительной диффузии; 8 — фотолитография для вскрытия окон под разделительную диффузию; 9 — проведение разделительной диффузии и создание изолированных карманов; 10 — окисление; 11 — фотолитография для вскрытия окон под базовую диффузию; 12 — формирование базового слоя диффузией примеси p -типа; 13 — окисление; 14 — фотолитография для вскрытия окон под эмиттерную диффузию; 15 — формирование эмиттерного слоя диффузией примеси n -типа; 16 — фотолитография для вскрытия контактных окон; 17 — напыление пленки алюминия; 18 — фотолитография для создания рисунка разводки и нанесение слоя защитного диэлектрика

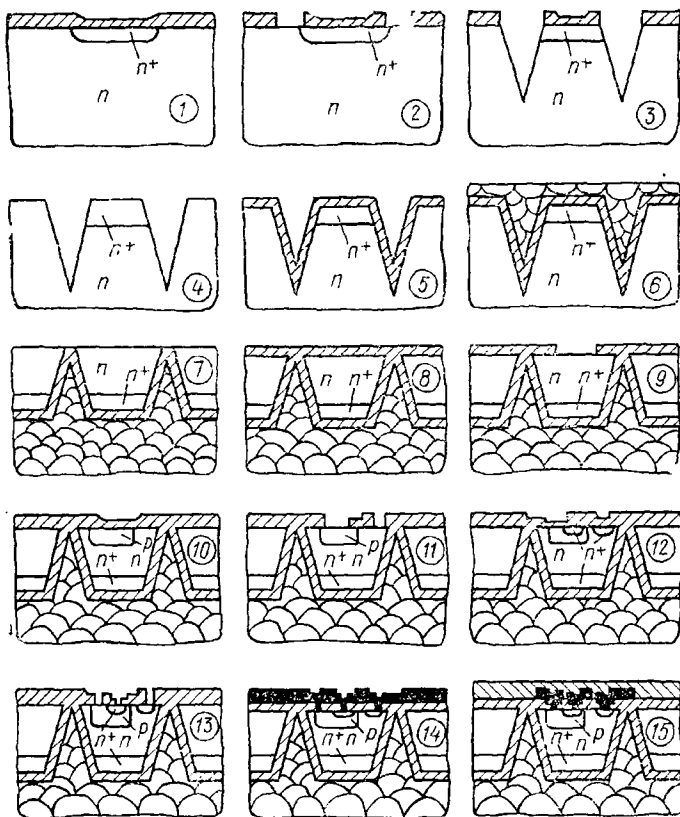


Рис. 1.30. Последовательность операций технологического процесса производства биполярных полупроводниковых ИМС с диэлектрической изоляцией элементов:

1 — структура со скрытым диффузионным слоем на подложке n -типа после операций механической обработки, химического полирования, окисления, фотолитографии, локальной диффузии примеси n -типа; 2 — фотолитография для вскрытия окон в окисле перед операцией локального травления кремния; 3 — травление кремния; 4 — снятие окисла; 5 — нанесение окисла, нитрида или карбида кремния; 6 — осаждение из парогазовой фазы слоя высоковакуумного полнокристаллического кремния толщиной ~ 200 мкм; 7 — шлифовывание монокристаллического кремния до получения изолированных диэлектриком карманов и получение рабочей поверхности высокого класса чистоты; 8 — окисление рабочей поверхности; 9 — фотолитография для вскрытия окон под базовую диффузию; 10 — формирование базового слоя; 11 — фотолитография для вскрытия окон под эмиттерную диффузию; 12 — формирование эмиттерного слоя; 13 — фотолитография для вскрытия контактных окон; 14 — напыление пленки алюминия; 15 — фотолитография для создания рисунка разводки и нанесение слоя защитного диэлектрика

со схемами, в которых применяется диодная изоляция, а именно: существенно увеличить напряжение пробоя изолирующей области, значительно (примерно на шесть порядков) уменьшить токи утечки, уменьшить (примерно на два порядка) паразитные емкости и в результате увеличить рабочую частоту аналоговых и быстродействии цифровых ИМС, повысить их радиационную стойкость.

Один из технологических маршрутов формирования ИМС с диэлектрической изоляцией элементов представлен на рис. 1.30. Изоляция обеспечивается слоем окисла, нитрида или карбида кремния (Si) либо их сочетаниями (позиция 5 и последующие). Поликристаллический кремний, удельное сопротивление которого составляет менее 0,01 Ом·см, выполняет роль механического основания ИМС. Основные трудности реализации этого способа заключаются в проведении прецизионного шлифования с исключительно малыми отклонениями толщины сошлифованного слоя и высокой дефектности монокристаллических карманов после механической обработки их рабочей поверхности. Поликристаллический кремний можно заменить диэлектриком, например ситаллом, керамикой (керамическая изоляция), но ввиду несогласованности КТР кремния и керамики этот вариант не обеспечивает требуемой плоскостности пластин после процессов термической обработки и отличается низким выходом годных изделий. В ИМС с диэлектрической изоляцией затруднен теплоотвод от полупроводниковых областей; кроме того, площадь, занимаемая элементами ИМС, сравнительно большая, т. е. степень интеграции ИМС невысока.

Комбинированная изоляция. Комбинированная изоляция элементов ИМС является компромиссным вариантом, сочетающим технологичность изоляции *p-n*-переходом и высокие качества изоляции диэлектриком. Количество способов этой изоляции очень велико. Здесь элементы ИМС со стороны подложки изолированы обратным смещенным *p-n*-переходом, а с боковых сторон — диэлектриком (окислом, стеклом, керамикой).

Таким образом, изоляция *p-n*-переходом заменяется изоляцией диэлектриком в наиболее уязвимом приповерхностном слое и с боковых сторон. Наибольшее распространение на сегодняшний день получили такие способы комбинированной изоляции, как локальное окисление (изопланарная технология) и вертикальное анизотропное травление (полипланарная технология).

В основе этих технологий лежит локальное сквозное окисление или протравливание тонкого (2—3 мкм) эпитаксиального слоя кремния *n*-типа, в результате чего этот слой оказывается разделенным на островки, в которых можно формировать элементы ИМС.

Схема технологического процесса «Изопланар I» представлена на рис. 1.31, *a—д*. Маской при локальном травлении и последующем окислении кремния служит нитрид кремния, скорость окисления которого примерно на порядок меньше, чем у кремния. Предварительное перед окислением локальное травление эпитаксиального слоя кремния осуществляют на 60—65% от общей его толщины, с тем чтобы образовавшаяся канавка при окислении зарос-

ла окислом точно до краев, так как удельный объем окисла примерно вдвое больше удельного объема кремния. Это обеспечивает планарность структуры перед формированием разводки.

Технологический процесс «Изопланар II» (рис. 1.32, а — г) позволяет уменьшить занимаемую транзистором ИМС площадь на

70% по сравнению с планарно-эпитаксиальной технологией и на 40% по сравнению с процессом «Изопланар I». Особенности конструкции транзистора, сформированного по технологии «Изопланар I», заключаются в следующем: вывод коллектора отделен от базы и

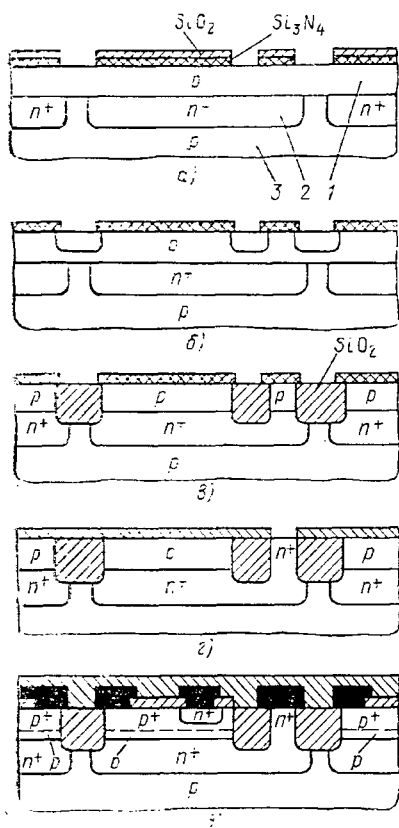


Рис. 1.31. Последовательность операций технологического процесса «Изопланар I»:

а — структура со скрытыми слоями после проведения фотолитографии по слоям окисла и нитрида кремния; б — травление кремния; в — формирование разделительного окисла; г — формирование коллектора методом диффузии; д — формирование других областей активных и пассивных элементов методами планарной технологии

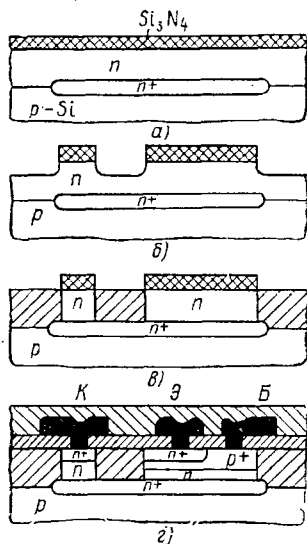


Рис. 1.32. Последовательность операций технологического процесса «Изопланар II»:

а — структура со скрытым слоем и пленкой нитрида кремния; б — фотолитография по нитриду и локальное травление кремния; в — формирование толстого изолирующего окисла; г — удаление масок нитрида кремния и формирование элементов в изолированных областях методом планарной технологии

эмиттера слоем изолирующего толстого окисла и помещен в отдельную область; уменьшение числа фотошаблонов, так как базовую диффузию можно проводить по всей поверхности полупроводниковой структуры, не формируя базовых окон.

Особенностями технологического процесса «Изопланар II» являются: снижение требований к допускам при изготовлении фотомасок и к точности их совмещения при фотолитографическом вскрытии окон под коллекторную и эмиттерную диффузии, поскольку неточности приходится на область разделительного толстого окисла и не влияют на окончательный результат; сформирован пристеночный эмиттер, большая часть боковых стенок которого изолирована разделительным окислом, что позволяет получить транзисторы с более высоким коэффициентом усиления.

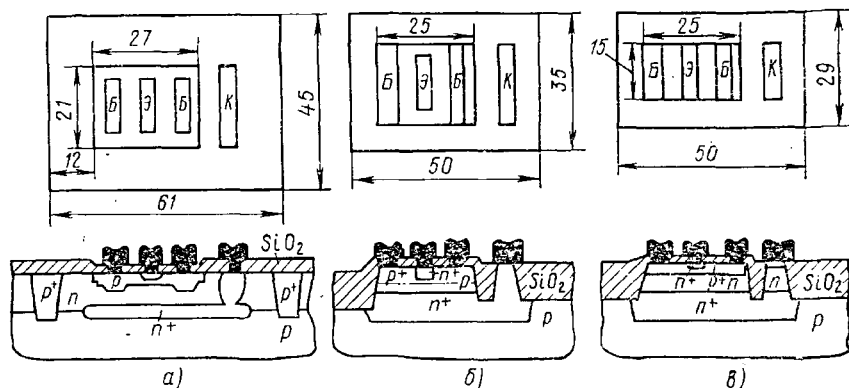


Рис. 1.33. Уменьшение размеров ИМС, сформированных с применением планарно-эпитаксиальной технологии (а), технологий «Изопланар I» (б) и «Изопланар II» (в)

Современные биполярные БИС и СБИС, изготавливаемые в основном способами комбинированной изоляции, обладают достаточно высокими характеристиками изоляции. Преимуществом этой изоляции является возможность достижения высокой степени интеграции ИМС, которую иллюстрирует рис. 1.33, а — в.

§ 1.3. Конструирование и расчет параметров элементов ИМС на биполярных транзисторах

Как правило, при разработке ИМС производят расчет геометрии пассивных элементов биполярных ИМС (резисторов и конденсаторов), а конструкции транзисторов и диодов выбирают из банка данных по этим элементам, имеющегося на данном предприятии, применительно к одной (или нескольким) базовым технологиям. При строгом соблюдении режимов базовой технологии вертикальную структуру элементов можно считать заданной. В этом смысле расчет резисторов и конденсаторов привязан к базовой технологии (заданы поверхностные концентрации, глубины залегания p - n -переходов и др.).

Конструирование и расчет параметров резисторов. Исходными данными для расчета геометрических размеров интегральных по-

лупроводниковых резисторов являются: заданное в принципиальной электрической схеме номинальное значение сопротивления R и допуск на него ΔR ; поверхностное сопротивление легированного слоя ρ_s , на основе которого формируется резистор; среднее значение мощности P и максимально допустимая удельная мощность рассеяния P_0 ; основные технологические и конструктивные ограничения.

Топология интегральных полупроводниковых резисторов представлена на рис. 1.15. Характеристики резисторов зависят от того, какой слой транзисторной структуры использован в качестве резистивного (см. табл. 1.5).

Полная относительная погрешность сопротивления диффузионного резистора определяется суммой погрешностей:

$$\Delta R/R = \Delta K_\phi/K_\phi + \Delta \rho_s/\rho_s + \alpha_R \Delta T; \quad (1.1)$$

$$K_\phi = l/b = R/\rho_s, \quad (1.2)$$

где K_ϕ — коэффициент формы резистора; $\Delta K_\phi/K_\phi$ — относительная погрешность коэффициента формы резистора; $\Delta \rho_s/\rho_s$ — относительная погрешность воспроизведения удельного поверхностного сопротивления легированного слоя, для типовых технологических процессов $\Delta \rho_s/\rho_s = 0,05 \div 0,1$; α_R — температурный коэффициент сопротивления резистора (см. табл. 1.5); $\alpha_R \Delta T$ — температурная погрешность сопротивления. Принимаем, что интегральный полупроводниковый резистор в сечении, перпендикулярном направлению протекания тока, имеет прямоугольную форму.

Расчет геометрических размеров интегрального полупроводникового резистора начинают с определения его ширины. За расчетную ширину $b_{\text{расч}}$ резистора принимают значение, которое не меньше наибольшего значения одной из трех величин: $b_{\text{техн}}$, $b_{\text{точн}}$, b_P , т. е. $b_{\text{расч}} \geq \max\{b_{\text{техн}}, b_{\text{точн}}, b_P\}$, где $b_{\text{техн}}$ — минимальная ширина резистора, определяемая разрешающей способностью технологических процессов; $b_{\text{точн}}$ — минимальная ширина резистора, при которой обеспечивается заданная погрешность геометрических размеров; b_P — минимальная ширина резистора, определяемая из максимальной допустимой мощности рассеяния.

Величину $b_{\text{техн}}$ находят из перечня технологических ограничений выбранной технологии (например, для планарно-эпитаксиальной технологии $b_{\text{техн}} = 5$ мкм).

Ширину $b_{\text{точн}}$ определяют из выражения

$$b_{\text{точн}} = (\Delta b + \Delta l/K_\phi) K_\phi / \Delta K_\phi, \quad (1.3)$$

где Δb и Δl — абсолютные погрешности ширины и длины резистивной полоски, обусловленные технологическими процессами.

Для типовых технологических процессов ($\Delta b = \Delta l = 0,05 \div 0,1$ мкм)

$$\Delta K_\phi/K_\phi = \Delta R/R - \Delta \rho_s/\rho_s - \alpha_R \Delta T. \quad (1.4)$$

Ширину b_p определяют из выражения

$$b_p = \sqrt{\frac{P_{pS}}{P_0 R}} = \sqrt{\frac{P}{P_0 K_{\phi}}}, \quad (1.5)$$

где P_0 — максимально допустимая удельная мощность рассеяния, выбираемая в зависимости от типа корпуса микросхемы и условий ее эксплуатации в пределах 0,5—4,5 Вт/мм².

Для составления чертежа топологии следует выбрать шаг координатной сетки. Его выбирают равным 0,5 или 1 мм (допускается 0,1 или 0,2 мм). Задаваясь масштабом 100 : 1, 200 : 1, 300 : 1 и т. д., определяют шаг координатной сетки для фотошаблона, затем промежуточное значение ширины резистора:

$$b_{\text{пром}} = b_{\text{расч}} - 2(\Delta_{\text{тран}} + \Delta y), \quad (1.6)$$

где $\Delta_{\text{тран}}$ — погрешность, вносимая за счет растравливания окон в маскирующем окисле перед диффузией (для типовых технологических процессов $\Delta_{\text{тран}} = 0,2 \div 0,5$ мкм); Δy — погрешность, вносимая за счет ухода диффузионного слоя под маскирующей окисел в боковую сторону (ориентировочно Δy составляют 60% глубины базового слоя и 80% глубины эмиттерного слоя).

Далее находят топологическую ширину резистора $b_{\text{топ}}$ (ширину на чертеже топологии) и реальную ширину резистора на кристалле после изготовления ИМС.

Если $b_{\text{пром}} \geq b_{\text{техн}}$, то за $b_{\text{топ}}$ принимают равное или ближайшее к $b_{\text{пром}}$ большее значение, кратное шагу координатной сетки, принятому для чертежа топологии.

Реальная ширина резистора на кристалле

$$b = b_{\text{топ}} + 2(\Delta_{\text{тран}} + \Delta y). \quad (1.7)$$

Если в $b_{\text{пром}} < b_{\text{техн}}$, то за $b_{\text{топ}}$ принимают равное или ближайшее к $b_{\text{техн}}$ большее значение, кратное шагу координатной сетки. Реальную ширину резистора на кристалле определяют так же, как и в первом случае.

Расчетную длину резистора определяют по формуле

$$l_{\text{расч}} = b(R/\rho_S - n_1 k_1 - n_2 k_2 - 0,55 N_{\text{изг}}), \quad (1.8)$$

где $N_{\text{изг}}$ — количество изгибов резистора на угол $\pi/2$; k_1, k_2 — поправочные коэффициенты, учитывающие сопротивление контактных областей резистора (рис. 1.34, $a - \nu$ и 1.35, $a - z$), зависящее от конфигурации контактной области резистора, соотношения размеров контактного окна L_1 , контактной области L_2 и реальной ширины резистора b с каждой его стороны; n_1 и n_2 — число контактных площадок (обычно $n=2$).

Следует учитывать, что реальная длина резистора l на кристалле будет меньше топологической длины $l_{\text{топ}}$ на чертеже топологии за счет увеличения геометрических размеров контактных областей

резистора с обоих концов в результате боковой диффузии. Поэтому сначала оценивают промежуточное значение длины резистора

$$l_{\text{пр.ом}} = l_{\text{расч}} + 2(\Delta l_{\text{рав}} + \Delta y). \quad (1.9)$$

За топологическую длину резистора $l_{\text{топ}}$ принимают ближайшее к $l_{\text{пр.ом}}$ значение длины, кратное шагу координатной сетки, принятому для чертежа топологии.

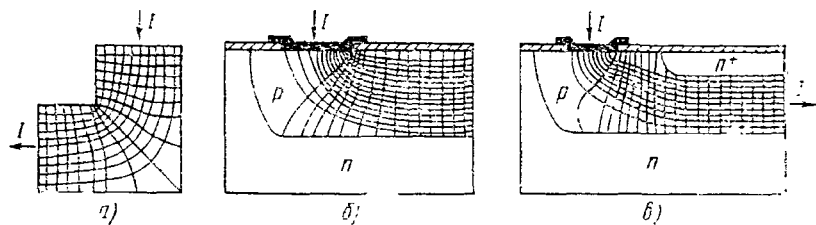


Рис. 1.34. Линии тока и эквипотенциальные поверхности в резистивном слое:

а — при изгибе резистора под прямым углом; *б* — у металлического контакта; *в* — у металлического контакта штырь-резистора

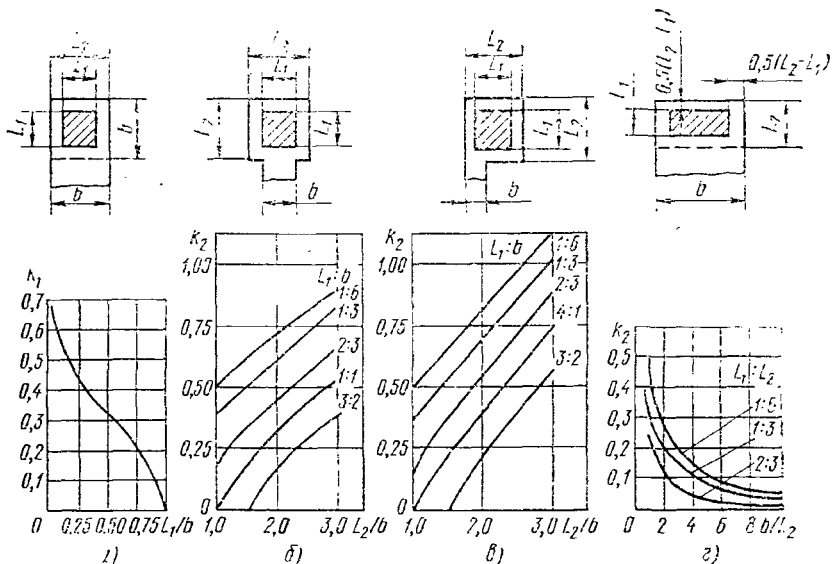


Рис. 1.35. Значения коэффициентов k_1 и k_2 для расчета диффузионных резисторов при различных конструкциях контактных областей:

а, *г* — для низкоомных резисторов; *б*, *в* — для высокоомных резисторов

Реальная длина резистора на кристалле

$$l = l_{\text{топ}} - 2(\Delta l_{\text{рав}} + \Delta y). \quad (1.10)$$

Отклонение размеров резистивной области за счет погрешностей $\Delta l_{\text{рав}}$ и Δy следует обязательно учитывать при определении величин L_1 и L_2 и выборе коэффициентов k_1 и k_2 .

При окончательном определении топологических значений $b_{\text{Топ}}$ и $l_{\text{Топ}}$ рассчитывают сопротивление спроектированного резистора и погрешность, используя реальные значения ширины и длины резистора на кристалле. При необходимости увеличивают ширину или длину резистора до значения, дающего приемлемую погрешность.

Сопротивление резисторов, показанных на рис. 1.15, определяют по формулам:

для резисторов рис. 1.15, а, б, г, д

$$R = \rho_S (l/b + 2k); \quad (1.11)$$

для резистора рис. 1.15, в

$$R = \rho_S [(l_1 + l_2) b + 3k]; \quad (1.12)$$

для резистора рис. 1.15, е

$$R = \rho_S (l_2/b + 2k + 0,55N_{\text{изт}}), \quad (1.13)$$

где l_{Σ} — суммарная длина прямолинейных участков;
для пинч-резистора рис. 1.15, ж

$$R = \rho'_S l_2/b + \rho_S [(l_1 + l_3)/b + 2k], \quad (1.14)$$

где ρ'_S — поверхностное сопротивление базового слоя, ограниченного эмиттерным слоем; ρ_S — поверхностное сопротивление базового слоя.

Конструирование и расчет параметров конденсаторов. Исходными данными для расчета конденсаторов являются: необходимое значение емкости C и допуск на него ΔC ; рабочее напряжение U , В; интервал рабочих температур ΔT , °С; рабочая частота f , Гц; основные технологические и конструктивные ограничения. При расчете

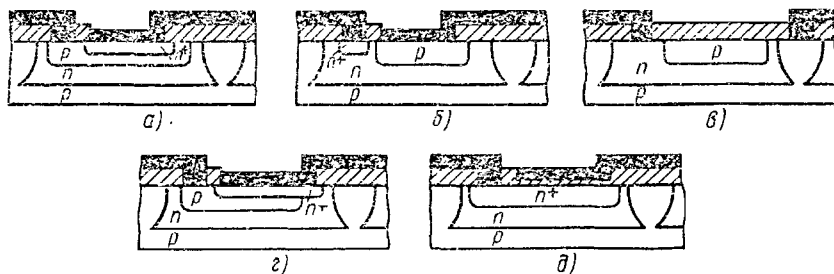


Рис. 1.36. Структуры конденсаторов полупроводниковых ИМС на основе переходов Э—Б (а), К—Б (б), К—П (в), параллельно включенных переходов Э—Б и К—Б (г), МДП-конденсатора (д)

необходимо выбрать тип и конструкцию конденсатора, определить его геометрические размеры, занимаемую площадь. На рис. 1.22, 1.23, 1.36, а—д представлены структуры конденсаторов полупроводниковых ИМС, их характеристики даны в табл. 1.8.

Емкость диффузионного конденсатора прямоугольной формы на основе обратного смещенного p - n -перехода

$$C = C_{\text{дон}} + C_{\text{бок}} = C_0 ab + C_{0б} (a + b) x_j, \quad (1.15)$$

где C_0 и $C_{0б}$ — удельные емкости донной и боковых частей p - n -перехода; a , b и x_j — геометрические размеры p - n -перехода.

Соотношение слагаемых зависит от отношения a/b . Оптимальным является отношение $a/b = 1$, при этом доля «боковой» емкости оказывается минимальной. Для курсового проектирования достаточно определить C_0 и $C_{0б}$ из табл. 1.8.

По заданным значениям C , C_0 , $C_{0б}$, x_j находят геометрические размеры конденсатора квадратной формы; если для топологии ИМС требуется конденсатор прямоугольной формы, то один из размеров прямоугольника выбирают, исходя из конструктивных соображений. Расчет еще более упрощается, если значением $C_{0б}$ можно пренебречь. Для расчета ΔC необходимо учесть погрешности технологии при выполнении геометрических размеров диффузионных слоев и отклонения емкости от номинального значения за счет изменения температуры.

Емкость МДП-конденсатора определяется выражением

$$C = 0,0885 \varepsilon S/d = C_0 S, \quad (1.16)$$

где ε и d — относительная диэлектрическая проницаемость (для SiO_2 $\varepsilon = 4$) и толщина диэлектрика; C_0 — удельная емкость (см. табл. 1.8); S — площадь верхней обкладки конденсатора.

Рабочее напряжение МДП-конденсаторов (обычно 10—50 В) ограничено напряжением пробоя диэлектрика, которое рассчитывают по формуле $U_{\text{пр}} = E_{\text{пр}} d$, где $E_{\text{пр}}$ — электрическая прочность диэлектрика (для SiO_2 $E_{\text{пр}} = 10^7$ В/см). При расчете геометрических размеров МДП-конденсатора задаются d , определяют C_0 и рассчитывают площадь верхней обкладки.

МДМ-конденсаторы совмещенных ИМС рассчитывают аналогично пленочным конденсаторам ГИМС (см. гл. 3).

При вычерчивании чертежа топологии конденсаторов их размеры корректируют с учетом шага координатной сетки.

Конструирование и выбор структуры интегральных транзисторов. Процесс проектирования планарных транзисторов состоит из следующих этапов: для данной серии ИМС или нескольких серий, исходя из быстродействия, потребляемой мощности, необходимой степени интеграции, задают электрические параметры транзисторов как базовых элементов ИМС; выбирают технологию производства ИМС, параметры материала подложки и эпитаксиального слоя, приближенно оценивают основные размеры конструкции транзисторов в плане и в сечении, проводят расчет электрических параметров транзисторов и, если они существенно отличаются от заданных, путем ступенчатого изменения конструктивных размеров и последующих расчетов подбирают геометрию всех областей транзисторной структуры, не выходя за рамки технологических ограничений. Затем осуществляют экспериментальную проверку проведенной рабо-

ты: разрабатывают комплект фотошаблонов, выпускают опытные партии транзисторных структур и измеряют их характеристики. Если параметры транзисторов отличаются от заданных, то методом последовательных приближений путем изменения размеров транзисторных областей и их характеристик, корректировки режимов технологических процессов добиваются необходимого соответствия параметров.

Расчет транзисторов сложен, трудоемок, без применения ЭВМ практически невыполним, точность его невысока. Поэтому часто этап расчета конструкции транзисторов опускают, акцентируя внимание на экспериментальном этапе. При этом на предприятии, выпускающем ИМС, формируют банк интегральных транзисторов с широким спектром характеристик. При таком подходе задача конструктора ИМС состоит в подборе конкретных типов интегральных транзисторов для данной ИМС в соответствии с ее электрической схемой.

Сначала выбирают физическую структуру различных областей транзистора. Удельное сопротивление подложки должно быть большим (1—10 Ом·см), что обеспечивает высокое напряжение пробоя и малую емкость обратно смещенного $p-n$ -перехода коллекторной подложки.

При выборе уровня легирования коллекторной области (эпитаксиального слоя) необходимо выполнить ряд противоречивых требований: для получения малого последовательного сопротивления коллектора уровень его легирования должен быть высокий, а для получения малой емкости и высокого напряжения пробоя перехода база — коллектор — низкий.

Обычно удельное сопротивление эпитаксиального слоя выбирают равным 0,1—0,5 Ом·см, а толщину — в пределах 2—15 мкм. Использование тонких эпитаксиальных слоев (до 3 мкм) позволяет уменьшить паразитные емкости и увеличить плотность размещения элементов. В структурах со скрытым n^+ -слоем и подлегированием области коллекторного контакта последовательное сопротивление коллектора составляет 10—50 Ом.

При выборе уровней легирования базовой и эмиттерной областей необходимо также учитывать несколько противоречивых требований. Так, для уменьшения паразитного сопротивления между активной областью базы и контактом к базе следует увеличивать уровень легирования базы. Однако это приводит к снижению эффективности эмиттера и уменьшению напряжения пробоя перехода база — эмиттер. Кроме того, поверхностная концентрация примеси в базовом слое не должна быть меньше $5 \cdot 10^{16}$ см⁻³, так как на поверхности этого слоя возможно образование инверсного проводящего канала n -типа, индуцированного встроенным зарядом в окисле.

Высокий уровень легирования эмиттера необходим для получения большого коэффициента инжекции. Однако при уровнях легирования эмиттерной области, достигающих предела растворимости примеси в кремнии, в кристаллической решетке образуются точечные и линейные дефекты, которые значительно уменьшают время

жизни носителей заряда, что, в свою очередь, приводит к уменьшению коэффициента инжекции.

Частотные характеристики транзисторов зависят в основном от паразитных емкостей переходов и последовательных сопротивлений его областей. Влияние паразитных параметров уменьшают конструктивно за счет максимально возможного уменьшения геометрических размеров транзистора.

После выбора физической структуры выбирают конфигурацию транзистора. Поскольку характеристики в значительной степени зависят от размеров различных областей транзистора, нужно учитывать, что периметр эмиттера определяет токовые характеристики транзистора, площадь эмиттера — частотные характеристики, площадь базы — емкость перехода база — коллектор и распределенное сопротивление базы, площадь коллектора — емкость перехода коллектор — подложка и последовательное сопротивление коллектора.

В маломощных ($0,3 < P < 3$ мВт) и микромощных ($1 < P < < 300$ мкВт) цифровых ИМС размеры всех областей транзистора стремятся выполнить минимальными, на пределе возможностей технологии, хотя это может привести к снижению выхода годных изделий.

Обычно анализируют несколько типовых конфигураций транзисторов, представленных на рис. 1.37, где сплошными линиями обозначены границы диффузионных областей, а пунктирными — границы вскрытия окон в пленке двуокиси кремния для последующего формирования металлических контактов. Для микромощных схем наиболее пригодна полосковая конструкция транзистора (рис. 1.37, а, в).

Взаимное расположение контактов к различным областям транзисторной структуры выбирают в зависимости от конкретного топологического рисунка микросхемы и удобства расположения выводов транзистора. Если необходимо получить малое сопротивление коллектора, применяют транзисторы с увеличенной контактной областью к коллектору (рис. 1.37, б, г — ж). Для получения малого сопротивления базы и высокого коэффициента усиления используют конструкции с двумя контактами к базовой области (рис. 1.37, ж). Многоэмиттерные транзисторы (рис. 1.37, з — к) применяют во входных цепях схем транзисторно-транзисторной логики (ТТЛ). Конструкция, показанная на рис. 1.37, м, используется при формировании двух (или более) транзисторов, имеющих одинаковый потенциал на коллекторе.

Транзисторы средней ($3 < P < 25$ мВт) и большой ($25 < P < < 250$ мВт) мощностей работают в режимах высоких плотностей эмиттерного тока ($200—3000$ А/см²). Поэтому в мощных схемах целесообразны узкие эмиттеры с большим периметром.

Топологию мощного транзистора разрабатывают так, чтобы обеспечить максимальное отношение периметра эмиттера к его площади. Это значительно увеличивает активную область транзистора и обеспечивает достаточно большой рабочий ток без увеличения размеров всей структуры. На рис. 1.3 представлена топология мощ-

ного транзистора с эмиттерной областью, выполненной в виде гребенки с зубцами, расположенными по одну сторону от общей перемычки. Контакты эмиттера и базы располагаются рядом и чередуются. Возможны и другие варианты топологии эмиттерной области. Такие транзисторы используют в выходных каскадах ИМС, когда требуется обеспечить достаточно большие мощности.

Отметим, что усложнение конструкции транзисторов повышенной мощности приводит к ряду нежелательных эффектов. Так, в результате технологического разброса параметров отдельные эле-

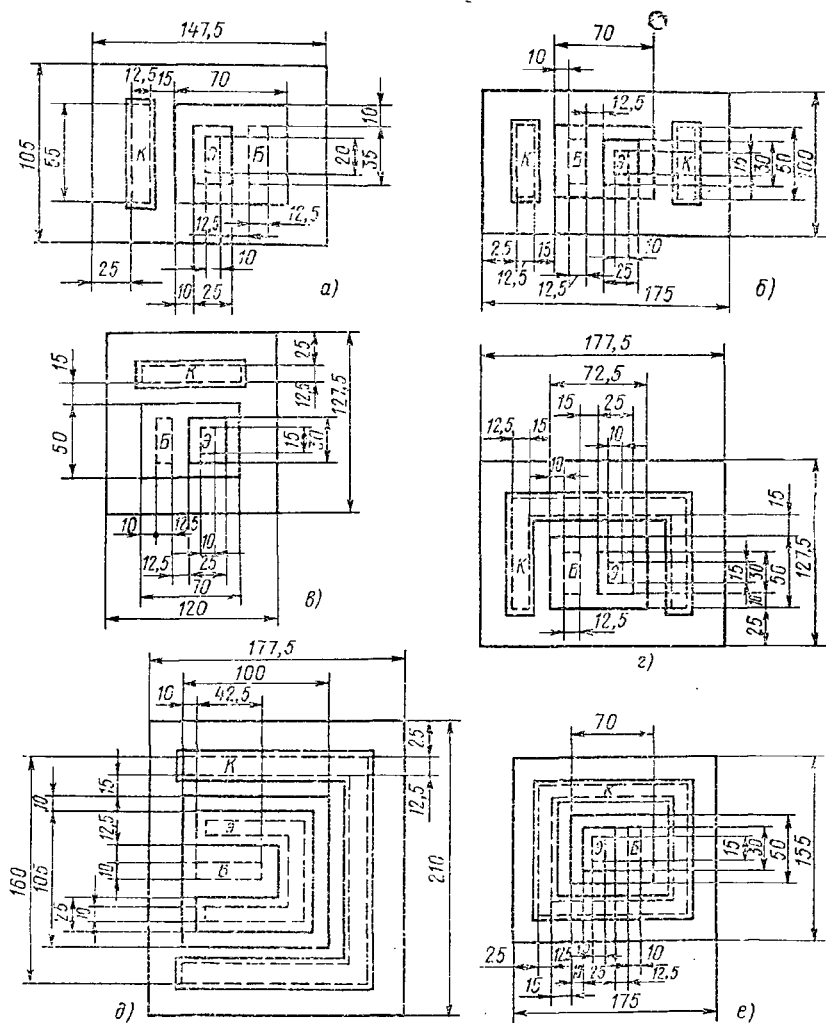


Рис. 1.37. Банк данных о топологии интегральных биполярных транзисторов: одноэмиттерных (а—ж); многоэмиттерных (з—л); с общим коллектором (м)

менты транзистора имеют различные сопротивления и входят в режим насыщения не одновременно. Это приводит к перегрузке низкоомных элементов.

- Для формирования транзисторов типа *p-n-p* одновременно с транзисторами типа *n-p-n* в одном технологическом процессе используют латеральные структуры (см. рис. 1.6, 1.7), в которых кол-

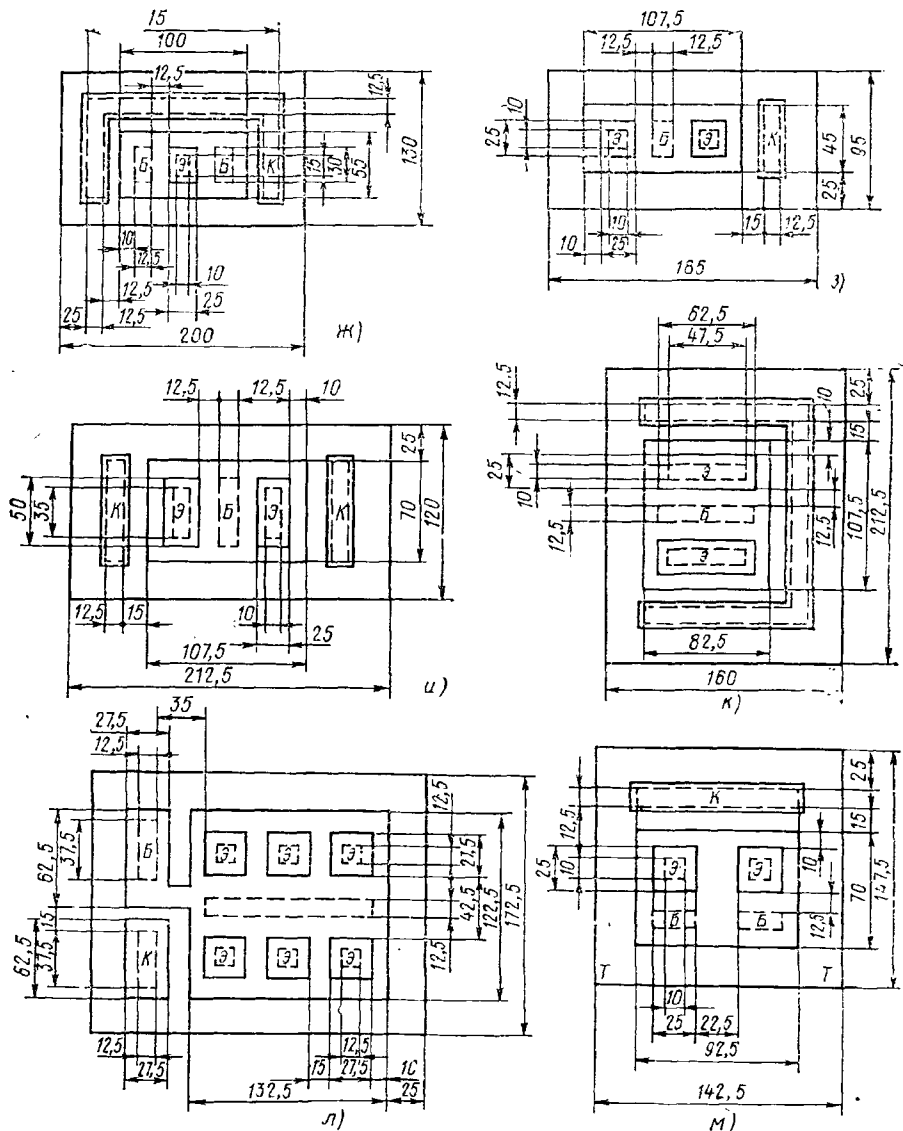


Рис. 1.37. Продолжение

лкторную область располагают вокруг эмиттера для увеличения коэффициента усиления.

Конструирование и выбор структуры диодов ИМС. Банк данных диодных структур, выполненных по планарно-эпитаксиальной технологии, представлен на рис. 1.38, *a — в*. Диоды, сформированные на основе перехода эмиттер — база (см. рис. 1.11), характеризуются наименьшими значениями обратного тока за счет самой малой площади и самой узкой области объемного заряда. Обычно структурам диодов соответствуют обратные токи в пределах 0,1—50,0 мА (см. табл. 1.3).

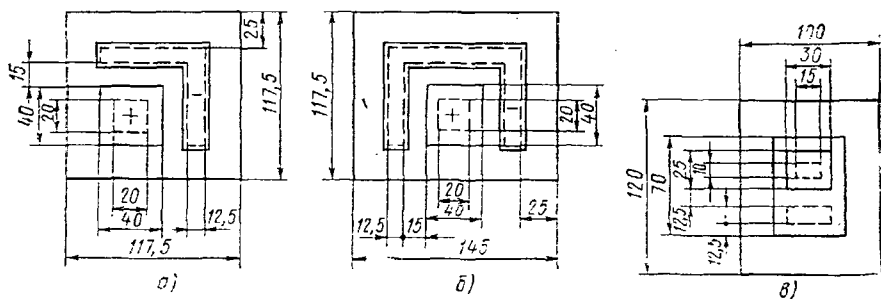


Рис. 1.38. Банк данных о топологии интегральных диодов: на переходе Б — К (*a, б*), на переходе Б — Э (*в*)

Наименьшей паразитной емкостью ($\sim 1,2$ пФ) также обладают диодные структуры на основе перехода эмиттер — база. Для других структур значение паразитной емкости порядка 3 пФ.

Быстродействие диодов кроме паразитной емкости характеризуется временем восстановления обратного сопротивления, т. е. временем переключения диода из открытого состояния в закрытое. Оно минимально (около 10 нс) для перехода эмиттер — база при условии, что переход коллектор — база закорочен (см. рис. 1.11, *a*), так как при такой диодной структуре заряд накапливается только в базовом слое. В других структурах заряд накапливается не только в базе, но и в коллекторе и время восстановления обратного сопротивления составляет 50—100 нс.

Из анализа параметров диодов можно заключить, что диод на основе транзисторной структуры с замкнутым переходом база — коллектор предпочтительнее использовать в цифровых ИМС, поскольку он обеспечивает наибольшее быстродействие. Диод на основе перехода эмиттер — база применяют в цифровых схемах в качестве накопительного диода. Диоды с замкнутым переходом база — эмиттер и диоды на основе перехода база — коллектор, имеющие наибольшие напряжения пробоя, могут быть использованы в качестве диодов общего назначения.

§ 1.4. Разработка топологии ИМС

Основой для разработки топологии полупроводниковой ИМС являются электрическая схема, требования к электрическим параметрам и к параметрам активных и пассивных элементов, конструктивно-технологические требования и ограничения.

Разработка чертежа топологии включает в себя такие этапы: выбор конструкции и расчет активных и пассивных элементов ИМС; размещение элементов на поверхности и в объеме подложки и создание рисунка разводки (коммутации) между элементами; разработку предварительного варианта топологии; оценку качества топологии и ее оптимизацию; разработку окончательного варианта топологии. Целью работы конструктора при разработке топологии является минимизация площади кристалла ИМС, минимизация суммарной длины разводки и числа пересечений в ней.

Конструктивно-технологические ограничения при разработке топологии ИМС на биполярных транзисторах. Электрофизические характеристики и геометрические размеры вертикальной структуры элементов ИМС, формируемых по планарно-эпитаксиальной технологии, приведены в табл. 1.1.

Важнейшей технологической характеристикой, определяющей горизонтальные размеры областей транзисторов и других элементов ИМС, является минимальный геометрический размер, который может быть уверенно сформирован при заданном уровне технологии, например минимальная ширина окна в окисле кремния, минимальная ширина проводника, минимальный зазор между проводниками, минимальное расстояние между краями эмиттерной и базовой областей и т. д. Пусть минимальный размер, который может обеспечить технология, равен d . Тогда размеры активных областей и самого транзистора при минимальной его площади определяются величинами, приведенными на рис. 1.39. Зазор между областями, занимаемой транзистором, и другими элементами ИМС больше минимального размера d на величину боковой диффузии под окисел, которая при разделительной диффузии примерно равна толщине эпитаксиального слоя d_0 . Таким образом, при минимальном размере 10 мкм минимальная длина транзистора простейшей конструкции будет равна $\sim 130 \text{ мкм}$. При достигнутом в настоящее время уровне технологии, характеризующемся минимальным размером 4 мкм , минимальная длина транзистора равна $\sim 60 \text{ мкм}$. При минимальном размере $1,5\text{--}2 \text{ мкм}$, предельном для оптической фотолитографии, размер транзистора при $d_0 = 3 \text{ мкм}$ составит $\sim 28 \text{ мкм}$.

Приведенные рассуждения верны, если суммарная величина боковой диффузии при формировании базовой и эмиттерной обла-

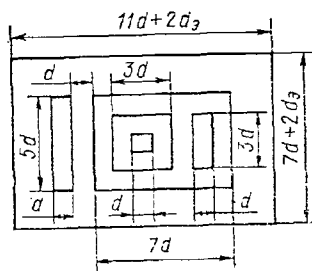


Рис. 1.39. Соотношение размеров областей транзистора со стандартным размером d

стей существенно меньше d . Если это условие не выполняется, то для минимально допустимого топологического зазора между двумя диффузионными областями справедливо соотношение

$$d_{\text{до}} \geq y_1 + y_2 + \delta_{\text{ф}} + \omega_1, \quad (1.17)$$

где y_1 и y_2 — величины боковой диффузии под окисел; $\delta_{\text{ф}}$ — суммарная допустимая ошибка в положении края окон под диффузию за счет фотолитографии; ω_1 — максимальная ширина области объемного заряда в работающем приборе.

Приведенное неравенство можно не учитывать при $d=10$ мкм (см., например, рис. 1.40), но при $d \leq 5$ мкм с ним приходится считаться и снижение линейных размеров транзисторов с дальнейшим уменьшением d будет проходить уже не столь высокими темпами.

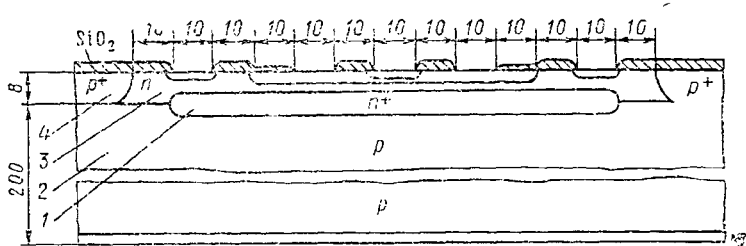


Рис. 1.40. Вертикальная структура планарно-эпитаксиального биполярного транзистора с двумя выводами базы и кольцевым выводом коллектора, выполненная в масштабе (разводка не показана):

1 — скрытый n^+ -слой; 2 — подложка p -типа; 3 — коллектор (эпитаксиальный слой); 4 — область разделительной диффузии

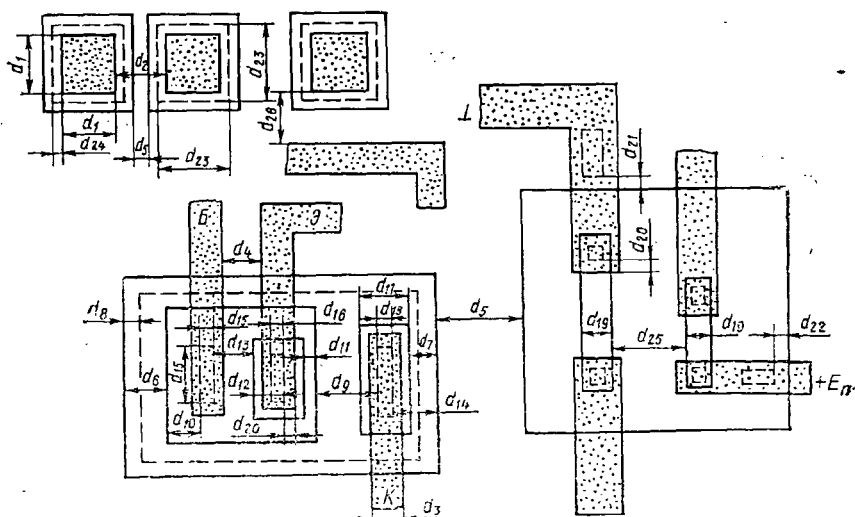


Рис. 1.41. Конструктивно-технологические ограничения при разработке топологии ИМС на биполярных транзисторах

Конструктивно-технологические ограничения, которые необходимо учитывать при разработке топологии ИМС на биполярных транзисторах, приведены на рис. 1.41. Приведем конструктивно-технологические ограничения при конструировании ИМС на биполярных транзисторах, выполненных по планарно-эпитаксиальной технологии с использованием изоляции p - n -переходом.

Минимально допустимые размеры, мкм

Ширина линии скрайбирования слоя	60
Расстояние от центра скрайбирующей полосы до края слоя металлизации или до края диффузионной области	50—100
Размер контактных площадок для термокомпрессионной приварки проводников d_1	100×100
Расстояние между контактными площадками d_2	70
Размер контактных площадок тестовых элементов рабочей схемы	50×50
Ширина проводника d_3 :	
при длине ≤ 50 мкм	4
при длине ≥ 50 мкм	6
Расстояние между проводниками d_4 :	
при длине ≤ 50 мкм	3
при длине ≥ 50 мкм	4
Ширина области разделительной диффузии d_5	4
Расстояние от базы до области разделительной диффузии d_6	10
Расстояние между краем области подлегирования коллекторного контакта и краем разделительной области d_7	10
Расстояние между краем разделительной области и краем скрытого n^+ -слоя d_8	10
Расстояние между краем контактного окна в окисле к коллектору и краем базы d_9	7
Расстояние между краем контактного окна в окисле к базе и краем базы d_{10}	3
Расстояние между эмиттерной и базовой областями d_{11}	3
Расстояние между краем контактного окна в окисле к эмиттеру и краем эмиттера d_{12}	3
Расстояние между контактным окном к базе и эмиттером d_{13}	4
Расстояние между базовыми областями, сформированными в одном коллекторе	9
Расстояние между эмиттерными областями, сформированными в одной базе	6
Расстояние между контактным окном к коллектору и областью разделительной диффузии d_{14}	10
Размеры контактного окна к базе d_{15}	4×6
Размеры контактного окна к эмиттеру d_{16}	4×4 или 3×5
Ширина области подлегирования n^+ -слоя в коллекторе d_{17}	8
Ширина контактного окна к коллектору d_{18}	4
Ширина резистора d_{19}	5
Размеры окна вскрытия в окисле	2,5×2,5
Перекрытие металлизацией контактных окон в окисле к элементам ИМС d_{20}	2
Расстояние от края контактного окна к p^+ -разделительным областям для подачи смещения до края области разделения d_{21}	6

Расстояние от края контактного окна к изолированным областям n -типа для подачи смещения до края области разделения d_{22}	6
Ширина диффузионной перемычки	3
Размер окна в пассивирующем окисле d_{23}	100×100
Расстояние от края окна в пассивации до края контактной площадки d_{24}	6
Расстояние между соседними резисторами d_{25}	7
Расстояние между диффузионными и ионно-легированными резисторами	4
Расстояние между контактной площадкой и проводящей дорожкой d_{26}	20
Ширина скрытого n^+ -слоя	1
Расстояние между контактными площадками тестовых элементов	40

Следует обращать особое внимание на размеры топологических зазоров, так как при неоправданно малых их значениях ИМС или не будет функционировать из-за перекрытия областей структуры (например, базовой области и области разделительной диффузии), или будет иметь искаженные параметры за счет усиления паразитных связей между элементами. С другой стороны, завышение размеров топологических зазоров приводит к увеличению площади кристалла.

Правила проектирования топологии полупроводниковой ИМС. Разработка топологии ИМС — творческий процесс, и его результаты существенно зависят от индивидуальных способностей разработчика, его навыков и знаний. Сущность работы по созданию топологии ИМС сводится к нахождению такого оптимального варианта взаимного расположения элементов схемы, при котором обеспечиваются высокие показатели эффективности производства и качества ИМС: низкий уровень бракованных изделий, низкая стоимость, материалоемкость, высокая надежность, соответствие получаемых электрических параметров заданным. Приводимые здесь правила проектирования являются обобщением опыта проектирования ИМС на биполярных транзисторах.

К разработке топологии приступают после того, как количество, типы и геометрическая форма элементов ИМС определены.

Правила проектирования изолированных областей. Количество и размеры изолированных областей оказывают существенное влияние на характеристики ИМС, поэтому:

1) суммарная площадь изолирующих p - n -переходов должна быть минимальной, так как их емкость является паразитной. Минимальные размеры изолированной области определяются геометрическими размерами находящихся в ней элементов и зазорами, которые необходимо выдерживать между краем изолированной области и элементами и между самими элементами, размещенными в одной изолированной области;

2) к изолирующим p - n -переходам всегда должно быть приложено напряжение обратного смещения, что практически осуществляется подсоединением подложки p -типа, или области разделительной диффузии p -типа, к точке схемы с наиболее отрицательным

потенциалом. При этом суммарное обратное напряжение, приложенное к изолирующему *p-n*-переходу, не должно превышать напряжения пробоя;

3) диффузионные резисторы, формируемые на основе базового слоя, можно располагать в одной изолированной области, которая подключается к точке схемы с наибольшим положительным потенциалом. Обычно такой точкой является контактная площадка ИМС, на которую подается напряжение смещения от коллекторного источника питания (рис. 1.42, а, б);

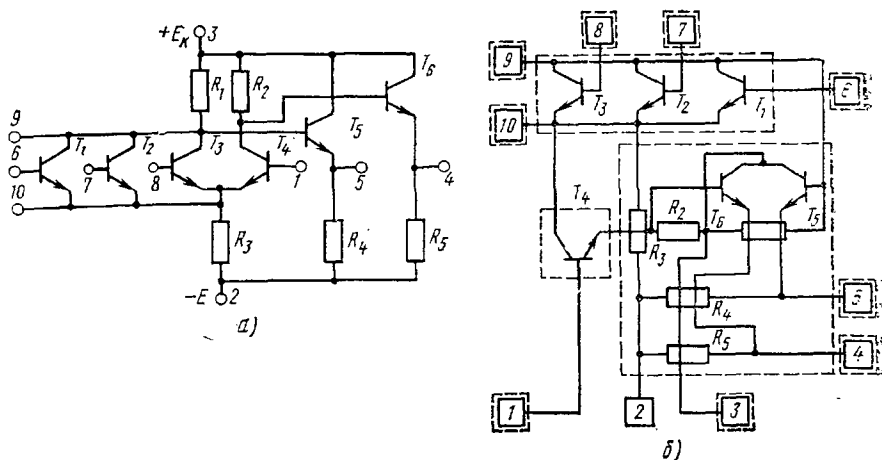


Рис. 1.42. Принципиальная электрическая схема цифровой ИМС на токовых ключах (а) и преобразованная электрическая схема для составления эскиза топологии (б)

4) резисторы на основе эмиттерного и коллекторного слоев следует располагать в отдельных изолированных областях;

5) транзисторы типа *n-p-n*, коллекторы которых подсоединены непосредственно к источнику питания, целесообразно размещать в одной изолированной области вместе с резисторами;

6) транзисторы типа *n-p-n*, которые включены по схеме с общим коллектором, можно располагать в одной изолированной области;

7) все другие транзисторы, кроме упомянутых в п. 5 и 6, необходимо располагать в отдельных изолированных областях, т. е. все коллекторные области, имеющие различные потенциалы, должны быть изолированы;

8) для уменьшения паразитной емкости между контактными площадками и подложкой, а также для защиты от короткого замыкания в случае нарушения целостности пленки окисла под ними при приварке проволочных выводов под каждой контактной площадкой создают изолированную область, за исключением контактных площадок с наиболее отрицательным потенциалом;

9) количество изолированных областей для диодов может сильно изменяться в зависимости от типа диодов и способов их вклю-

чения. Если в качестве диодов используются переходы база — коллектор, то для каждого диода требуется отдельная изолированная область, так как каждый катод (коллекторная область n -типа) должен иметь отдельный вывод (рис. 1.43, *а*). Если в качестве диодов используются переходы эмиттер — база, то все диоды можно поместить в одной изолированной области. При этом все катоды диодов (эмиттерные области) сформированы отдельно в общем аноде (базовой области, рис. 1.43, *б*). Аноды диодов с помощью соединительной металлизации закорачивают на изолированную (коллекторную) область;

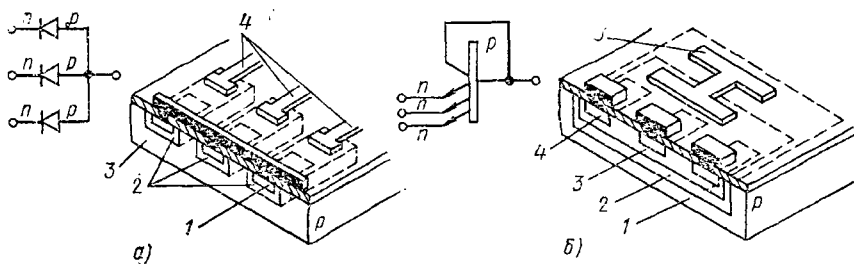


Рис. 1.43. Принципиальные электрические схемы и конструкции трех диодов с общими анодами:

а — на основе перехода Б—К (1 — базовые области p -типа; 2 — коллекторные области n -типа; 3 — подложка; 4 — коллекторные контакты); *б* — на основе перехода БК—Э (1 — подложка; 2 — коллекторная область n -типа; 3 — базовая область p -типа; 4 — эмиттерные области n -типа; 5 — перемычка коллектор — база).

10) для диффузионных конденсаторов требуются отдельные изолированные области. Исключение составляют случаи, когда один из выводов конденсатора является общим с другой изолированной областью;

11) для диффузионных перемычек всегда требуются отдельные изолированные области.

Правила размещения элементов ИМС на площади кристалла. После определения количества изолированных областей приступают к их размещению в нужном порядке, размещению элементов, соединению элементов между собой и с контактными площадками, руководствуясь следующими правилами:

1) при размещении элементов ИМС и выполнении зазоров между ними необходимо строго выполнять ограничения (см. рис. 1.41), соответствующие типовому технологическому процессу;

2) резисторы, у которых нужно точно выдерживать отношение номиналов, должны иметь одинаковую ширину и конфигурацию и располагаться рядом друг с другом. Это относится и к другим элементам ИМС, у которых требуется обеспечить точное соотношение их характеристик;

3) резисторы с большой мощностью не следует располагать вблизи активных элементов;

4) диффузионные резисторы можно пересекать проводящей дорожкой поверх слоя окисла кремния, покрывающего резистор (см. рис. 1.42, б);

5) форма и место расположения конденсаторов не являются критическими;

6) соединения, используемые для ввода питания, заземления, входной и выходной выводы, необходимо выполнять в виде широких и коротких полосок, что уменьшает паразитные сопротивления;

7) для улучшения развязки между изолированными областями контакт к подложке следует располагать рядом с мощным транзистором или как можно ближе к входу или выходу схемы;

8) число внешних выводов в схеме, а также порядок расположения и обозначения контактных площадок выводов ИМС на кристалле должны соответствовать выводам корпуса;

9) коммутация в ИМС должна иметь минимальное количество пересечений и минимальную длину проводящих дорожек. Если полностью избежать пересечений не удастся, их можно осуществить, используя обкладки конденсаторов, формируя дополнительные контакты к коллекторным областям транзисторов, применяя диффузионные перемычки и, наконец, создавая дополнительный слой изоляции между пересекающимися проводниками;

10) первую контактную площадку располагают в нижнем левом углу кристалла и отличают от остальных по ее положению относительно фигур совмещения или заранее оговоренных элементов топологии. Нумерацию остальных контактных площадок проводят против часовой стрелки. Контактные площадки располагают в зависимости от типа выбранного корпуса по периметру кристалла или по двум противоположным его сторонам;

11) фигуры совмещения располагают одной-двумя группами на любом свободном месте кристалла;

12) при разработке аналоговых ИМС элементы входных дифференциальных каскадов должны иметь одинаковую топологию и быть одинаково ориентированными в плоскости кристалла; для уменьшения тепловой связи входные и выходные каскады должны быть максимально удалены; для уменьшения высокочастотной связи через подложку контакт к ней следует осуществлять в двух точках — вблизи входных и выходных каскадов.

Рекомендации по разработке эскиза топологии. Для обеспечения разработки эскиза топологии рекомендуется с самого начала вычертить принципиальную электрическую схему так, чтобы ее выводы были расположены в необходимой последовательности (см. рис. 1.42, б). Каждая линия, пересекающая резистор на принципиальной электрической схеме, будет соответствовать металлизированной дорожке, пересекающей диффузионный резистор по окислу на топологической схеме.

На этапе эскизного проектирования топологии необходимо предусмотреть решение следующих задач: расположить как можно большее число резисторов в одной изолированной области; подать наибольший потенциал на изолированную область, где размещены

резисторы; подать наиболее отрицательный потенциал на подложку вблизи мощного транзистора выходного каскада; рассредоточить элементы, на которых рассеиваются большие мощности; расположить элементы с наименьшими размерами и с наименьшими запасами на совмещение в центре эскиза топологии; сократить число изолированных областей и уменьшить периметр каждой изолированной области.

В случае если принципиальная электрическая схема содержит обособленные группы или периодически повторяющиеся группы элементов, объединенных в одно целое с точки зрения выполняемых ими функций, разработку рекомендуется начинать с составления эскизов топологии для отдельных групп элементов, затем объединить эти эскизы в один, соответствующий всей схеме.

На основе эскиза разрабатывают предварительный вариант топологии, который вычерчивают на миллиметровой бумаге в выбранном масштабе, обычно 100:1 или 200:1 (выбирают масштабы, кратные 100). Топологию проектируют в прямоугольной системе координат. Каждый элемент топологии представляет собой замкнутую фигуру со сторонами, состоящими из отрезков прямых линий, параллельных осям координат. Придание элементам форм в виде отрезков прямых линий, не параллельных осям координат, допустимо только в тех случаях, когда это приводит к значительному упрощению формы элемента. Например, если форма элемента состоит из ломаных прямых, составленных в виде «ступенек» с мелким шагом, рекомендуется заменить их одной прямой линией. Координаты всех точек, расположенных в вершинах углов ломаных линий, должны быть кратны шагу координатной сетки.

При вычерчивании чертежа топологии на миллиметровой бумаге принимают минимальный шаг координатной сетки, равный 0,5 мм. Можно выбрать другой шаг, но он должен быть кратным минимальному. Действительный (на кристалле) размер шага координатной сетки зависит от выбранного масштаба топологии.

При вычерчивании общего вида топологии рекомендуется использовать линии разного цвета для различных слоев ИМС: эмиттерного — черный, базового — красный, разделительного (коллекторного) — зеленый, вертикального — черный пунктирный, скрытого — зеленый пунктирный, металлизации — желтый, окна в окисле для контакта к элементам — синий пунктирный, окна в пассивирующем (защитном) окисле — синий сплошной.

В процессе вычерчивания топологии для получения оптимальной компоновки возможно изменение геометрии пассивных элементов, например пропорциональное увеличение длины и ширины резисторов или их многократный изгиб, позволяющие провести над резистором полоски металлической разводки или получить более плотную упаковку элементов. При изменении формы пассивных элементов в процессе их размещения проводят корректировочные расчеты в соответствии с формулами и рекомендациями, изложенными в § 1.3.

При проектировании слоя металлизации размеры контактных площадок и проводников следует брать минимально допустимыми, а расстояния между ними — максимально возможными.

После выбора расположения элементов и контактных площадок, создания рисунка разводки необходимо разместить на топологии фигуры совмещения, тестовые элементы (транзисторы, резисторы и т. д. — приборы, предназначенные для замера электрических параметров отдельных элементов схемы), реперные знаки. Фигуры совмещения могут иметь любую форму из приведенных на рис. 1.27 (чаще всего квадрат или крест), причем надо учесть, что на каждом фотошаблоне, кроме первого и последнего, имеются две фигуры, расположенные рядом друг с другом. Меньшая фигура предназначена для совмещения с предыдущей технологической операцией, а большая — с последующей. На первом фотошаблоне расположена только большая фигура, а на последнем — только меньшая.

При разработке топологии важно получить минимальную площадь кристалла ИМС. Это позволяет увеличить производительность, снизить материалоемкость и повысить выход годных ИМС, поскольку на одной полупроводниковой пластине можно разместить большее число кристаллов и уменьшить вероятность попадания дефектов, приходящихся на кристалл. При размерах стороны кристалла до 1 мм ее величину выбирают кратной 0,05 мм, а при размерах стороны кристалла 1—2 мм — кратной 0,1 мм.

Для любой принципиальной электрической схемы можно получить много приемлемых предварительных вариантов топологии, удовлетворяющих электрическим, технологическим и конструктивным требованиям. Любой предварительный вариант подлежит дальнейшей доработке.

Если после уплотненного размещения всех элементов на кристалле выбранного размера осталась незанятая площадь, рекомендуется перейти на меньший размер кристалла. Если этот переход невозможен, то незанятую площадь кристалла можно использовать для внесения в топологию изменений, направленных на снижение требований к технологии изготовления полупроводниковой ИМС. Например, можно увеличить размеры контактных площадок и расстояния между контактными площадками, ширину проводников и расстояния между ними, по возможности выпрямить элементы разводки, резисторы, границы изолированных областей.

В заключение производят контрольно-проверочные расчеты полученной топологии микросхемы, включающие в себя оценку теплового режима и паразитных связей.

Проверка правильности разработки топологии ИМС. Последний из составленных и удовлетворяющий всем требованиям вариант топологии подвергают проверке в такой последовательности. Проверяют соответствие технологическим ограничениям: минимальных расстояний между элементами, принадлежащими одному и разным слоям ИМС; минимальных размеров элементов, принятых в данной технологии, и других технологических ограничений; наличие фигур совмещения для всех слоев ИМС;

размеров контактных площадок для присоединения гибких выводов; расчетных размеров элементов их размерам на чертеже топологии; мощности рассеяния резисторов, максимально допустимой удельной мощности рассеяния ($P_0 = P/S_R \approx 10^3 \div 10^4$ мВт/мм²), а также обеспечение возможности контроля характеристик элементов ИМС.

Разработка документации на комплект фотошаблонов для производства ИМС. Исходя из окончательного и проверочного варианта топологии ИМС, выполняют чертежи слоев схемы, необходимые для создания комплекта фотошаблонов. Для ИМС со скрытым слоем и изоляцией элементов *p-n*-переходами, изготавливаемой по планарно-эпитаксиальной технологии, необходим комплект из семи фотошаблонов для проведения следующих фотолитографических операций: 1 — вскрытия окон в окисле под локальную диффузию донорной примеси при создании скрытых слоев перед операцией эпитаксии; 2 — вскрытия окон в окисле под разделительную диффузию акцепторной примеси при создании изолирующих областей; 3 — вскрытия окон в окисле под локальную диффузию акцепторной примеси при создании базовой области транзисторов и резисторов; 4 — вскрытия окон в окисле под локальную диффузию донорной примеси при создании эмиттерных областей транзисторов, резисторов, диффузионных перемычек и приконтактных областей в коллекторах транзисторов; 5 — вскрытия окон в окисле под контакты разводки к элементам ИМС; 6 — фотолитографии по пленке алюминия для создания рисунка разводки и контактных площадок; 7 — фотолитографии по пленке защитного диэлектрика для вскрытия окон к контактным площадкам ИМС.

Пример разработки топологии ИМС

На рис. 1.44 а представлена принципиальная электрическая схема логического элемента И — НЕ диодно-транзисторной логики. Активными элементами схемы являются транзистор промежуточного каскада T_1 , транзистор выходного каскада T_2 , входные диоды D_1 — D_4 , диод промежуточного каскада D_5 , пассивными элементами — резисторы R_1 — R_4 .

После проверочного расчета схемы проводят расчет геометрических (топологических) размеров пассивных и активных элементов.

Для схемы рис. 1.44 а в качестве транзистора промежуточного каскада T_1 выбран из банка транзисторов одноэмиттерный однобазовый транзистор с полосковой контактной областью к коллектору (см. рис. 1.37, в). На основе структуры транзистора T_1 сформированы диод D_5 и тестовый транзистор (рис. 1.44 в).

Транзистор выходного каскада T_2 является более мощным. В качестве этого транзистора выбран одноэмиттерный однобазовый транзистор с П-образной контактной областью к коллектору (см. рис. 1.37, з).

В качестве входных диодов D_1 — D_4 выбран диод на основе *p-n*-перехода база — коллектор транзисторной структуры. Диод промежуточного каскада D_5 выполняют на переходе эмиттер — база той же транзисторной структуры. Исходными данными для разработки эскиза топологии являются принципиальная электрическая схема, геометрические размеры активных элементов, геометрические размеры резисторов. Проектирование эскиза топологии (рис. 1.44 б) рекомендуется начинать с какой-либо контактной площадки, затем последовательно переходить от одного элемента к другому, по возможности располагая элементы, соединенные между собой, в непосредственной близости друг от друга и учитывая требования к расположению контактных площадок. На рис. 1.44 б показан первый вариант эскиза топологии логического элемента И — НЕ.

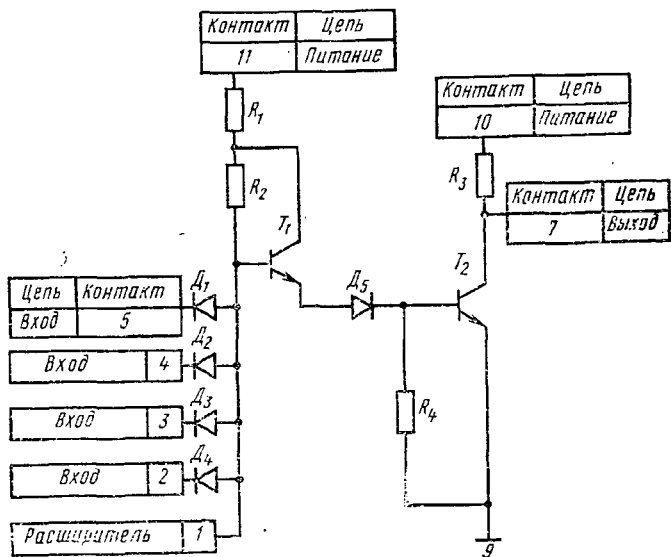


Рис. 1.44а. Принципиальная электрическая схема логического элемента И — НЕ

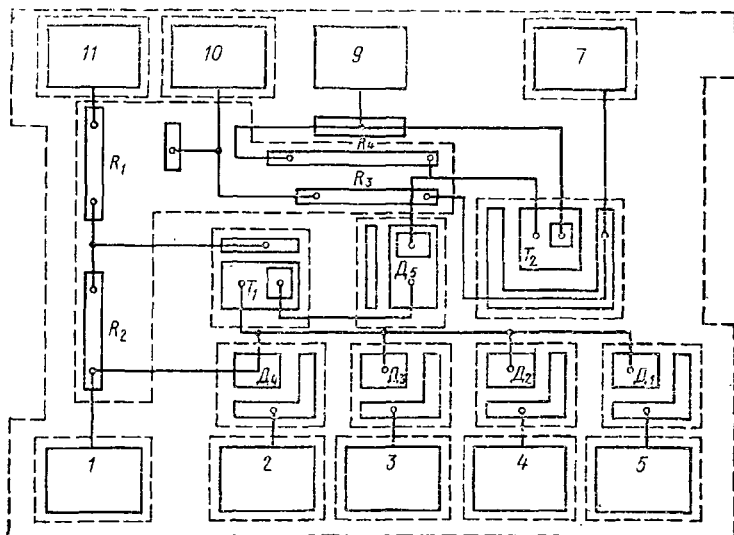


Рис. 1.44б. Эскиз топологии логического элемента И — НЕ

Окончательный вид топологии приведен на рис. 1.44 в. На кристалле предусмотрен тестовый транзистор, предназначенный для контроля параметров транзисторов схемы. Он имеет такую же конфигурацию, что и транзистор T_1 . Контакт-

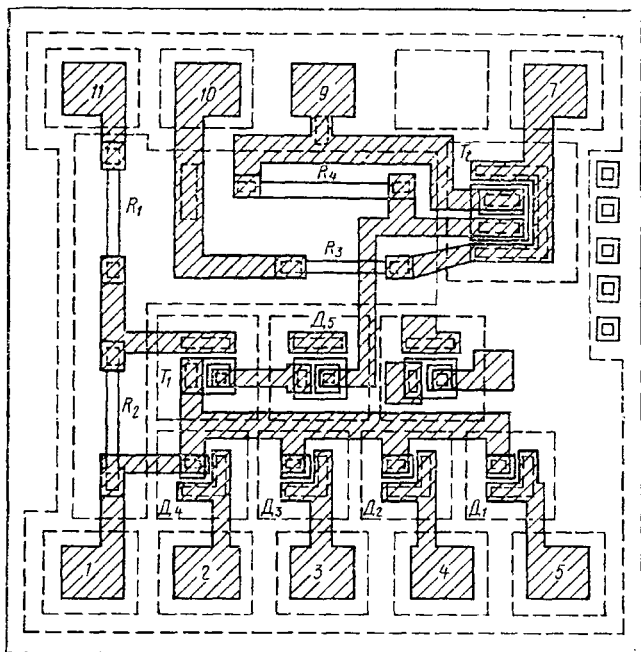


Рис. 1.44в. Топология логического элемента И — НЕ

ные площадки тестового транзистора имеют форму, отличную от формы контактных площадок схемы.

Фигуры совмещения имеют форму квадратов. Запас на совмещение для квадратов составляет 5 мкм.

Глава 2

КОНСТРУИРОВАНИЕ И ТЕХНОЛОГИЯ ПОЛУПРОВОДНИКОВЫХ ИМС НА УНИПОЛЯРНЫХ ТРАНЗИСТОРАХ

§ 2.1. Механизм работы и классификация МДП-транзисторов

МДП-транзисторы отличаются от биполярных транзисторов, поскольку механизм их работы основан на перемещении только основных носителей заряда. В связи с этим их называют *униполярными*. Эти транзисторы имеют преимущества перед биполярными: малый уровень шумов, большая стойкость к радиационным излучениям, устойчивость от перегрузок по току, высокое входное сопротивление. К недостаткам следует отнести меньшее быстродействие,

худшую технологическую воспроизводимость параметров и большую временную нестабильность.

МДП-транзистор имеет четыре электрода, которые называют истоком, стоком, затвором и подложкой (рис. 2.1, а). Принцип действия МДП-транзистора основан на эффекте изменения электропроводности поверхностного слоя полупроводника между стоком и истоком под действием напряжения, приложенного к управляющему электроду (затвору), отделенному от поверхности полупроводника тонким слоем диэлектрика. Участок полупроводника с изменяющейся электропроводностью называют каналом и изображают на чертежах в виде скрещенных тонких линий.

Существуют две разновидности МДП-транзисторов: с встроенным каналом и с индуцированным каналом.

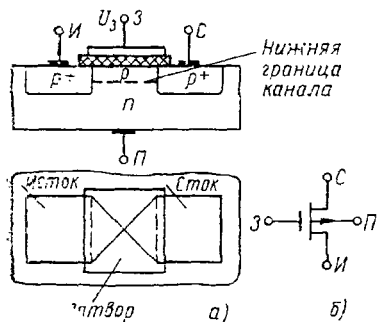


Рис. 2.1. МДП-транзистор с индуцированным каналом *n*-типа:

а — упрощенная конструкция; б — условное обозначение

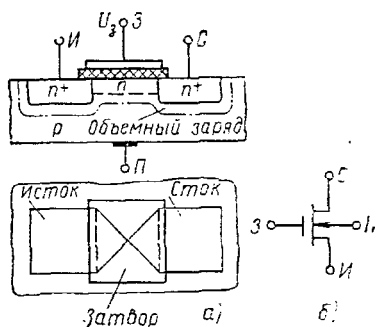


Рис. 2.2. МДП-транзистор с индуцированным каналом *p*-типа:

а — упрощенная конструкция; б — условное обозначение

В МДП-транзисторе с индуцированным каналом (рис. 2.1, а, 2.2, а) при нулевом напряжении на затворе канал отсутствует. Если увеличивать напряжение на затворе (по модулю), то при некотором значении напряжения затвор — исток U_0 , называемом пороговым напряжением, на поверхности полупроводника будет индуцироваться инверсный слой, электропроводность которого совпадает с электропроводностью истока и стока. В результате образования этого слоя области стока и истока оказываются соединенными тонким токопроводящим каналом и во внешней цепи возникает ток.

Структура МДП-транзистора с встроенным каналом такова, что создание канала в тонком приповерхностном слое полупроводника предусматривается самой технологией производства. Поэтому конструкция такого транзистора будет отличаться от конструкций, представленных на рис. 2.1, а, 2.2, а, изображением нижней границы канала сплошной линией. Электропроводность канала обязательно совпадает с электропроводностью стока и истока. Поскольку электропроводность подложки обратна электропроводности канала, области стока, истока и канала отделены от подложки

p-n-переходом. Ток в канале такого транзистора может возникать и при нулевом смещении на затворе.

Исток и сток в принципе обратимы, и их можно менять местами при включении транзистора в схему. В этом случае при симметричной структуре транзистора его параметры сохраняются, а при несимметричной структуре (сток и исток могут различаться формой, площадями) они будут отличаться.

В связи с тем, что до последнего времени наибольшее применение в цифровых ИМС получили МДП-транзисторы с индуцированным каналом, дальнейшее изложение будет относиться к транзисторам этого типа.

По электропроводности канала различают *p*-канальные и *n*-канальные МДП-транзисторы. Упрощенная конструкция этих приборов показана на рис. 2.1, а, 2.2, а, а условное обозначение на электрических схемах — на рис. 2.1, б, 2.2, б.

Существует классификация МДП-транзисторов по конструктивно-технологическим признакам (чаще по виду материала затвора) (см. § 2.3).

Интегральные микросхемы, содержащие одновременно *p*-канальные и *n*-канальные МДП-транзисторы, называют комплементарными (сокращенно КМДП-ИМС). КМДП-ИМС отличаются высокой помехоустойчивостью, малой потребляемой мощностью, высоким быстродействием. Эти преимущества, однако, достигаются за счет более сложной технологии с меньшим выходом годных схем.

§ 2.2. Особенности использования МДП-транзистора как типового схемного элемента ИМС

В электрических схемах цифровых ИМС кроме активных элементов (МДП-транзисторов) широко используют резисторы больших номиналов и конденсаторы. Резисторы являются нагрузками ключевых схем (инверторов), рассматриваемых далее, а конденсаторы находят применение при проектировании ячеек памяти запоминающих устройств.

Проектирование резисторов по аналогии с полупроводниковыми ИМС на биполярных транзисторах в МДП-ИМС является нецелесообразным по двум причинам: площадь диффузионного резистора большого номинала (≥ 20 кОм) почти на порядок превышает площадь активного МДП-прибора; паразитная емкость резистор — подложка диффузионного резистора значительна и существенно ухудшает частотные свойства схемы.

Поэтому для получения большей степени интеграции в МДП-ИМС в качестве резисторов нагрузки используют так называемые *нагрузочные МДП-транзисторы*. Эти транзисторы имеют конструкцию, сходную с МДП-транзисторами, работающими в активном режиме. Необходимый номинал резистора достигается подачей на затвор нагрузочного МДП-транзистора определенного потенциала и подбором геометрических размеров канала.

При необходимости спроектировать конденсатор в МДП-ИМС

можно использовать емкость затвор — подложка или сток (исток) — подложка МДП-транзисторов. Требуемое значение емкости конденсатора обеспечивается площадью областей затвора, стока или истока МДП-транзистора.

На основании изложенного можно утверждать, что МДП-транзистор является типовым схемным элементом МДП-ИМС и может выполнять функции как активных приборов (ключевой транзистор в инверторе, усилительный транзистор и т. д.), так и пассивных элементов (нагрузочный транзистор в инверторе, конденсатор в ячейке памяти и т. д.). Это позволяет при проектировании МДП-ИМС обходиться только использованием МДП-транзисторов, конструктивные параметры и схема включения которых будут зависеть от выполняемой функции.

§ 2.3. Технологические процессы производства МДП-ИМС

В МДП-ИМС нет необходимости применять дополнительные области для изоляции элементов друг от друга, в связи с чем степень интеграции МДП-ИМС выше, чем степень интеграции ИМС на биполярных транзисторах, а технологические маршруты их изготовления содержат меньшее количество операций.

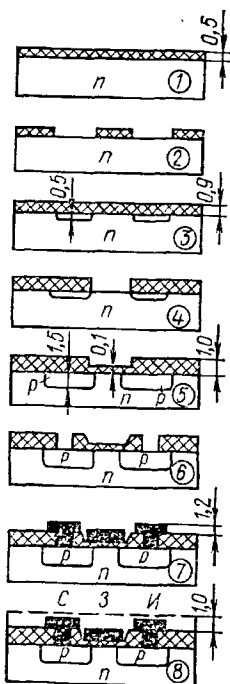
Наибольшее распространение получили следующие маршруты производства: технология МДП-ИМС на *p*-канальных транзисторах с алюминиевыми и кремниевыми затворами, технология МДП-ИМС на *n*-канальных транзисторах с кремниевыми затворами, технология КМДП-ИМС с алюминиевыми, молибденовыми или кремниевыми затворами.

На рис. 2.3 показана последовательность технологических операций при производстве *p*-канальных МДП-ИМС с алюминиевыми затворами, на рис. 2.4 — *n*-канальных МДП-ИМС с кремниевыми затворами и на рис. 2.5 — маршрут производства КМДП-ИМС с кремниевыми затворами.

Укажем лишь некоторые характерные параметры областей и слоев МДП-структур, приведенных на рис. 2.3—2.5: для ионно-легированных n^+ -областей $\rho_s = 30 \div 35 \text{ Ом}/\square$, глубина залегания

Рис. 2.3. Последовательность технологических операций при производстве *p*-канальных МДП-ИМС с алюминиевыми затворами:

1 — окисление кремниевой пластины *n*-типа; 2 — фотолитография для вскрытия окон под области стоков, истоков и диффузионных шин; 3 — локальная загонка примеси *p*-типа в поверхностную область будущих стоков и истоков методом ионного легирования и второе окисление с одновременной разгонкой примеси; 4 — фотолитография для удаления окисла с подзатворных областей; 5 — формирование подзатворного диэлектрика окислением в сухом кислороде и дополнительная разгонка примеси в областях стоков и истоков; 6 — фотолитография для вскрытия окон под контакты к областям стока, истока и диффузионным шинам; 7 — нанесение пленки алюминия и фотолитография для создания рисунка разводки; 8 — нанесение пассивирующего слоя ФСС с последующим фотолитографическим вскрытием окон над контактными площадками и областями скрайбирования



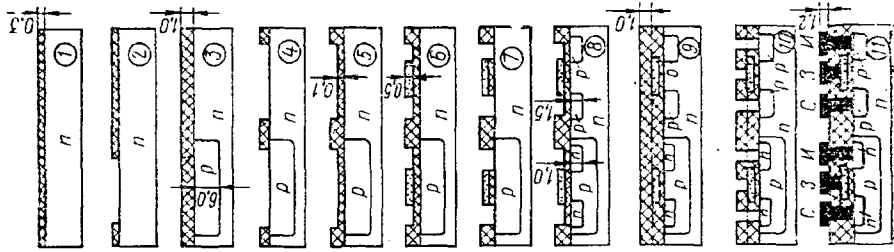


Рис. 2.5. Последовательность технологических операций при производстве КМДП-ИМС с керамическими рамками:

1 — окисление кремневой пластины P -типа; 2 — фотолитография для вскрытия окон под диффузию примеси P -типа и формирования областей n -канальных транзисторов; 3 — ионное выetchение бора во вскрытые области; окисление и одновременная разгонка бора; 4 — фотолитография для вскрытия окон под области n -канальных транзисторов, диффузионных шин и охранных колец; 5 — формирование подзатворного окисла кремния; 6 — нанесение пленки поликристаллического кремния и фотолитография по поликристаллическому кремнию для формирования кремниевых затворов и шин; 7 — фотолитография для вскрытия окон под легирование областей сток, истоков P -канальных транзисторов, P -шин и P -охранных колец и проведение затонки борным легированием, затем фотолитография для вскрытия окон под легирование областей сток, истоков n -канальных транзисторов, n -шин и n -охраняющих колец и проведение затонки фосфором и легированием; 8 — окисление и одновременная разгонка примесей в ионно-легируемых слоях; 9 — нанесение фосфоросодержащего стекла (межслойная изоляция); 10 — вскрытие окон под контакты металлов; фотолитография; 11 — напыление алюминия и фотолитография для формирования металлических проводящих дорожек, перемычек на затворы и контактных площадок

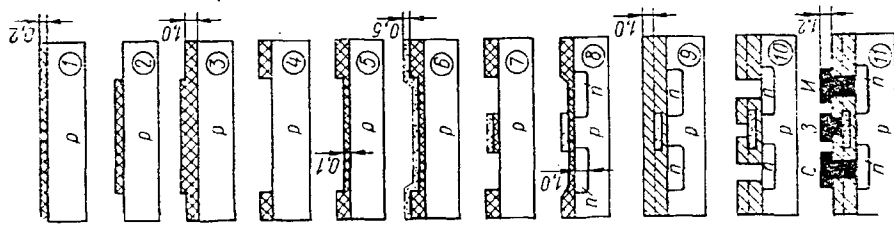


Рис. 2.4. Последовательность технологических операций при производстве n -канальных МДП-ИМС с кремниевыми затворами:

1 — окисление кремневой пластины P -типа; 2 — фотолитография для снятия окисла со всей поверхности пластины, кроме локальных областей будущих транзисторов; 3 — ионное выetchение бора во вскрытые области для снижения вероятности формирования инверсионных паразитных транзисторов с последующим повторным окислением; 4 — фотолитография для вскрытия окон под области МДП-транзистора и диффузионных шин; 5 — формирование подзатворного диэлектрика окислением в сухом кислороде; 6 — нанесение пленки поликристаллического кремния из газовой фазы; 7 — повышение проводимости пленки поликристаллического кремния путем диффузионного легирования фосфором; формирование кремниевых затворов и шин методом фотолитографии; 8 — ионное легирование фосфором областей стока, истока с последующим окислением и одновременной разгонкой фосфора; 9 — нанесение межслойной изоляции (пленка ФФС или окисла кремния); 10 — фотолитография для вскрытия окон под контакты к областям стока, истока, кремниевым затворам и шинам; 11 — напыление пленки алюминия и фотолитография для формирования рисунка металлической разводки и контактных площадок

p - n -перехода $x_j = (1,0 \pm 0,2)$ мкм; для p^+ -области $\rho_s = 40 \div 60$ Ом/□, $x_j = (1,5 \pm 0,3)$ мкм; области p -карманов, являющиеся как бы подложкой n -канального транзистора в КМДП-ИМС, легированы до концентрации $2 \cdot 10^{16}$ ат/см³ и имеют значение $x_j = (6 \pm 1)$ мкм; пленки поликристаллического кремния толщиной $\leq 0,5$ мкм, используемые в качестве проводящих шин, имеют $\rho_s \leq 50$ Ом/□ при легировании их фосфором и $\rho_s \leq 100$ Ом/□ при легировании бором. Толщина защитного окисла составляет ~ 1 мкм, толщина подзатворного окисла, получаемого методом термического окисления в сухом кислороде, $0,07 - 0,10$ мкм.

§ 2.4. Основные параметры МДП-структур и МДП-транзисторов

Для удобства проектирования МДП-ИМС целесообразно рассмотреть электрофизические параметры исходной полупроводниковой (кремниевой) подложки, а также конструктивные и электрические параметры МДП-транзисторов и их связь между собой.

К электрофизическим параметрам кремния, влияющим на характеристики МДП-структур, относятся: тип электропроводности $n(p)$; концентрация примеси в пластине N_0 , см⁻³ или удельное объемное сопротивление ρ_v , Ом·см; подвижность носителей заряда в канале μ_n или μ_p , см²/(В·с); концентрация поверхностных состояний $N_{пов}$, см⁻²; диэлектрическая проницаемость ϵ_p .

Основными конструктивными параметрами МДП-транзистора (рис. 2.6) являются: длина канала l_k , мкм; ширина канала b_k , мкм; толщина затворного диэлектрика h_d , мкм. Остальные конструктивные параметры [размеры затвора, областей стока (истока), толщина стока (истока) и т. д.] являются вспомогательными и определяются при проектировании по технологическим ограничениям на размеры МДП-структур (см. табл. 2.1).

К основным электрическим параметрам и характеристикам МДП-транзисторов относятся: стоковая характеристика $I_c = f(U_c)$ при $U_a = \text{const}$; стоко-затворная характеристика $I_c = f(U_a)$ при $U_c = \text{const}$; пороговое напряжение U_0 , В; крутизна S , А/В, и удельная крутизна S_0 , А/В²; дифференциальное сопротивление канала R_k , Ом; входное сопротивление $R_{вх}$, МОм; паразитные межэлектродные емкости $C_{зп}$, $C_{зп}$, $C_{зс}$, $C_{сп}$, $C_{ип}$, $C_{сп}$, пФ; постоянная времени канала τ_k , нс.

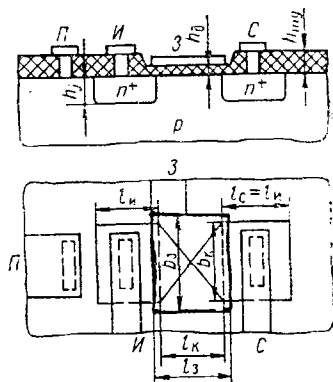


Рис. 2.6. К определению конструктивных параметров МДП-транзистора

Рассмотрим параметры U_0 , S , S_0 и R_K на основе анализа стоковых и стоко-затворных характеристик МДП-транзистора без учета токов утечки в схеме включения с общим истоком (рис. 2.7, а), как наиболее распространенной в цифровых ИМС.

Семейство стоковых характеристик n - и p -канальных МДП-транзисторов приведено на рис. 2.7, б. Условно их можно разделить на

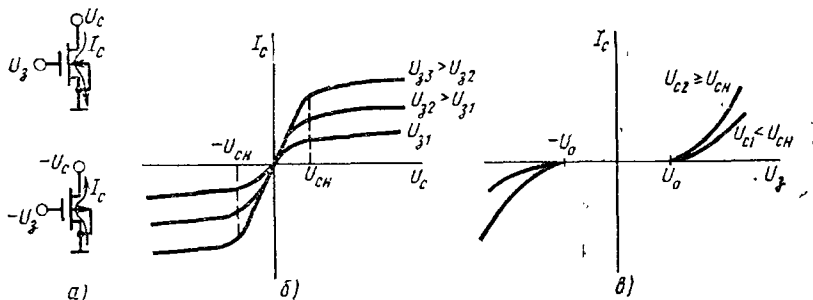


Рис. 2.7. Схемы включения (а), стоковые (б) и стоко-затворные (в) статические характеристики n - и p -канальных МДП-транзисторов

два участка: крутой и пологий, где наблюдается насыщение стокового тока I_c при достаточно большом стоковом напряжении U_0 . Границу насыщения характеризуют напряжением насыщения

$$U_{сн} = U_3 - U_0 \quad (2.1)$$

(знаки при U_3 и U_0 соответствуют типу электропроводности индуцированного канала).

Семейство стоко-затворных характеристик приведено на рис. 2.7, в. Начало всех характеристик соответствует пороговому напряжению U_0 . При стоковых напряжениях, соответствующих режиму насыщения ($U_c \geq U_{сн}$), характеристики практически сливаются.

Аналитическое выражение стоковой характеристики имеет вид

$$I_c = \frac{\mu C_{з0} b_k}{2l_k} [2U_c(U_3 - U_0) - U_c^2] \text{ при } U_c \leq U_3 - U_0 \text{ (крутой участок)}, \quad (2.2)$$

$$I_c = \frac{\mu C_{з0} b_k}{2l_k} (U_3 - U_0)^2 \text{ при } U_c > U_3 - U_0 \text{ (пологий участок)}, \quad (2.3)$$

где $C_{з0}$ — удельная емкость затвора относительно канала, определяемая по формуле

$$C_{з0} = \epsilon_0 \epsilon_d / h_d \quad (2.4)$$

(ϵ_d — диэлектрическая проницаемость затворного диэлектрика).

Усилительные свойства МДП-транзистора характеризуются крутизной стоко-затворной характеристики:

$$S = \left. \frac{\partial I_c}{\partial U_3} \right|_{U_c = \text{const.}}$$

Продифференцировав выражения (2.2), (2.3), получим значения крутизны для крутого и пологого участков стоквой характеристики соответственно:

$$S = \frac{\mu C_{з0} b_k}{l_k} U_c = S_0 U_c \text{ при } U_c \leq U_3 - U_0, \quad (2.5)$$

$$S = \frac{\mu C_{з0} b_k}{l_k} (U_3 - U_0) = S_0 (U_3 - U_0) \text{ при } U_c > U_3 - U_0, \quad (2.6)$$

где S_0 — удельная крутизна.

Из выражений (2.5), (2.6) видно, что крутизна МДП-транзистора линейно зависит от напряжения на электродах и не является однозначным параметром. Для ее определения необходимо обязательно оговорить режим работы, т. е. напряжения. Поэтому для характеристики параметров МДП-транзистора целесообразнее ввести удельную крутизну, которая выражается через электрофизические и конструктивные параметры МДП-структуры:

$$S_0 = \mu C_{з0} b_k / l_k. \quad (2.7)$$

Аналогично, дифференцируя выражение (2.2), можно определить сопротивление канала для крутого участка характеристики:

$$R_k' = \frac{1}{\partial I_c / \partial U_c} = \frac{1}{S_0 (U_3 - U_c - U_0)} \text{ при } U_c \leq U_3 - U_0. \quad (2.8)$$

Для определения сопротивления канала в пологой области стоквой характеристики существует эмпирическая формула

$$R_k' = \frac{1}{S_0' (U_3 - U_0)^n}, \quad (2.9)$$

где S_0' — удельная крутизна, вычисляемая опытным путем; $n = 1 \div 2$ — коэффициент, зависящий от технологии изготовления.

Пороговое напряжение связано с электрофизическими параметрами МДП-структуры соотношениями

$$U_0 = - \left(|\varphi_{мп}| + \frac{Q_{ss}}{C_{з0}} + \frac{Q_{п}}{C_{з0}} + 2\varphi_{\Phi_i} \right) \text{ для } p\text{-канального транзистора}, \quad (2.10)$$

$$U_0 = - |\varphi_{мп}| - \frac{Q_{ss}}{C_{з0}} + \frac{Q_{п}}{C_{з0}} + 2\varphi_{\Phi_i} \text{ для } n\text{-канального транзистора}. \quad (2.11)$$

Здесь $\varphi_{мп}$ — разность потенциалов, определяемая разницей в работах выхода полупроводника и материала затвора, в частности металла (в случае алюминиевого затвора эту величину определяют по графику рис. 2.8 по известной концентрации примесей в полупроводниковой пластине N_0 и типу ее электропроводности); Q_{ss} , $Q_{п}$ — соответственно плотности заряда поверхностных состояний на границе полупроводника и диэлектрика и пространственного заряда в полупроводнике.

Плотности зарядов определяют по выражениям

$$Q_{SS} = qN_{\text{пов}}, \quad (2.12)$$

$$Q_{\text{п}} = \sqrt{2\varepsilon_0\varepsilon_{\text{п}}N_0\varphi_{\text{Ф}_i}}, \quad (2.13)$$

где q — заряд электрона; $\varphi_{\text{Ф}_i}$ — потенциал, зависящий от положения уровня Ферми в полупроводнике относительно середины запрещенной зоны:

$$\varphi_{\text{Ф}_i} = \varphi_{\text{T}} \ln N_0/n_i, \quad (2.14)$$

где φ_{T} — температурный потенциал ($\sim 0,026$ В); n_i — собственная концентрация носителей в полупроводнике, равная для кремния $2 \cdot 10^{10}$ см $^{-3}$.

Из сравнения формул (2.10), (2.11) видно, что пороговое напряжение n -канального транзистора ниже, так как два последних слагаемых меняют знаки на обратные. Существенным резервом снижения пороговых напряжений является уменьшение разности потенциалов $\varphi_{\text{МП}}$ за счет подбора материала затвора и уменьшения плотности поверхностных состояний $N_{\text{пов}}$, которая зависит от качества поверхности и ее ориентации относительно плоскостей кристаллической решетки.

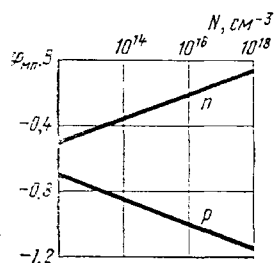


Рис. 2.8. Зависимость разности потенциалов $\varphi_{\text{МП}}$ для системы Al—Si от концентрации примеси в кремнии

Для определения паразитных емкостей и входного сопротивления необходимо снова обратиться к конструкции МДП-транзистора, представленной на рис. 2.6. Как видно из рисунка, входное сопротивление $R_{\text{вх}}$ равно сопротивлению утечки конденсатора затвор — сток (исток) или затвор — подложка и достигает десятков

сотен мегаом.

Паразитные межэлектродные емкости МДП-транзистора зависят от геометрических размеров стока, истока, затвора и определяются (при симметричном расположении стока и истока) по формулам:

емкость затвор — сток (исток)

$$C_{\text{зн}} = C_{\text{зс}} = C_{\text{з0}} b_{\text{к}} (l_{\text{з}} - l_{\text{к}}) / 2, \quad (2.15)$$

емкость затвор — подложка

$$C_{\text{зп}} = C_{\text{з0}} b_{\text{к}} l_{\text{к}}, \quad (2.16)$$

емкость сток (исток) — подложка

$$C_{\text{сп}} = C_{\text{ип}} = C_{\text{ж0}} [b_{\text{к}} l_{\text{с}} + 2(b_{\text{к}} + l_{\text{с}}) h_{\text{ж}}], \quad (2.17)$$

емкость сток — исток

$$C_{\text{си}} = C_{\text{сп}} C_{\text{ип}} / (C_{\text{сп}} + C_{\text{ип}}) = C_{\text{сп}} / 2. \quad (2.18)$$

В схеме с общим истоком (рис. 2.7, а)

$$C_{\text{си}} \approx C_{\text{сп}}. \quad (2.19)$$

Удельную емкость обратно смещенного перехода сток — подложка C_{j0} определяют по эмпирической формуле

$$C_{j0} = \sqrt{\frac{2q\epsilon_d\epsilon_0 N_0}{U_{\text{диф}} + U_{\text{см1п}}}}, \quad (2.20)$$

где $U_{\text{диф}}$ — диффузионный потенциал перехода сток — подложка ($\sim 0,7$ В); $U_{\text{см1п}}$ — минимальное напряжение стока.

При проектировании цифровых МДП-ИМС удобнее оперировать входной и выходной емкостями МДП-транзистора, которые легко выразить через межэлектродные емкости для схемы с общим истоком:

$$C_{\text{вх}} = C_{\text{зп}} + C_{\text{зп}}, \quad (2.21)$$

$$C_{\text{вых}} = C_{\text{сп}}. \quad (2.22)$$

Быстродействие МДП-транзисторов ограничивается временем релаксации заряда в активной области транзистора, которое характеризуют постоянной времени канала τ_k :

$$\tau_k = C_{\text{зп}} R_k.$$

Подставляя сюда значения из выражений (2.8), (2.7), (2.16), получим

$$\tau_k = \frac{I_k^2}{\mu(U_3 - U_0 - U_c)} \text{ при } U_c \ll U_3 - U_0. \quad (2.23)$$

Постоянная времени канала, равная 10^{-9} — 10^{-10} с, много меньше постоянных времени внешних цепей транзистора, которыми и определяются частотные характеристики МДП-ИМС.

Рассмотренные параметры МДП-транзистора отражены на эквивалентной схеме рис. 2.9, а, где через $R_{\text{ип}}$ и $R_{\text{сп}}$ обозначены со-

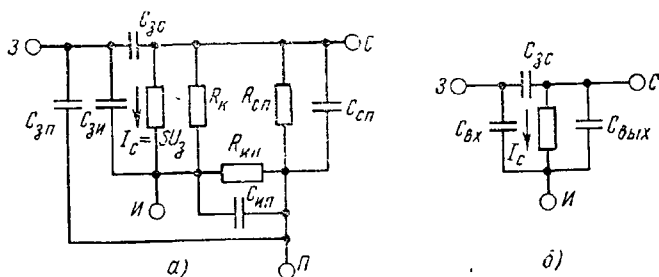


Рис. 2.9. Эквивалентные схемы МДП-транзисторов:

а — полная; б — упрощенная (для аналитических расчетов)

противления закрытых p - n -переходов исток — подложка и сток — подложка. Для аналитических расчетов в статическом режиме можно использовать упрощенную схему (рис. 2.9, б), полученную путем объединения выводов истока и подложки в пренебрежении инерционностью канала.

§ 2.5. Режимы работы и связь между конструктивными и электрическими параметрами МДП-транзисторов в цифровых ИМС

Цифровые МДП-ИМС предназначены для выполнения определенных логических функций. Базовой логической схемой для построения этих ИМС является инвертор, выполняющий логическую функцию инвертирования входного сигнала (операцию НЕ).

Для установления связи между конструктивными и электрическими параметрами МДП-транзисторов цифровых МДП-ИМС малой и средней степеней интеграции достаточно рассмотреть статический и динамический режимы работы трех наиболее распространенных инверторов, которые отличаются схемой включения нагрузочного транзистора. Схемы, где нагрузочный транзистор выполняет функцию резистора, относят к инверторам с пассивной нагрузкой, а схемы, где он выполняет функцию активного элемента, — к инверторам с активной нагрузкой.

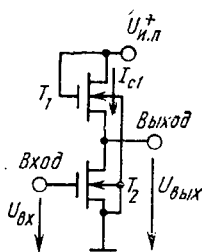


Рис. 2.10. Схема инвертора с пассивной нагрузкой

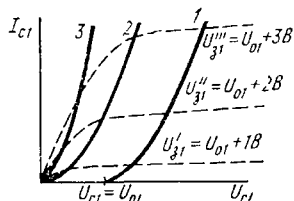


Рис. 2.11. Вольт-амперные характеристики нагрузочного транзистора:

$$1 - U_з = U_{н.п}; \quad 2 - U_з = U_{н.п1} + U_0; \\ 3 - U_з > U_{н.п1} + U_0$$

Статический режим работы инвертора с пассивной нагрузкой. Простейшей инвертирующей схемой на МДП-транзисторе является инвертор с пассивной нагрузкой (рис. 2.10). В нем в качестве нагрузки используется МДП-транзистор T_1 (в дальнейшем просто нагрузочный транзистор) с каналом того же типа, что и ключевой транзистор T_2 . Рассмотрим вначале более простой случай, когда нагрузочный транзистор T_1 включен как нелинейный двухполюсник (затвор объединен со стоком). Вольт-амперной характеристикой такого двухполюсника является геометрическое место точек, в которых выполняется условие $U_c = U_з$. Она представляет собой параболу, описываемую выражением

$$I_c = S_0/2 (U_з - U_0)^2,$$

целиком лежащую в пологой области стоковых характеристик (кривая 1 на рис. 2.11).

Основной статической характеристикой инвертора является его

передаточная характеристика $U_{\text{вых}} = f(U_{\text{вх}})$, по которой легко рассчитать остальные статические характеристики схемы: амплитуду логического перепада ($U_{\text{вых max}} - U_{\text{вых min}}$), потребляемую мощность, статическую помехоустойчивость.

Рассмотрим передаточную характеристику инвертора (рис. 2.12). При этом будем считать пороговые напряжения ключевого T_2 и нагрузочного T_1 транзисторов одинаковыми: $U_{01} = U_{02} = U_0$, что характерно для схем в интегральном исполнении. Влияние подложки полагаем пренебрежимо малым, что хорошо выполняется для низколегированной подложки с концентрацией примеси не более 10^{15} см^{-3} . В общем случае на передаточной характеристике можно выделить три участка. На участке AB ключевой транзистор закрыт, а напряжение на выходе инвертора

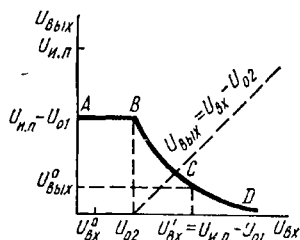


Рис. 2.12. Передаточная характеристика инвертора с нелинейной нагрузкой

$$U_{\text{вых}} = U_{\text{н.п}} - U_{01} = U_{\text{н.п}} - U_0. \quad (2.24)$$

Участок BC является переходным, где оба транзистора, T_1 и T_2 , открыты и работают в пологой области стоковых характеристик. На участке CD рабочая точка ключевого транзистора T_2 переходит в область стоковых характеристик с большой крутизной.

Закон изменения выходного напряжения для участка CD можно получить из условия равенства токов транзисторов T_1 и T_2 :

$$S_{01} (U_{\text{н.п}} - U_{\text{вых}} - U_0)^2 = S_{02} [2U_{\text{вых}} (U_{\text{вх}} - U_0) - U_{\text{вых}}^2].$$

Отсюда

$$U_{\text{вых}} = \frac{U_{\text{н.п}} + mU_{\text{вх}} - (m+1)U_0 - \sqrt{[U_{\text{н.п}} + mU_{\text{вх}} - (m+1)U_0]^2 - (m+1)(U_{\text{н.п}} - U_0)^2}}{m+1}, \quad (2.25)$$

где $m = S_{02}/S_{01}$ — отношение значений удельной крутизны транзисторов инвертора.

Обычно статический режим инвертора рассчитывают так, чтобы при заданных значениях

$$U_{\text{вх1}} \leq U_{\text{вх}}^0 \text{ и } U_{\text{вх2}} \geq U_{\text{вх}}^1 \quad (2.26)$$

получились выходные напряжения, удовлетворяющие неравенствам

$$U_{\text{вых1}} \geq \overline{U}_{\text{вых}}^1, \quad U_{\text{вых2}} \leq U_{\text{вых}}^0. \quad (2.27)$$

Подставляя вторые неравенства (2.26), (2.27) в (2.25), получим выражение для расчета отношения значений удельной крутизны

ключевого и нагрузочного транзисторов, при котором выполняется заданный статический режим:

$$m \geq \frac{(U_{и.п} - U_0 - U_{вых}^0)^2}{2U_{вых}^0 (U_{вх}^1 - U_0) - (U_{вых}^0)^2}. \quad (2.28)$$

Если концентрация примесей в подложке больше 10^{15} см^{-3} , то необходимо учитывать влияние подложки. Из схемы рис. 2.10 видно, что между истоком и подложкой нагрузочного транзистора T_1 имеется разность потенциалов, которая изменяет пороговое напряжение транзистора U_{01} , а следовательно, и выходное напряжение, определяемое выражениями (2.24), (2.25). Тогда выходное напряжение инвертора с учетом влияния подложки и первого неравенства (2.27) можно рассчитать по формуле

$$U'_{вых} \leq U_{вых} - K_{п} U_{вых} = U_{вых} (1 - K_{п}), \quad (2.29)$$

где $U_{вых}$ — напряжение без учета влияния подложки (2.24);

$K_{п} = \xi / \sqrt{U_{и.п} - U_0 - \xi \sqrt{U_{и.п} - U_0}}$ — коэффициент влияния подложки; $\xi = \sqrt{2\varepsilon_0 \varepsilon_n q N_d / C_{30}}$ — постоянная величина для данного транзистора.

Влияние потенциала подложки на характеристики МДП-транзистора заключается в том, что его изменение модулирует толщину области объемного заряда (см. рис. 2.2, а) и, следовательно, канала, изменяя ток стока I_c . Таким образом, подложка является как бы вторым затвором в МДП-транзисторе.

Статический режим работы инвертора с пассивной нагрузкой и двумя источниками питания. Для повышения быстродействия на затвор нагрузочного транзистора часто подают напряжение от отдельного источника питания $U_{и.п2} > U_{и.п1} + U_0$ (рис. 2.13). При

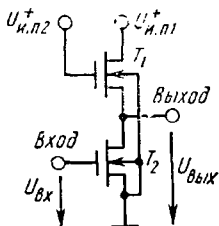


Рис. 2.13. Схема инвертора с пассивной нагрузкой и двумя источниками питания

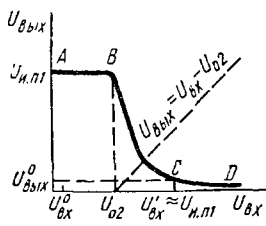


Рис. 2.14. Передаточная характеристика инвертора при $U_{и.п2} > U_{и.п1} + U_0$

этом нагрузочная характеристика перемещается в область малых напряжений $U_{с1}$ и становится более крутой (кривые 2, 3 на рис. 2.11). Статическая характеристика нагрузочного транзистора в этом случае описывается уравнением

$$I_{с1} = \frac{S_{01}}{2} [(U_{и.п2} - U_{вых} - U_0)^2 - (U_{и.п2} - U_{и.п1} - U_0)^2]. \quad (2.30)$$

С повышением напряжения $U_{н.п.2}$ нелинейность этой характеристики уменьшается и быстродействие схемы в пределе стремится к быстродействию инвертора с линейной нагрузкой (резистором).

Передаточная характеристика инвертора имеет три участка (рис. 2.14), причем на каждом участке нагрузочный транзистор открыт, так как $U_{н.п.2} > U_{н.п.1} + U_0$. На участке AB ключевой транзистор T_2 закрыт и выходное напряжение $U_{вых} = U_{н.п.1}$. На участке BC ключевой транзистор работает в пологой области, а на участке CD — в крутой области стоковой характеристики. Приравнивая токи транзисторов T_1 и T_2 для участка CD , получим

$$\begin{aligned} S_{01} [(U_{н.п.2} - U_{вых} - U_0)^2 - (U_{н.п.2} - U_{н.п.1} - U_0)^2] = \\ = S_{02} [2U_{вых} (U_{вх} - U_0) - U_{вых}^2]. \end{aligned} \quad (2.31)$$

Отсюда

$$U_{вых} = \frac{m(U_{вх} - U_0) + (U_{н.п.2} - U_0) - \sqrt{[m(U_{вх} - U_0) + (U_{н.п.2} - U_0)]^2 - \dots}}{m + 1} \dots$$

$$\dots \frac{(m + 1) [(U_{н.п.2} - U_0)^2 - (U_{н.п.2} - U_0 - U_{н.п.1})^2]}{m + 1} \dots$$

В формулах (2.30), (2.31) при необходимости можно учесть влияние подложки путем уменьшения напряжения $U_{н.п.2}$ на величину $K_{п}U_{вых}$, эквивалентную повышению порогового напряжения нагрузочного транзистора T_1 . Для упрощения расчетов можно подставить в (2.31) вместо $U_{н.п.2}$ значение $U_{н.п.2} - (K_{п}U_{н.п.1})/2$, достаточно точное для середины диапазона изменения выходного напряжения.

Обычно статический режим инвертора с двумя источниками питания рассчитывают аналогично схеме с одним источником (см. рис. 2.10). Подставляя вторые неравенства (2.26), (2.27) в (2.31), получим выражение для расчета отношения значений удельной крутизны ключевого и нагрузочного транзистора, при котором выполняется заданный статический режим:

$$m \geq \frac{(U_{н.п.2} - U_{вых}^0 - U_0)^2 (U_{н.п.2} - U_{н.п.1} - U_0)^2}{2U_{вых}^0 (U_{вх}^1 - U_0) - (U_{вых}^0)^2}. \quad (2.32)'$$

Статический режим работы инвертора с активной нагрузкой. Такая схема инвертора широко распространена в КМДП-ИМС, где одновременно используются n - и p -канальные МДП-транзисторы. Преимуществами подобных инверторов являются отсутствие потребления мощности от источника питания в статическом режиме и лучшая форма передаточной характеристики.

Схема инвертора и его стоковые характеристики приведены на рис. 2.15, а, б. Как видно, затворы нагрузочного p -канального транзистора T_1 и ключевого n -канального транзистора T_2 соединены вме-

сте, а исток каждого транзистора объединен с подложкой. Выходом инвертора являются объединенные стоки. При таком включении ключевой и нагрузочный транзисторы работают в противофазе, т. е. запираение одного связано с отпиранием другого и наоборот, что улучшает быстродействие. Противофазный режим можно объяснить тем, что в схеме всегда выполняется условие $U_{зп1} + U_{зп2} = U_{п.п}$, так что уменьшение напряжения $U_{зп}$ одного из транзисторов приводит к увеличению напряжения $U_{зп}$ другого.

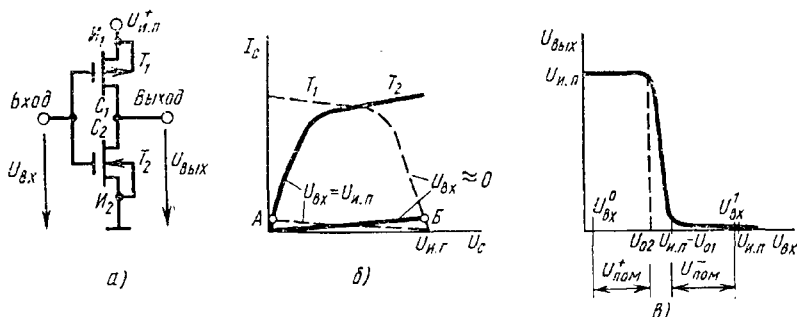


Рис. 2.15. Инвертор с активной нагрузкой:

а — электрическая схема; б — стоковые характеристики в открытом (А) и закрытом (Б) состояниях; в — передаточная характеристика

Рассмотрим передаточную характеристику инвертора (рис. 2.15, в). Параметры транзисторов будем считать одинаковыми, а токи утечки — пренебрежимо малыми. Пусть напряжение питания связано с пороговыми напряжениями транзисторов неравенством

$$U_{п.п} > |U_{01}| + U_{02}. \quad (2.33)$$

Тогда при $0 < U_{вх} < U_{02}$ транзистор T_2 закрыт, транзистор T_1 открыт и выходное напряжение $U_{вых} = U_{п.п}$. При увеличении $U_{вх}$ от U_{02} до $U_{п.п} - U_{01}$ происходят плавное запираение транзистора T_1 , отпирание транзистора T_2 и уменьшение напряжения $U_{вых}$. При $U_{вх} = U_{п.п} - U_{01}$ транзистор T_1 окончательно запирается и $U_{вых} = 0$.

В заключение отметим, что инвертор может работать и при $U_{п.п} < |U_{01}| + U_{02}$, однако этот режим приводит к увеличению времени переключения, так как в течение части его оба транзистора T_1 и T_2 будут закрыты. Но, с другой стороны, он дает экономию в потребляемой инвертором мощности.

Обычно статический режим инвертора рассчитывают так, чтобы при условиях (2.26) выполнялись неравенства (2.27). В силу специфики работы инвертора с активной нагрузкой для этого достаточно проверить неравенство (2.33).

Статическая помехоустойчивость инвертора. Статическая помехоустойчивость $U_{пом}$ характеризуется максимальным напряжением статической помехи, действующей на выходе или входах инвертора, но не нарушающей его нормального функционирования.

Помехоустойчивость определяют из соотношения

$$U_{\text{пом}}^- = \min \left\{ \begin{array}{l} U_{\text{пом}}^+ \\ U_{\text{пом}}^- \end{array} \right. \quad (2.34)$$

где $U_{\text{пом}}^+$, $U_{\text{пом}}^-$ — допустимые значения положительной и отрицательной статических помех.

Значения статических помех можно определить по передаточной характеристике рис. 2.15, в или по формулам

$$U_{\text{пом}}^+ = U_{02} - U_{\text{вх}}^0 \quad (2.35)$$

$$U_{\text{пом}}^- = U_{\text{вх}}^1 - U_{01} \quad (2.36)$$

При расчете статического режима инвертора для обеспечения заданной помехоустойчивости в рабочем диапазоне температур ИМС пороговые напряжения ключевого и нагрузочного транзисторов необходимо определять (при $U_{01} = U_{02} = U_0$) по выражению

$$U_{\text{пом}} = \begin{cases} (U_0 - \text{TK}U_0\Delta T_1) - U_{\text{вх}}^0, \\ U_{\text{вх}}^1 - (U_0 + \text{TK}U_0\Delta T_2), \end{cases} \quad (2.37)$$

где $\text{TK}U_0$ — температурный коэффициент пороговых напряжений (~ 4 мВ/°С); $\Delta T_1 = T_{\text{max}} - T_{\text{комн}}$; $\Delta T_2 = T_{\text{комн}} - T_{\text{min}}$; $T_{\text{комн}} = +20^\circ \text{C}$.

Динамический режим работы инверторов. Анализ динамического режима работы рассмотренных схем инверторов проведен при следующих условиях:

а) входное напряжение изменяется скачкообразно от $U_{\text{вх min}}$ до $U_{\text{вх max}}$;

б) нагрузка имеет чисто емкостный характер и равна $C_{\text{н}}' = C_{\text{н}} + C_{\text{вых}} \approx C_{\text{н}}$, где $C_{\text{вых}}$ — выходная емкость инвертора.

Схема включения источника входного напряжения и конденсатора нагрузки для оценки быстродействия инвертора с нелинейной

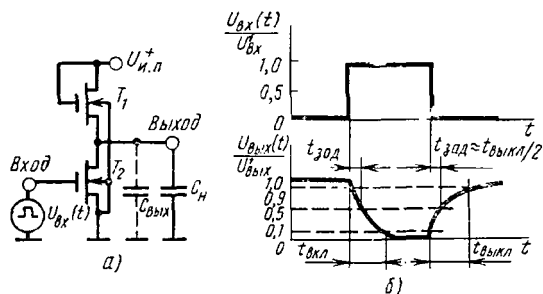


Рис. 2.16. Схема включения (а) и временные диаграммы работы инвертора (б) в динамическом режиме

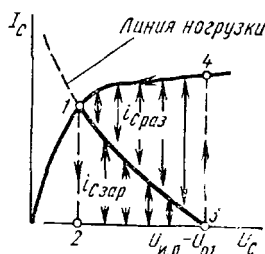


Рис. 2.17. К определению быстродействия инвертора

нагрузкой приведена на рис. 2.16, а, а соответствующие ей временные диаграммы — на рис. 2.16, б. Обычно быстродействие инвертора оценивают временами включения $t_{\text{вкл}}$, выключения $t_{\text{выкл}}$ и за-

держки распространения сигнала $t_{\text{зад}}$, уровни отсчета которых указаны на рис. 2.16, б. Очевидно, быстродействие инвертора будет определяться временем перезаряда конденсатора C_n , которое, в свою очередь, определяется средним значением емкостного тока i_C .

При скачкообразном входном сигнале рабочая точка инвертора перемещается по траекториям, отмеченным на рис. 2.17 цифрами 1—2—3 при выключении (соответствует запирающему транзистору T_2) и 3—4—1 при включении (соответствует отпирающему транзистору T_2). В этом случае быстродействие инвертора можно оценить по площади, расположенной под нагрузочной статической характеристикой при выключении, и по площади между нагрузочной и стоковой характеристиками ключевого транзистора при включении. Действительно, как видно из рис. 2.17, эти площади пропорциональны средним значениям токов заряда и разряда конденсатора нагрузки: $i_{C \text{ зар}} = i_n$, $i_{C \text{ разр}} = i_C - i_n$. Чем больше площади, тем больше средние значения емкостных токов и тем быстрее протекают переходные процессы. Так как площадь, соответствующая разряду конденсатора нагрузки, на рис. 2.17 больше площади, соответствующей его заряду, то время включения инвертора $t_{\text{вкл}}$ всегда меньше времени выключения $t_{\text{выкл}}$. Поэтому ограничимся расчетом большего времени $t_{\text{выкл}}$.

Расчет времени выключения $t_{\text{выкл}}$ легко провести при скачкообразном входном сигнале, составив дифференциальное уравнение заряда конденсатора нагрузки C_n током $i(t)$ нагрузочного транзистора:

$$C_n \frac{dU_C(t)}{dt} = i(t). \quad (2.38)$$

Для решения уравнения (2.38) в его правую часть нужно подставить в случае инвертора с пассивной нагрузкой уравнение тока (2.3), в случае инвертора с пассивной нагрузкой и двумя источниками питания — уравнение тока (2.2), а в случае инвертора с активной нагрузкой — оба уравнения тока (2.2), (2.3).

Далее приведены решения уравнения (2.38) для различных типов инверторов в виде выражений для времен выключения $t_{\text{выкл}}$. Сюда включены выражения для сложных схем инверторов с пассивной

(рис. 2.18, а, б) и с активной (рис. 2.19, а, б) нагрузками. Эти схемы имеют расширенные функциональные возможности, выполняя логические функции ИЛИ—НЕ и И

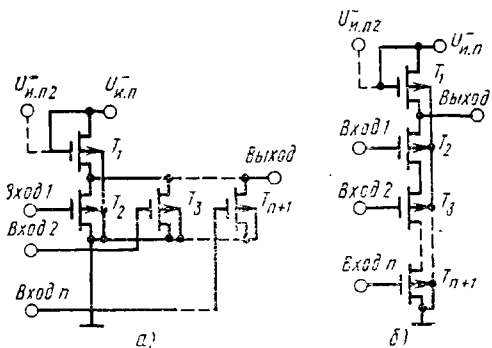


Рис. 2.18. Сложные схемы инверторов с пассивной нагрузкой:

а — элемент ИЛИ—НЕ;
б — элемент И—НЕ

И—НЕ, и отличаются от простых инверторов параллельным или последовательным включением нескольких ключевых и нагрузочных МДП-транзисторов.

Для инвертора с пассивной нагрузкой (см. рис. 2.10, 2.18, а, б)

$$t_{\text{выкл}} = \frac{18C_n}{S_{01}(U_{\text{н.п}} - U_0)} \quad (2.39)$$

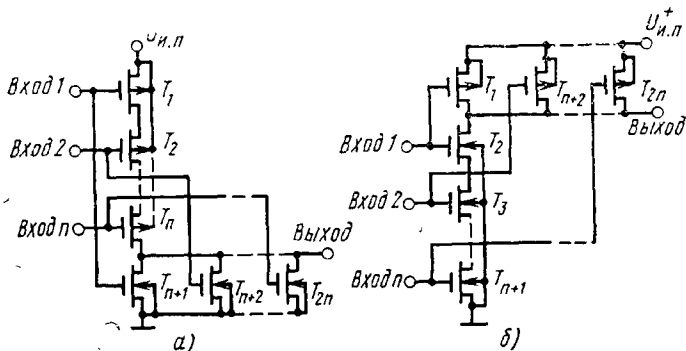


Рис. 2.19. Сложные схемы инверторов с активной нагрузкой:
а — элемент ИЛИ—НЕ; б — элемент И—НЕ

Для инвертора с пассивной нагрузкой и двумя источниками питания (см. рис. 2.13, 2.18, а, б)

$$t_{\text{выкл}} = \frac{C_n}{S_{01}(1-K)(U_{\text{н.п}2} - U_0)} \ln \frac{9(2-1,9K)}{2,0-1,1K} \quad (2.40)$$

где

$$K = U_{\text{н.п}1} / (U_{\text{н.п}2} - U_0).$$

Для инвертора с активной нагрузкой по схемам рис. 2.15, а, 2.19, б

$$t_{\text{выкл}} = \frac{C_n}{S_{01}(U_{\text{н.п}} - U_0)} \left[\ln(20K - 1) + \frac{0,9 - K}{0,5K} \right] \quad (2.41)$$

по схеме рис. 2.19, а

$$t_{\text{выкл}} = \frac{nC_n}{S_{01}(U_{\text{н.п}} - U_0)} \left[\ln(20K - 1) + \frac{0,9 - K}{0,5K} \right] \quad (2.42)$$

где n — число последовательных нагрузочных транзисторов; $K = (U_{\text{н.п}} - U_0) / U_{\text{н.п}}$.

Работа инверторов в цепочке. Одиночный инвертор используется довольно редко. Как правило, он работает в составе сложных логических схем. При этом к инвертору предъявляются требования согласования электрических уровней с соседними каскадами для передачи двоичной информации и обеспечения заданного быстродействия.

Обычно согласование электрических уровней обеспечивается путем запираания последующего инвертора при открытом предыдущем и наоборот. Для цепочки инверторов на МДП-транзисторах (рис. 2.20) вследствие непосредственной связи между ними условие согласования обеспечивается, если

$$U_{н.п} > U_0, \quad (2.43)$$

$$U_{\text{вых min}} < U_0, \quad (2.44)$$

где $U_{\text{вых min}}$ — минимальное напряжение на выходе открытого инвертора.

При проектировании инверторов, работающих в цепочке, для выполнения условия (2.43) требуется правильный подбор напряжения источника питания, а для выполнения условия (2.44) необходимо рассчитать отношение значений крутизны ключевого и нагрузочного транзисторов по формулам (2.28), (2.32). При проектировании цепочки инверторов с активной нагрузкой достаточно выполнить только условие (2.43).

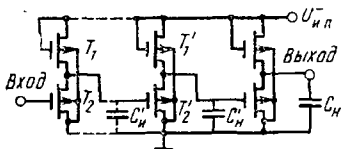


Рис. 2.20. Цепочка инверторов с пассивной нагрузкой

Обеспечение заданного быстродействия в цепочке инверторов достигается путем равномерного распределения задержек между каскадами по формуле

$$t_{\text{выкл.л}} = 2t_{\text{зад}}/n, \quad (2.45)$$

где $t_{\text{зад}}$ — требуемая задержка распространения сигнала (задается ТЗ); n — количество последовательно включенных инверторов.

Емкость нагрузки выходного инвертора обычно задается, а емкость нагрузки промежуточного инвертора $C'_н$ принимают равной входной емкости последующего инвертора $C'_{вх}$ и собственной выходной емкости $C_{\text{вых}}$:

$$C'_н = C'_{вх} + C_{\text{вых}} = C'_{зп2} + C'_{зп2} + C'_{зсп2} K_M + C'_{\text{мет}} + C_{н.п1} + C_{сп2}, \quad (2.46)$$

где $K_M = S_{02}/S_{01}$ — коэффициент Миллера; $C'_{\text{мет}}$ — емкость конденсатора, образованного проводником, соединяющим каскады, и подложкой.

Однако определение $C'_н$ по формуле (2.46) невозможно, так как последние три слагаемых неизвестны и могут быть определены только после разработки эскиза топологии ИМС в целом. Поэтому для предварительного расчета целесообразно выбрать

$$C'_н = 1,0 \div 1,5 \text{ пФ}, \quad (2.47)$$

а в процессе поворочного расчета уточнить это допущение.

Расчет динамического режима работы инвертора проводят так, чтобы при заданном времени задержки сигнала $t_{\text{зад}}$ и емкости нагрузки $C'_н$ в любых режимах работы выполнялось неравенство

$$t_{\text{зад}} \leq n t_{\text{выкл.л}} / 2. \quad (2.48)$$

Условие (2.48) выполняется в том случае, если удельную крутизну нагрузочных транзисторов инверторов рассчитывать по формулам (2.39) — (2.42) в зависимости от схемы, а время выключения — по выражению (2.45).

На основании анализа статического и динамического режимов работы различных типов инверторов удалось установить важнейшие связи их конструктивных и электрических параметров:

1) расчет толщины затворного диэлектрика h_d производят по формулам (2.4), (2.10), (2.11) и (2.37) из условия получения заданной статической помехоустойчивости;

2) удельная крутизна S_{01} нагрузочного транзистора, рассчитываемая по формулам (2.39) — (2.42), из условия получения заданного быстродействия однозначно определяет отношение ширины канала МДП-транзистора к его длине $b_{к1}/l_{к1}$;

3) расчет геометрии ключевого транзистора (отношения $b_{к2}/l_{к2}$) производят по формулам (2.28), (2.32) из условия обеспечения заданных выходных напряжений инвертора в статическом режиме.

§ 2.6. Конструирование транзисторов и топологии кристалла МДП-ИМС

При разработке МДП-транзисторов конструктор должен стремиться к повышению удельной крутизны S_0 при работе в активном режиме, снижению порогового напряжения U_0 , уменьшению занимаемой площади и паразитных емкостей. Конечной целью является увеличение быстродействия и степени интеграции при заданной потребляемой мощности. Техническая противоречивость указанных требований (особенно первого и третьего) заставляет конструктора идти на определенные компромиссы и делает его труд творческим.

Требование уменьшения площади, занимаемой отдельным МДП-транзистором и микросхемой в целом, приводит к разработке кристалла минимально возможной площади. Однако существует предел возможностей той или иной технологии, связанный с минимальным геометрическим размером (см. § 1.4) и точностью его выполнения. Поэтому при расчете и выборе конструктивных параметров МДП-транзисторов и других элементов схемы следует учитывать технологические ограничения на размеры МДП-структур, которые приведены в табл. 2.1.

Проектирование топологии МДП-ИМС средней и большой степеней интеграции имеет некоторые особенности. В частности, методы проектирования топологии можно подразделить на два в зависимости от того, из каких элементов создаются эти ИМС:

1) совокупности типовых элементов — МДП-транзисторов;

2) совокупности типовых логических элементов и блоков (выходных и промежуточных инверторов, триггеров, регистров и т. д.).

Первый метод совпадает с методом проектирования ИМС малой степени интеграции и позволяет получить наибольшую плотность размещения элементов на кристалле. Однако затраты времени при этом велики.

Технологические ограничения на размеры МДП-структур

Чертежи топологии	Наименование элемента топологии, наименование и обозначение размера	Вид технологии		
		p-МДП	n-МДП	КМДП
<p><i>p</i>-канальный МДП-транзистор с алюминиевым затвором</p> <p><i>n</i>-канальный МДП-транзистор с кремниевым затвором</p> <p>Исток Затвор Сток Охранное кольцо</p>	<p>Толщина затворного диэлектрика (SiO_2) h_d, мкм</p> <p>Толщина толстого диэлектрика (SiO_2) $h_{тд}$, мкм</p> <p>Толщина металлизации (алюминия) h_m, мкм</p> <p>Толщина кремниевого затвора $h_{п.к.з.}$, мкм</p> <p>Толщина межслойной изоляции (ФСС) $h_{м.и.}$, мкм</p> <p>Толщина пассивирующего слоя (ФСС) $h_{пс.с.}$, мкм</p> <p>Толщина стоков, истоков, диффузионных проводников h_j, мкм</p> <p>Толщина <i>p</i>-областей для формирования <i>n</i>-канальных транзисторов КМДП-ИМС h_i, мкм</p> <p>Минимальная длина алюминиевого (кремниевого) затвора l_z, мкм</p> <p>Перекрытие областей стока (истока) алюминиевым (кремниевым) затвором i, мкм</p> <p>Минимальное расстояние от края контактного окна до края стока (истока), диффузионного проводника, кремниевого затвора a, мкм</p> <p>Минимальный размер контактного окна к стоку (истoku), диффузионному проводнику и кремниевому затвору $c \times c$, мкм</p> <p>Минимальное расстояние от затвора до края контактного окна к стоку (истoku) d, мкм</p> <p>Перекрытие области канала затвором на его конце e, мкм</p> <p>Минимальное расстояние между соседними стоковыми (истоковыми) областями и диффузионными проводниками f, мкм</p>	<p>0,07—0,10</p> <p>1,0</p> <p>1,2</p> <p>—</p> <p>—</p> <p>1,0</p> <p>1,5</p> <p>—</p> <p>12'</p> <p>2,0</p> <p>4,0</p> <p>6×6</p> <p>10,0</p> <p>3,0</p> <p>10,0</p>	<p>0,07—0,1</p> <p>1,0</p> <p>1,2</p> <p>0,5</p> <p>1,0</p> <p>1,0</p> <p>1,0</p> <p>—</p> <p>5</p> <p>0,8</p> <p>2,0</p> <p>5×5</p> <p>4,0</p> <p>2,0</p> <p>5,0</p>	<p>$\geq 0,1$</p> <p>1,0</p> <p>1,2</p> <p>0,5</p> <p>1,0</p> <p>1,0</p> <p>1,0 (n^+)</p> <p>1,5 (p^+)</p> <p>6,0—7,0</p> <p>5</p> <p>1,0</p> <p>2,0</p> <p>5×5</p> <p>4,0</p> <p>До охранного кольца (Al)</p> <p>2,0 (Si)</p> <p>5,0</p>

Продолжение табл. 2.1

Чертежи топологии	Наименование элемента топологии, наименование и обозначение размера	Вид технологии		
		p-МДП	n-МДП	КМДП
<p>Диффузионные проводники</p> <p>Поликремниевые проводники</p> <p>Проводники металлизации</p> <p>Контактные площадки</p>	<p>Минимальная ширина диффузионного проводника и охранного кольца g, мкм</p> <p>Минимальное расстояние между кремниевыми затворами k, мкм</p> <p>Минимальное расстояние между алюминиевыми затворами и между проводниками металлизации s, мкм</p> <p>Минимальная ширина проводников металлизации j, мкм</p> <p>Перекрытие проводником металлизации контактного окна ко всем областям t, мкм</p> <p>Расстояние от края кристалла до контактной площадки u, мкм</p> <p>Минимальный размер контактной площадки для ручной (числитель) и автоматизированной (знаменатель) термокомпрессионной сварки $v \times v$, мкм</p> <p>Минимальное расстояние между контактными площадками для ручной (числитель) и автоматизированной (знаменатель) термокомпрессионной сварки w, мкм</p> <p>Расстояние между контактными площадками и другими элементами схемы x, мкм</p>	<p>8,0</p> <p>—</p> <p>8,0</p> <p>8,0</p> <p>3,0</p> <p>—</p> <p>—</p> <p>—</p>	<p>5,0</p> <p>4,0</p> <p>5,0</p> <p>5,0</p> <p>2,0</p> <p>≥ 50</p> <p>50×50</p> <p>150×150</p> <p>70</p> <p>50</p> <p>20</p>	<p>5,0</p> <p>4,0</p> <p>5,0</p> <p>5,0</p> <p>2,0</p> <p>2,0</p> <p>2,0</p> <p>2,0</p> <p>2,0</p>

Второй метод предполагает использование топологии логических элементов или блоков, спроектированных ранее. Для рационального использования площади кристалла топологии типовых элементов и блоков проектируют в виде прямоугольных ячеек равной высоты. Проектирование включает размещение типовых элементов или блоков и трассировку соединений между ними. Данный метод ускоряет процесс проектирования топологии, но приводит к увеличению площади кристалла и ухудшению параметров ИМС.

Находит применение и комбинированный метод разработки топологии МДП-ИМС, в котором сначала разрабатывается топология типовых логических элементов с последующим их размещением на плоскости кристалла.

Курсовое проектирование МДП-ИМС охватывает схемы малой и (реже) средней степеней интеграции. При этом наиболее приемлемыми являются первый и комбинированный методы проектирования топологии.

Разработку эскиза топологии кристалла целесообразно начинать с конструирования отдельных элементов, к которым относятся ключевые и нагрузочные МДП-транзисторы, охранные диоды и кольца. Затем производят рациональное размещение этих элементов на кристалле с одновременной прокладкой диффузионных шин и металлической разводки. На периферии кристалла размещают внешние контактные площадки для соединения с выводами корпуса и фигуры совмещения.

Конструирование МДП-транзисторов, работающих в активном режиме. Для транзисторов, работающих в активном режиме (к ним относятся ключевые транзисторы всех инверторов и нагрузочный транзистор инвертора, изображенный на рис. 2.15), с целью получения малых паразитных межэлектродных емкостей необходимо выбирать по табл. 2.1 минимальную длину канала, обусловленную технологическими ограничениями:

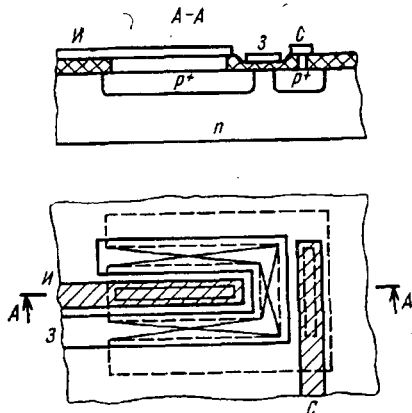


Рис. 2.21. Чертеж топологии МДП-транзистора с П-образным каналом

и т. д.) выбирают в соответствии с технологическими ограничениями (см. табл. 2.1). Там же представлены чертежи топологии МДП-транзисторов с каналами разных типов электропроводности.

нужно выбрать по табл. 2.1 минимальную длину канала, обусловленную технологическими ограничениями:

$$l_{к.техн} = l_3 - 2i, \quad (2.49)$$

и подгонять отношение ширины и длины канала $b_k/l_{к.техн}$ к требуемому значению удельной крутизны S_{02} , рассчитанному по формулам (2.28), (2.32). Остальные конструктивные параметры транзистора (размеры областей стока, истока, затвора, контактных окон

В случае, когда $b_{к}/l_{к.техн} \geq 20$, рекомендуется П-образная конфигурация канала ключевого транзистора (рис. 2.21). Это имеет место при проектировании КМДП-ИМС.

Отдельно следует остановиться на чертежах топологии МДП-транзисторов для сложных схем инверторов, где требуется обеспечивать последовательное или параллельное соединение ключевых транзисторов. Для повышения степени интеграции допускается объединение областей стоков или истоков, как это сделано на рис. 2.22, а, б; 2.23, а, б.

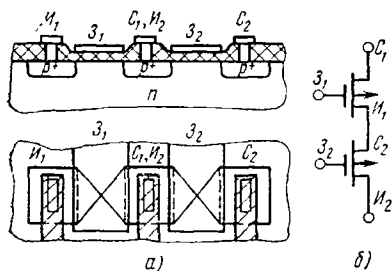


Рис. 2.22. Чертеж топологии (а) и электрическая схема (б) последовательного включения МДП-транзисторов

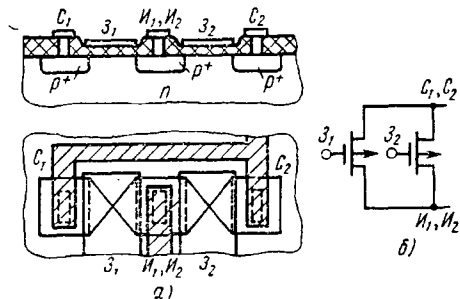


Рис. 2.23. Чертеж топологии (а) и электрическая схема (б) параллельного включения МДП-транзисторов

Конструирование МДП-транзисторов, работающих в пассивном режиме. К ним относятся нагрузочные транзисторы инверторов с пассивной нагрузкой типа изображенных на рис. 2.10, 2.13. У таких транзисторов значение удельной крутизны S_{01} может быть малым, и для уменьшения площади, занимаемой элементом, целесообразно выбирать минимальную ширину канала, обусловленную технологическими ограничениями согласно табл. 2.1:

$$b_{к.техн} = \begin{cases} 2a + c & \text{для прямоугольной} \\ & \text{формы стока (истока),} \\ g & \text{для ступенчатой} \\ & \text{формы стока (истока).} \end{cases} \quad (2.50)$$

Длину канала подгоняют в целях получения отношения $b_{к.техн}/l_{к}$, соответствующего требуемому значению удельной крутизны S_{01} , рассчитанному по выражениям (2.39), (2.40). Остальные конструктивные параметры выбирают в соответствии с технологическими ограничениями (см. табл. 2.1). Чертеж топологии и электрическая схема нагрузочного транзистора с областями стока (истока) ступенчатой формы приведены на рис. 2.24, а, б.

Конструирование охранных диодов. Охранные диоды используются во входных цепях цифровых комплементарных и обычных МДП-ИМС и предназначены для предотвращения пробоя пленки

затворного диэлектрика под действием статического электричества. В качестве примера рассмотрим диодную защитную схему входной цепи инвертора КМДП-ИМС. Входная цепь, электрическая схема которой приведена на рис. 2.25, состоит из подключенных к входной шине охранных диодов D_1 и D_2 . Как известно, статический заряд, накапливаемый на выводах корпуса ИМС или инструменте мон-

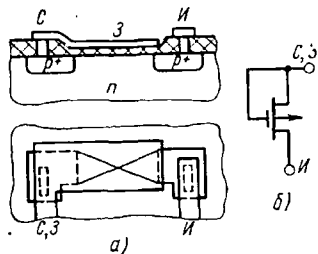


Рис. 2.24. Конструкция (а) и электрическая схема (б) нагрузочного p -канального МДП-транзистора

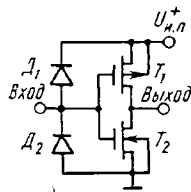


Рис. 2.25. Диодная защитная схема

тажника, может иметь положительный и отрицательный знаки. Положительный заряд «стекает» через диод D_1 , а отрицательный — через диод D_2 . Такая схема приводит к уменьшению входного сопротивления и появлению входного тока утечки в пределах 0,5—1 мкА. Однако динамические параметры схемы при правильном проектировании охранных диодов практически не ухудшаются.

Описанная защитная схема не допускает подачу на вход напряжения $U_{вх} > U_{н.п}$, что может привести к протеканию через входную цепь больших токов и разрушению диодов. Поэтому при включении аппаратуры на КМДП-ИМС с защищенными входными цепями напряженное питание следует подавать раньше входного сигнала, а при выключении аппаратуры — снимать позже. Находят применение и однодиодные защитные схемы, в которых используется только охранный диод D_2 .

Основными требованиями при конструировании охранных диодов являются обеспечение достаточного напряжения пробоя ($\geq 2U_{н.п}$), так как в рабочем состоянии схемы на диоды подается обратное напряжение, равное $U_{н.п}$, и получение малых паразитных емкостей. Первое требование обеспечивается тем, что одной областью этих диодов служит низколегированная подложка ИМС, а другой — специально формируемые низколегированные участки. Для получения малых паразитных емкостей контактное окно к области диода необходимо разрабатывать с учетом технологических ограничений, указанных в табл. 2.1.

Чертеж топологии охранных диодов D_2 и D_1 приведен на рис. 2.26. Особенностью топологии является то, что электрический контакт к n -области диода D_1 и p -области диода осуществляется через подложку.

Паразитные МДП-структуры и конструирование охранных колец. В МДП-ИМС активные паразитные эффекты возникают за счет образования паразитных МДП- и биполярных транзисторов. На рис. 2.27, а, б для примера показана возможность образования паразитного p -канала, между диффузионными проводниками питания p^+ -типа, если поперечный проводник металлизации находится под высоким отрицательным потенциалом.

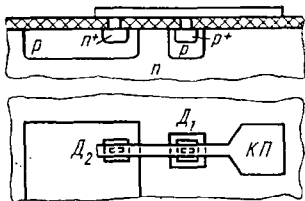


Рис. 2.26. Чертеж топологии охранных диодов

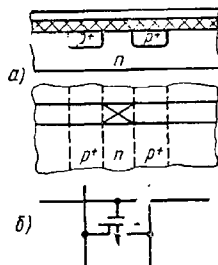


Рис. 2.27. Чертеж топологии (а) и электрическая схема (б) паразитного p -канального МДП-транзистора

Основным путем борьбы с паразитными каналами в обычных p -МДП и n -МДП схемах является такое повышение пороговых напряжений паразитных структур, чтобы выполнялось неравенство (2.51) и структуры не включались при работе схемы. Это достигается увеличением толщины изолирующего диэлектрика $h_{т.д}$ либо дополнительным легированием областей вне основных МДП-структур (см. рис. 2.4).

Благоприятные условия для образования паразитных каналов имеются в конструкции с КМДП-транзисторами. Фрагмент структуры инвертора с КМДП-транзисторами показан на рис. 2.28. Паразитный p -канал образуется между областями 3 и 6 при отрицательном потенциале относительно подложки 1 на металлическом проводнике 4, соединяющем стоки 3 и 8 КМДП-транзисторов. Паразитный n -канал образуется между областями 1 и 8 при положительном потенциале на проводнике 4 относительно p -кармана. Эти каналы способствуют протеканию токов утечки между транзисторами за счет инверсии электропроводности полупроводникового материала на границе кремний — окисел.

Основным методом устранения паразитных каналов в КМДП-структурах является применение охранных колец. Их формируют

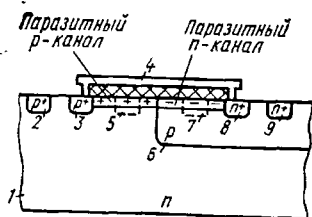


Рис. 2.28. Образование паразитных каналов в инверторе с активной нагрузкой:

1 — подложка; 2, 3 — исток и сток p -канального МДП-транзистора; 4 — металлический проводник; 5 — n^+ -охранное кольцо; 6 — p -карман; 7 — p^+ -охранное кольцо; 8, 9 — сток и исток n -канального МДП-транзистора

локальным легированием в процессе формирования стоков и истоков p - и n -канальных транзисторов. При этом каждый p - и n -канальный транзистор окружают охранным кольцом соответственно n^+ - и p^+ -типов. Для лучшей изоляции на кольцо p^+ -типа подают самый низкий, а на кольцо n^+ -типа — самый высокий потенциал схемы ($U_{н.п}$). Пример выполнения чертежа топологии охранного кольца p^+ -типа показан в табл. 2.1. На структуре рис. 2.28 охранные кольца 5 (n^+) и 7 (p^+) размещают в областях образования паразитных каналов.

Применение охранных колец существенно увеличивает площадь элементов КМДП-ИМС, поэтому при проектировании необходимо стремиться к уменьшению их количества, используя одно кольцо на группу транзисторов.

Конструирование эскиза топологии кристалла МДП-ИМС. Разработку эскиза топологии кристалла производят в такой последовательности:

1) размещают контактные площадки (КП) по периметру кристалла (нумерация контактных площадок нарастает против часовой стрелки от КП₁, как показано на рис. 2.29), способы распознавания КП₁ от остальных указаны в гл. 1;

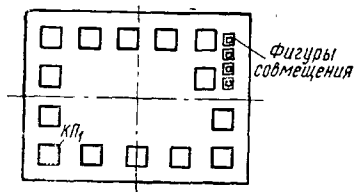


Рис. 2.29. Пример размещения контактных площадок и фигур совмещения на кристалле

2) оставляют место на периферии кристалла для размещения фигур совмещения и тестовых элементов (МДП-транзисторов);

3) выделяют контактные площадки для подведения цепей питания ($U_{н.п}$ и «общая»), которые являются неизменными для данной серии ИМС;

4) если ИМС содержит ряд однотипных схем, кристалл делят на равные части (по площади) и проектируют топологию только одной части с последующим размножением;

5) эскиз топологии необходимо начинать с первой контактной площадки, а затем переходить от одного элемента к другому, размещая соединенные между собой элементы в непосредственной близости друг от друга с учетом технологических ограничений (см. табл. 2.1);

6) в МДП-ИМС с алюминиевыми затворами в качестве разводки используют диффузионные проводники и проводники металлизации, а в МДП-ИМС с кремниевыми затворами — диффузионные проводники, проводники из поликристаллического кремния (как продолжение областей затворов) и проводники металлизации. Для увеличения степени интеграции проводники металлизации желательно размещать перпендикулярно диффузионным и кремниевым проводникам.

§ 2.7: Порядок расчета конструктивных и электрических параметров элементов МДП-ИМС

Порядок расчета транзисторов обычных и комплементарных МДП-ИМС, имеющих различную схемотехническую реализацию, имеет свою специфику.

Типовое техническое задание на разработку конструкции МДП-ИМС в качестве исходных данных включает электрическую схему цифровой ИМС, коэффициент разветвления $K_{\text{раз}}$, емкость нагрузки C_n , время задержки распространения сигнала $t_{\text{зад}}$, напряжение источника питания $U_{\text{и.п}}$, выходное напряжение логического нуля $U_{\text{вых}}^0$, выходное напряжение логической единицы $U_{\text{вых}}^1$, статическую помехоустойчивость $U_{\text{пом}}$, входную емкость $C_{\text{вх}}$, пороговое напряжение паразитных транзисторов $U_{0\text{ пар}}$, технологию изготовления ИМС, материал пластины и затворов, концентрацию примеси в пластине N_0 , плотность поверхностных состояний $N_{\text{пов}}$, подвижность носителей заряда в канале μ , технологические ограничения на размеры МДП-структур.

Порядок расчета параметров транзисторов р- и n-канальных МДП-ИМС (данные ИМС используют инверторы рис. 2.10, 2.13, 2.18):

1) изучают принцип работы ИМС и связи ее электрических и конструктивных параметров по § 2.5;

2) рассчитывают требуемое пороговое напряжение МДП-транзисторов $|U_0|$ для обеспечения заданной статической помехоустойчивости по формуле (2.37) при условии $U_{\text{вх}}^0 = U_{\text{вых}}^0$ и $U_{\text{вх}}^1 = U_{\text{вых}}^1$;

3) определяют удельную емкость затвора относительно канала C_{30} для р- и n-канальных транзисторов по выражениям (2.10), (2.11);

4) находят толщину затворного диэлектрика h_d по формуле (2.4);

5) определяют по схеме ИМС количество последовательно включенных инверторов n и время выключения каждого инвертора $t_{\text{выкл}}$ по выражению (2.45);

6) рассчитывают конструктивные параметры выходного инвертора:

а) технологическую ширину канала $b_{\text{н1техн}}$ нагрузочного транзистора по табл. 2.1 и формуле (2.50);

б) удельную крутизну S_{01} нагрузочных р- и n-канальных транзисторов по формулам (2.39), (2.40) при заданной емкости нагрузки C_n ;

в) отношение ширины канала нагрузочного транзистора к его длине $b_{\text{н1техн}}/l_{\text{н1}}$ по формуле (2.7) при заданных значениях подвижности носителей заряда в канале μ_p или μ_n ;

г) технологическую длину канала $l_{\text{к2техн}}$ ключевого МДП-транзистора по табл. 2.1 и формуле (2.49);

д) отношение значений удельной крутизны ключевого и нагрузочного транзисторов m по формуле (2.28) при заданных $U_{\text{и.п}}$ и $U_{\text{вх}}^1 = U_{\text{вых}}^1$;

е) отношение ширины канала ключевого транзистора к его длине $b_{к2}/l_{к2техн}$ по величине m ;

ж) остальные конструктивные параметры нагрузочного и ключевого транзисторов по данным табл. 2.1 с учетом рекомендаций § 2.6;

7) рассчитывают конструктивные параметры промежуточного инвертора: после определения емкости нагрузки C_H промежуточного инвертора по выражению (2.47) ведут расчеты параметров по п. а), б), в), далее находят отношение значений удельной крутизны ключевого и нагрузочного транзисторов m : для p -канальных — по формуле (2.28) и для n -канальных — по формуле (2.32) при заданных $U_{ц.п1}$, $U_{ц.п2}$, $U_{вх}^1 = U_{вых}^1$ и затем конструктивные параметры согласно п. е) и ж);

8) рассчитывают конструктивные параметры входного инвертора (порядок расчета полностью совпадает с расчетом промежуточного инвертора).

Порядок расчета параметров транзисторов комплементарных МДП-ИМС с кремниевыми затворами (данные ИМС используют инверторы рис. 2.15 и 2.19):

1) изучают принцип работы инвертора с активной нагрузкой и связи его электрических и конструктивных параметров по § 2.5;

2) рассчитывают требуемое пороговое напряжение МДП-транзисторов $|U_0|$ для обеспечения заданной статической помехоустойчивости по формуле (2.37) при условии $U_{вх}^0 = U_{вых}^0$ и $U_{вх}^1 = U_{вых}^1$;

3) определяют удельную емкость затвора относительно канала $C_{з0}$ для p - и n -канальных транзисторов по формулам (2.10), (2.11) при условии $\varphi_{МП} = 0$;

4) находят толщину затворного диэлектрика h_d по формуле (2.4) для p - и n -канальных структур и выбирают большее значение;

5) проверяют выполнение условия (2.33) для выбранного значения толщины затворного диэлектрика h_d ;

6) рассчитывают технологическую длину канала нагрузочного транзистора ($l_{к1техн}$) и ключевого транзистора ($l_{к2техн}$) по табл. 2.1 и выражению (2.49);

7) рассчитывают удельную крутизну S_{01} нагрузочного транзистора по формулам (2.41), (2.42) при заданных значениях C_H и $t_{выкл} = 2t_{зад}$ в зависимости от схемы инвертора;

8) рассчитывают удельную крутизну S_{02} ключевого транзистора по формулам (2.42) или (2.41) при заданных значениях C_H и $t_{выкл} = 2t_{зад}$ в зависимости от схемы инвертора;

9) находят отношение ширины канала нагрузочного и ключевого транзисторов к его длине $b_{к1}/l_{к1техн}$ и $b_{к2}/l_{к2техн}$ по формуле (2.7) при заданных значениях подвижности носителей заряда μ_p и μ_n ;

10) определяют другие конструктивные параметры ключевых и нагрузочных транзисторов, охранных колец, диодов по табл. 2.1 с учетом рекомендаций § 2.6.

Расчет паразитных связей и параметров МДП-ИМС. Расчет паразитных связей и параметров включает проверку наличия паразитных каналов, определение статического коэффициента разветв-

ления $K_{\text{раз}}$ и времени задержки сигнала $t_{\text{зад}}$ с целью контроля выполнения условий:

$$U_{0\text{пар}} \geq U_{0\text{пар.доп}}, \quad (2.51)$$

$$K_{\text{раз}} \geq K_{\text{раз.доп}}, \quad (2.52)$$

$$t_{\text{зад}} \leq t_{\text{зад.доп}}. \quad (2.53)$$

Правые части неравенств (2.51) — (2.53) задаются в ТЗ, а левые части при проверке необходимо определить расчетным путем.

Проверка наличия паразитных каналов включает:

1) анализ эскиза топологии кристалла для выявления областей возможного образования паразитных каналов;

2) разработку мер повышения пороговых напряжений паразитных структур для исключения их влияния. К таким мерам относят выбор толщины толстого диэлектрика $h_{\text{т.д}}$, которая обеспечивала бы требуемое пороговое напряжение паразитных МДП-структур $U_{0\text{пар}}$. Значение $h_{\text{т.д}}$ определяют из выражений (2.10) и (2.11) соответственно для паразитных p - и n -каналов.

Для определения статического коэффициента разветвления требуется:

1) рассчитать удельную емкость проводника металлизации над толстым диэлектриком $C_{\text{т.д}0}$ по формуле (2.4), а также удельную емкость перехода сток (исток) — подложка C_{j0} по выражению (2.20);

2) для проверки неравенства (2.52) определить статический коэффициент разветвления по формуле

$$K_{\text{раз}} = (C_{\text{н}} - C_{\text{монт}}) / C_{\text{вх}j}, \quad (2.54)$$

где $C_{\text{монт}}$ — емкость монтажа (~ 5 — 10 пФ); $C_{\text{вх}j}$ — входная емкость ИМС по j -му входу, определяемая как

$$C_{\text{вх}j} = \sum_{i=1}^k (C_{\text{эл}i} + C_{\text{эл}i}) + C_{\text{зс}} K'_{\text{м}} + (S_{\text{кп}} + S_{\text{пр}}) C_{\text{т.д}0} + C_{\text{охр}}, \quad (2.55)$$

где k — количество транзисторов входного инвертора, включенных параллельно; $C_{\text{зс}}$ — емкость затвор — сток ключевых транзисторов; $K'_{\text{м}}$ — коэффициент, учитывающий эффект Миллера; $S_{\text{кп}}$ — площадь контактной площадки; $S_{\text{пр}}$ — площадь проводника металлизации от контактной площадки до затвора; $C_{\text{охр}}$ — емкость охранных диодов.

Определение времени задержки сигнала разработанной многокаскадной МДП-ИМС включает расчет конструктивной нагрузочной емкости $C_{\text{н.констр}}$ промежуточного и входного инверторов по формуле (2.46) и по эскизу топологии кристалла, а также проверку неравенства

$$C_{н.констр} \leq C'_н, \quad (2.56)$$

где $C'_н$ — расчетное значение емкости (2.47).

При невыполнении условия (2.52) производят перерасчет топологии входного инвертора путем увеличения времени его выключения, рассчитанного ранее по (2.5). Для однокаскадных ИМС целесообразно переработать топологию входного инвертора, произведя расчет на меньшую емкость нагрузки $C_н$. При невыполнении условия (2.53) или (2.56) необходимо произвести перерасчет топологии промежуточных инверторов на большую емкость $C'_н$, чем задано в (2.47).

Пример расчета конструкции и топологии КМДП-ИМС

Техническое задание

Разработать конструкцию и топологию микросхемы ИЛИ — НЕ по следующим исходным данным: электрическая схема (рис. 2.30); $K_{раз} = 10$; $C_н = 50$ пФ;

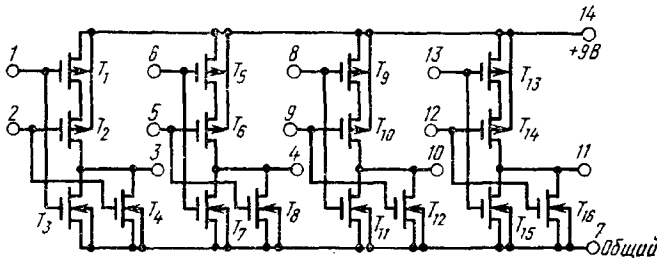


Рис. 2.30. Электрическая схема микросхемы ИЛИ — НЕ

$t_{зад} = 50$ нс; $U_{н.п} = 9 \text{ В} \pm 10\%$; $U_{вых}^0 \leq 0,3 \text{ В}$; $U_{вых}^1 \geq 7,5 \text{ В}$; $U_{пом} = 0,9 \text{ В}$; технология КМДП; технология монтажа кристалла в корпусе — ручная термокомпрессия; материал пластины — КЭФ4,5 <100>; материал затвора — поликристаллический кремний; $N_0^n = 10^{15} \text{ см}^{-3}$; $N_0^p = 2 \cdot 10^{16} \text{ см}^{-3}$; $N_{пов} = (1 \div 2) \times 10^{11} \text{ см}^{-2}$; $\mu_n = 450 \text{ см}^2/(\text{В} \cdot \text{с})$; $\mu_p = 250 \text{ см}^2/(\text{В} \cdot \text{с})$; $U_{опар} \geq 10 \text{ В}$; герметичность корпуса $5 \cdot 10^{-5} \text{ л} \cdot \text{мкм/с}$; $T = -45 \div +85^\circ \text{С}$.

Так как электрическая схема содержит четыре однотипных двухходовых инвертора, достаточно рассчитать конструктивные параметры только одного из них. Последовательность расчета соответствует приведенному ранее порядку:

- 1) по выражению (2.37) $|U_0| = 1,46 \text{ В}$;
 - 2) по формуле (2.10) $C_{з0} = 4,65 \cdot 10^{-8} \text{ Ф/см}^2$, а по формуле (2.11) $C_{з0} = 2,4 \cdot 10^{-8} \text{ Ф/см}^2$;
 - 3) по выражению (2.4) $h_d = \max \left\{ \frac{h_x^{(p)}}{h_x^{(n)}} \right\} = \max \left\{ \begin{matrix} 0,075 \\ 0,15 \end{matrix} \right\} = 0,15 \text{ мкм}$;
 - 4) $U_{01} = -2,31 \text{ В}$, $U_{02} = 1,46 \text{ В}$, $|U_{01}| + U_{02} = 3,77 < U_{н.п} = 9 \text{ В}$;
 - 5) по табл. 2.1 и формуле (2.49) $l_{к1гехи} = l_{к2гехи} = l_3 - 2i = 3 \text{ мкм}$;
 - 6) по выражению (2.42) $S_{01} = 4,4 \cdot 10^{-4} \text{ А/В}^2$;
 - 7) по выражению (2.41) $S_{02} = 1,93 \cdot 10^{-4} \text{ А/В}^2$;
 - 8) по выражению (2.7) $b_{к1}/l_{к1гехи} = 73$ и $b_{к2}/l_{к2гехи} = 18$.
- Отсюда $b_{к1} = 219 \text{ мкм}$, а $b_{к2} = 54 \text{ мкм}$.
Остальные размеры областей МДП-транзисторов выбирают по табл. 2.1.

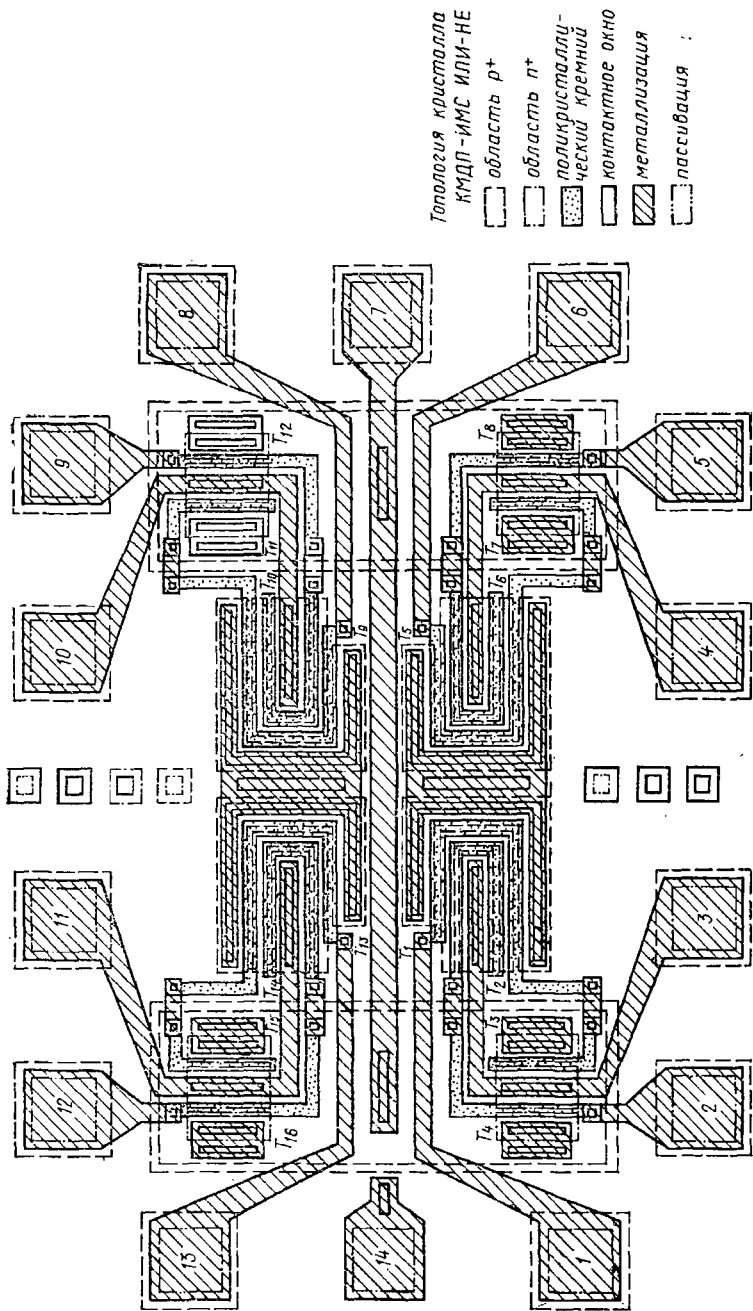


Рис. 2.31. Топология кристалла КМДП-ИМС ИЛИ — НЕ

При разработке эскиза топологии кристалл разбивают на четыре равные части и производят размещение транзисторов только первого инвертора (T_1-T_4) с учетом технологических ограничений. Плотность размещения элементов обеспечивается последовательным соединением p -канальных транзисторов (T_1, T_2) с объединенными стоковой и истоковой областями и параллельным соединением n -канальных транзисторов (T_3, T_4) через область подложки. Вариант топологии кристалла с четырьмя двухходовыми инверторами приведен на рис. 2.31. По оси симметрии кристалла расположены фигуры совмещения.

Оценку качества разработанной топологии производят по ранее изложенной методике. Для устранения паразитных n -каналов вводят охранное кольцо p^+ -типа, охватывающее n -канальные транзисторы инверторов, а для устранения остальных паразитных p -каналов толщину окисла кремния $h_{г.д}$ в соответствии с (2.10) делают равной 1,7 мкм.

Определенное по (2.54) значение статического коэффициента разветвления $K_{раз} = 57 > K_{раз.доп} = 10$ удовлетворяет требованиям технического задания, поэтому доработку эскиза топологии не производят.