

## 14 CIRCUITE LOGICE SECVENȚIALE

### 14.1 Circuite basculante bistabile

#### 14.1.1 Ce sunt stările stabile?

Circuitele logice secvențiale sunt acele circuite care au în structura lor atât circuite logice combinaționale cât și elemente de memorie binară. Datorită acestei combinații de circuite, stările ieșirilor circuitelor secvențiale depind atât de combinația nivelurilor logice de la intrări la un moment dat, cât și de semnalele aplicate la intrări în momente anterioare.

Circuitele basculante bistabile (CBB, Fig.14.1) sunt circuite logice secvențiale cu două sau mai multe intrări și **două ieșiri**, acestea din urmă neputând fi decât **în stări complementare** din punct de vedere al nivelurilor logice de tensiune: dacă una este la nivel logic 1, în mod obligatoriu cealaltă este la nivel logic 0. Intrările sunt folosite pentru a provoca bascularea circuitului înainte sau înapoi între cele două stări. Dacă un impuls aplicat la intrare provoacă bascularea CBB într-o stare, circuitul va rămâne în aceasta chiar și după dispariția impulsului de la intrare. Aceasta este caracteristica de **memorie a CBB**.

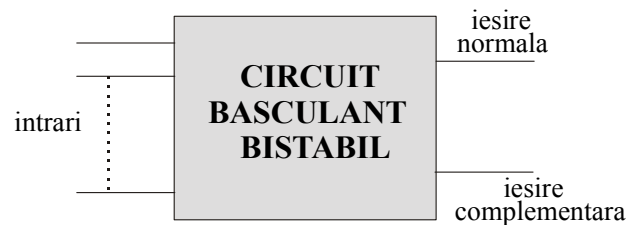


Fig.14.1

Se pune întrebarea: *ce ar putea fi în interiorul spațiului pe care scrie „circuit basculant bistabil”?* Pentru a răspunde la această întrebare, pornim de la o schemă simplă cu două inversoare conectate fiecare cu ieșirea la intrarea celuilalt (conexiune „în cross”, fig.14.2)

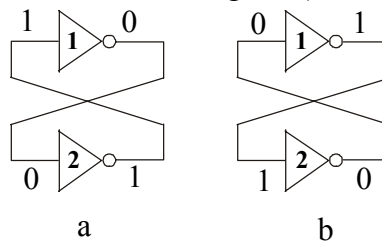


Fig.14.2

## 14 Circuite logice secvențiale

Cunoscând faptul că ieșirea unui inversor este întotdeauna complementul logic al intrării sale, după o examinare sumară a circuitului se poate observa că circuitul are două stări stabile (fig.14.2a, și b). Inconvenientul major al acestui circuit bistabil este acela că starea în care el se va afla la un moment dat nu poate fi influențată din exterior. La conectarea tensiunii de alimentare circuitul va trece în una dintre cele două stări stabile, în funcție de care dintre cele două inversoare va reacționa mai rapid la acest stimul și va rămâne în aceasta atâta timp cât este alimentat.

Explicarea fizică a acestui comportament poate fi dată pornind de la caracteristica de transfer a inversorului CMOS din fig.11.9, caracteristică prezentată în fig.14.3a.

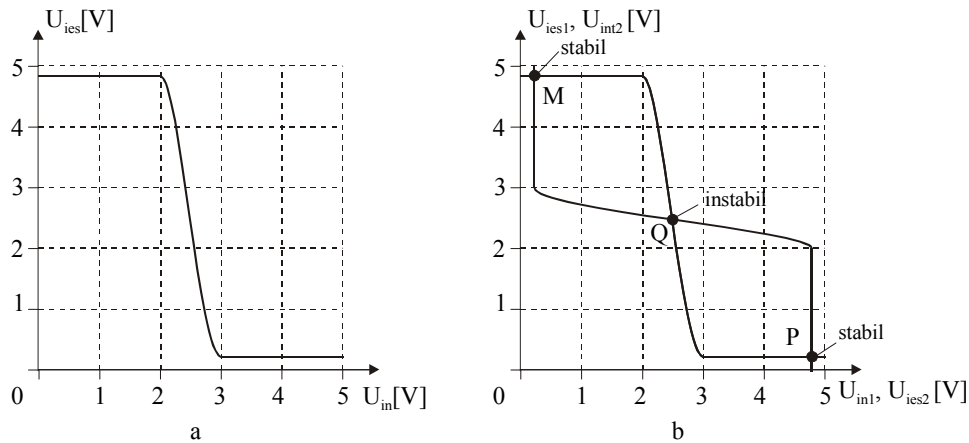


Fig.14.3

În cazul circuitului din fig.14.2 tensiunea de ieșire a unui inversor reprezintă tensiune de intrare pentru celălalt și invers. Dacă reprezentăm pe același grafic cele două caracteristici de transfer (fig.14.3b), vom observa că ele au trei puncte de intersecție, care reprezintă cele trei puncte posibile de funcționare. Dacă la un moment dat circuitul s-ar afla în starea corespunzătoare punctului Q, o variație de tensiune oricât de mică va determina deplasarea lui în punctele M sau P, în funcție de sensul inițial de variație al tensiunii. Punctele de funcționare M și P sunt stabile, în ele fiind satisfăcut și modul de funcționare al inversorului.

### 14.1.2 Circuit basculant bistabil SR de bază

Un circuit bistabil a cărui stare poate fi determinată de un impuls exterior poate fi construit cu două porți SAU-NU conectate ca în fig.14.4. Circuitul are două intrări S (**SET**) și R (**RESET**) și două ieșiri  $Q_1$  și  $Q_2$ . În stare

inactivă cele două intrări se află la nivel logic 0. Atâta timp cât ele se află în această stare, ieșirile nu își vor schimba stările logice în care se află. Având în vedere funcția logică pe care o realizează o poartă SAU-NU, să vedem care sunt stările posibile ale ieșirilor în stare inactivă a celor două intrări ( $S = 0, R = 0$ ). Astfel, dacă intrările porții 2 sunt în starea 00, ieșirea ei va fi în starea  $Q_2 = 1$  ( $\overline{0+0} = 1$ ). Ieșirea porții 2 forțează a doua intrare a porții 1 în starea 1 și ieșirea ei va fi în starea  $Q_1 = 0$  ( $\overline{0+1} = 0$ ). Aceeași logică poate fi aplicată și în cazul în care intrările porții 2 sunt în starea 01. În acest caz ieșirile trebuie să fie în stările  $Q_2 = 0, Q_1 = 1$ . Putem deci concluziona că în stare inactivă cele două ieșiri trebuie să fie în stări complementare ( $Q_2 = \overline{Q_1}$ )

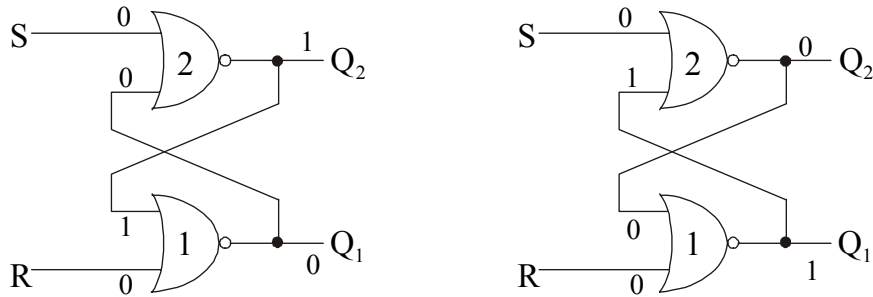


Fig.14.4

Având în vedere complementaritatea celor două ieșiri în starea de „așteptare”, vom folosi în continuare următoarele notații pentru ele:  $Q_1 = Q$  și  $Q_2 = \overline{Q}$ , și le vom denumi **ieșirea normală**, respectiv **ieșirea complementară**. (fig.14.5).

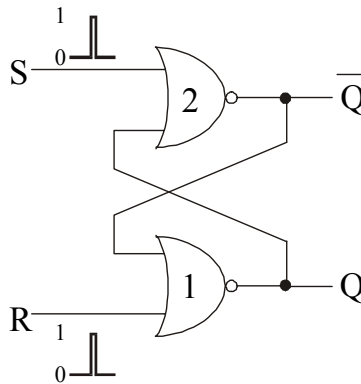


Fig.14.5

## 14 Circuite logice secvențiale

Bascularea circuitului dintr-o stare stabilă în starea complementară poate fi provocată prin aducerea la nivel logic 1, pentru un interval de timp foarte scurt (impuls pozitiv), a uneia dintre cele două intrări, S sau R. Starea în care se vor afla ieșirile după aplicarea unui astfel de „stimul” de intrare, poate fi determinată considerând cele două stări posibile ale ieșirilor și funcțiile logice realizate de porțile SAU-NU. Funcționarea unui circuit basculant bistabil SR este sintetizată în tabelul 14.1, iar simbolul său este prezentat în fig.14.6. În tabel, s-au folosit notațiile:

- $Q_n$  – starea ieșirii normale înainte de aplicarea impulsului de nivel logic 1 pe una dintre intrări
- $Q_{n+1}$  - starea ieșirii normale după revenirea intrării respective la nivel logic 0

Tabelul 14.1

S	R	$Q_{n+1}$
0	0	$Q_n$
1 $\lrcorner$	0	1
0	1 $\lrcorner$	0
1 $\lrcorner$	1 $\lrcorner$	?

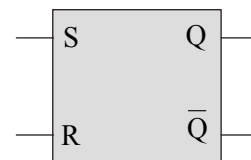


Fig.14.6

Se poate observa că dacă impulsul de nivel logic 1 este aplicat la intrarea S, ieșirea normală va fi la nivel logic 1 indiferent de starea sa inițială. De aceea intrarea S se mai numește intrare de **înscriere** a unei informații. Dacă impulsul de nivel logic 1 se aplică la intrarea R, ieșirea normală va fi la nivel logic 0 indiferent de starea sa inițială. Intrarea R se mai numește intrare de **ștergere**.

În tabelul 14.1 apare și situația în care ambele intrări sunt aduse simultan la nivel logic 1. În intervalul de timp în care ele se află la nivel logic 1 ambele ieșiri vor fi la nivel logic 0. Acest lucru rezultă din analiza logică a circuitului ca un circuit combinațional în stare staționară. Ce se întâmplă însă după ce intrările revin în starea de nivel logic 0? Cele două porți nu reacționează simultan la un “stimul” extern. Una dintre ele va reveni mai rapid decât cealaltă la nivel logic 0, lăsând celeilalte rolul de poartă de decizie. Dar, cum nu avem de unde ști care dintre cele două porți este mai rapidă, în circuit se poate întâmpla orice. După revenirea la nivel logic 0 a celor două intrări, ieșirile vor fi în starea 01 sau 10, dar fără a putea prezice în care. De aceea, se spune despre această situație că este una nedorită, tocmai pentru că are un efect imprevizibil. Vom vedea mai târziu cum o putem înlătura.

### 14.1.3 Circuit basculant bistabil SR sincronizat

În multe sisteme digitale este necesar ca procesele de comutare să aibă loc numai la anumite momente de timp bine determinate, adică ele să fie sincronizate cu alte semnale. Aceste semnale de sincronizare se mai numesc semnale de tact sau de ceas (clock - CLK). De regulă, ele sunt semnale dreptunghiulare periodice și se aplică pe o intrare distinctă numită **intrare de tact**. Toate CBB-urile sincronizate pot avea una sau mai multe **intrări sincronizate** cu semnalul de tact, intrări care se mai numesc și intrări de control. Ele pot fi denumite în diferite moduri, după funcția pe care o îndeplinesc (de exemplu SET și RESET din cazul precedent). Intrările de control vor determina starea ieșirilor circuitului, dar efectul lor este sincronizat cu unul din fronturile semnalului de tact. Cu alte cuvinte, nivelurile logice prezente la intrările sincronizate vor controla modul în care se schimbă nivelurile logice ale ieșirilor în timp ce semnalul de tact va tranzita de la un nivel la altul.

Prin adăugarea a două porți ȘI bistabilului SR de bază și a unui detector de front se obține un circuit basculant bistabil SR sincronizat cu unul din fronturile semnalului de tact (fig.14.7).

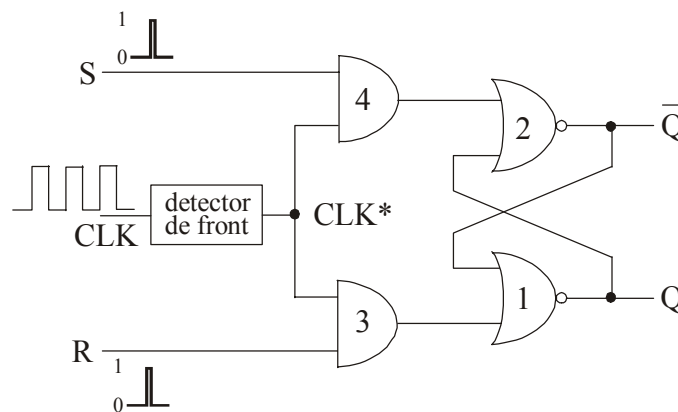


Fig.14.7

Circuitul detector de front furnizează un impuls scurt ( $CLK^*$ ) coincident cu frontul crescător sau descrescător al semnalului de tact. Cele două porți ȘI alcătuiesc un circuit de dirijare, care permite impulsului  $CLK^*$  să treacă spre circuitul SR de bază în funcție de starea logică a intrărilor de control S și R.

Tabelul 14.2 sintetizează funcționarea circuitului SR sincronizat cu frontul descrescător al semnalului de tact. Se poate observa că starea de incertitudine privind răspunsul circuitului în situația în care ambele intrări

## 14 Circuite logice secvențiale

sunt aduse simultan la nivel logic 1 se păstrează. În fig.14.8 este prezentat simbolul circuitului SR sincronizat. Intrarea de tact este simbolizată printr-un mic triunghi precedat de un cerculeț, semn că procesul de comutare poate avea loc pe frontul descrescător al semnalului de tact. În cazul în care comutarea are loc pe frontul crescător al semnalului de tact, intrarea de tact se simbolizează numai printr-un triunghi. Frontul semnalului de tact care permite realizarea unui proces de comutare se numește **front activ**.

Tabelul 14.2

CLK	S	R	$Q_{n+1}$
1 $\downarrow$	0	0	$Q_n$
1 $\downarrow$	1 $\downarrow$	0	1
1 $\downarrow$	0	1 $\downarrow$	0
1 $\downarrow$	1 $\downarrow$	1 $\downarrow$	?

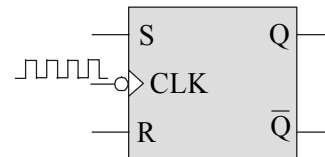


Fig.14.8

În fig. 14.9 sunt reprezentate formele de undă ale semnalelor pentru o situație oarecare a evoluției în timp a stărilor intrărilor sincronizate. Am presupus că în starea inițială intrările sincronizate S și R sunt inactice și ieșirea normală este la nivel logic 0. Situația în care  $S = R = 1$  a fost evitată intenționat, tocmai pentru că nu știm cum va răspunde circuitul.

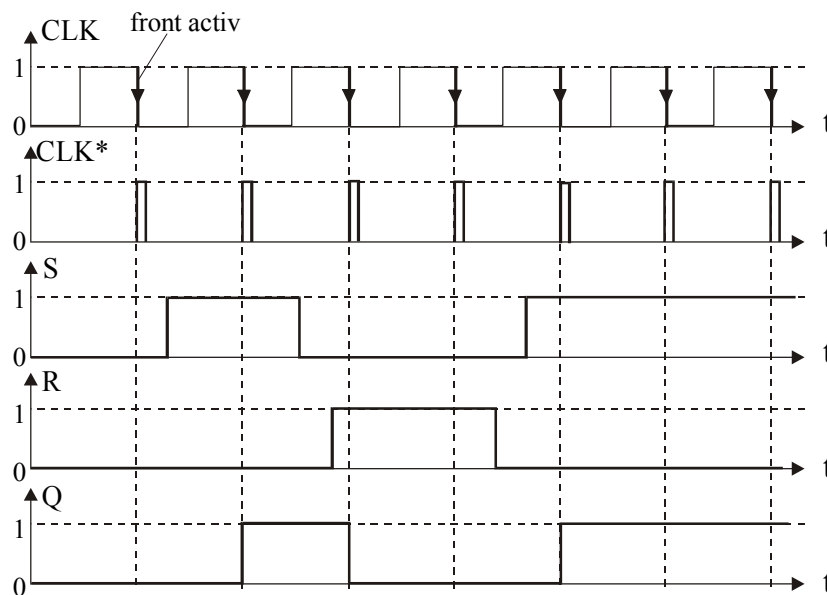


Fig.14.9

#### 14.1.4 Circuitul basculant bistabil JK (Jam-Keep) sincronizat

Inconvenientul circuitelor basculante SR, referitor la starea de nedeterminare a ieșirilor atunci când cele două intrări sunt aduse simultan la nivel logic 1, este înlăturat prin folosirea la intrare a două porți logice ȘI cu trei intrări și a două circuite de reacție, așa cum se arată în fig.14.10.

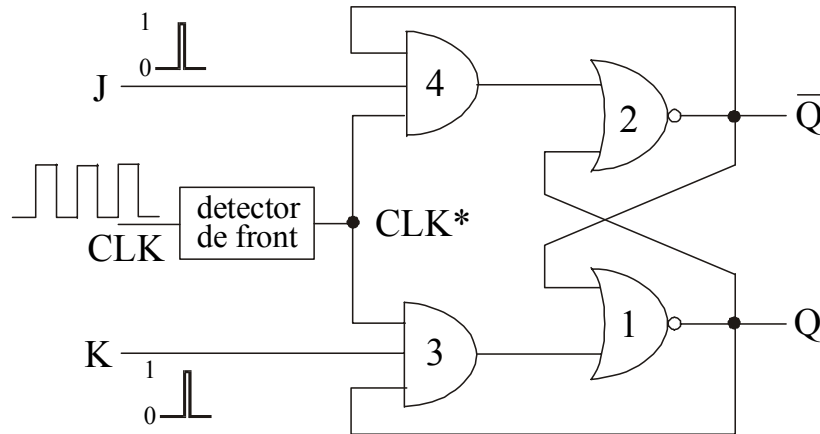


Fig.14.10

Se poate observa că ieșirile porților SAU-NU sunt conectate la intrările porților ȘI care le comandă. Fiind vorba despre un sistem cu reacție, pentru ca circuitul să nu intre în autooscilație este necesar ca impulsul  $CLK^*$  să fie foarte scurt. El trebuie să revină la zero înainte ca ieșirea să basculeze, deci durata lui trebuie să fie mai mică decât timpul de propagare a informației de la intrare și până la ieșire.

Din analiza funcționării circuitului se constată că atunci când ambele intrări sunt aduse simultan din starea logică 0 în starea logică 1, ieșirea basculează în starea complementară celei inițiale. Astfel, dacă starea inițială a ieșirilor este  $Q = 0$  și  $\bar{Q} = 1$ , impulsul  $CLK^*$  va trece prin poarta 4 spre poarta 2 și circuitul va bascula în starea  $Q = 1$ ,  $\bar{Q} = 0$ . Dacă starea inițială a ieșirilor este  $Q = 1$  și  $\bar{Q} = 0$ , impulsul  $CLK^*$  va trece prin poarta 3 spre poarta 1 și circuitul va bascula în starea  $Q = 0$ ,  $\bar{Q} = 1$ .

Tabelul 14.3 sintetizează funcționarea circuitului basculant bistabil JK, iar în fig.14.11 este prezentat simbolul unui astfel de circuit sincronizat cu frontul descrescător al semnalului de tact.

Tabelul 14.3

CLK	J	K	$Q_{n+1}$
1	0	0	$Q_n$
1	1	0	1
1	0	1	0
1	1	1	$\bar{Q}_n$

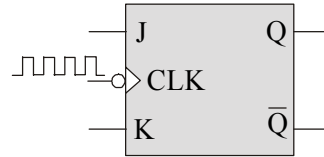


Fig.14.11

14.1.5 Circuitul basculant bistabil D (Data)

Prin adăugarea unui inversor la intrarea K a unui bistabil JK și conectarea intrării lui la intrarea J, se obține circuitul basculant bistabil D. În fig.14.12 sunt prezentate modalitatea de obținere a circuitului precum și simbolul său, iar tabelul 14.4 sintetizează funcționarea lui.

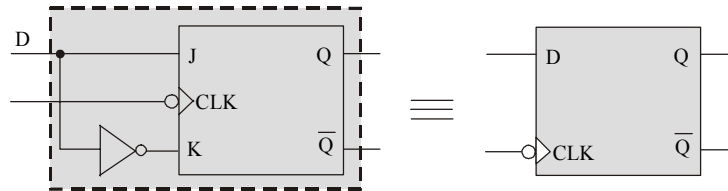


Fig.14.12

Tabelul 14.4

CLK	J(D)	$Q_{n+1}$
1	1	1
1	0	0

Se poate observa că, datorită conectării inversorului, din tabelul de adevăr al bistabilului JK mai rămân doar liniile în care cele două intrări sunt în stări complementare. Pe frontul activ al semnalului de tact informația aplicată la intrarea D este copiată la ieșirea normală Q. Circuitul rămâne în această stare până la aplicarea unui alt impuls la intrare, impuls sincronizat cu frontul activ al semnalului de tact. S-ar părea deci că în orice moment de timp starea ieșirii bistabilului D este identică cu starea intrării lui. Din exemplificarea prezentată în fig.14.13 se poate observa însă că ieșirea copiază nivelul logic al intrării numai în momentele de timp determinate de



frontul activ al semnalului de tact, forma de undă de la ieșire nefiind identică cu cea de la intrare.

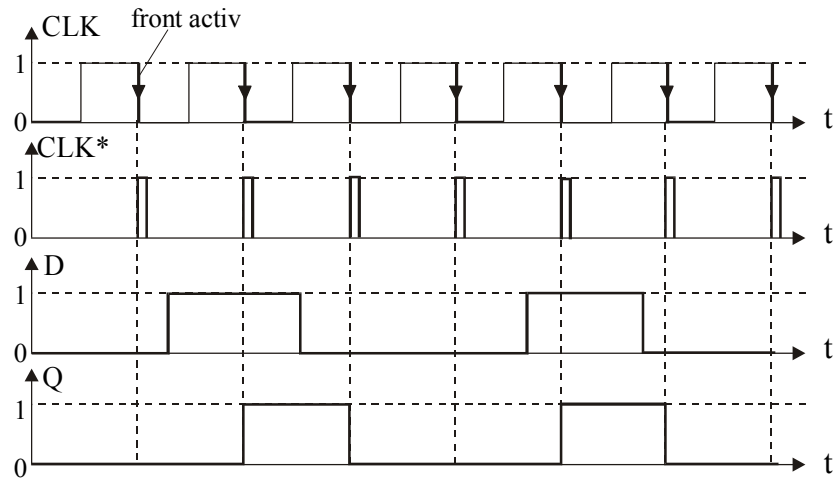


Fig.14.13

14.1.6 CBB "trigger"

Circuitul basculant bistabil "trigger" se obține din circuitul JK prin conectarea împreună a celor două intrări sincronizate, așa cum este arătat în fig.14.14. Aceasta înseamnă că, din tabelul de adevăr al circuitului JK, mai rămân doar liniile în care intrările sunt la același nivel logic, rezultând tabelul 14.5.

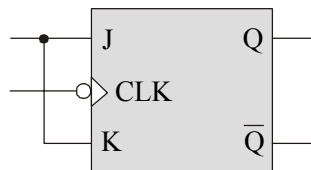


Fig.14.14

Tabelul 14.5

CLK	J = K	$Q_{n+1}$
1 $\uparrow$	0	$Q_n$
1 $\uparrow$	1 $\downarrow$	$\bar{Q}_n$

Se poate observa că dacă ambele intrări sincronizate sunt la nivel logic 1, pe frontul activ al semnalului de tact bistabilul "trigger" va bascula dintr-o stare în alta.

În fig.14.15 sunt prezentate formele de undă ale semnalelor de la intrările și ieșirile unui circuit basculant bistabil JK în situația în care intrările sincronizate sunt simultan la nivel logic 1.

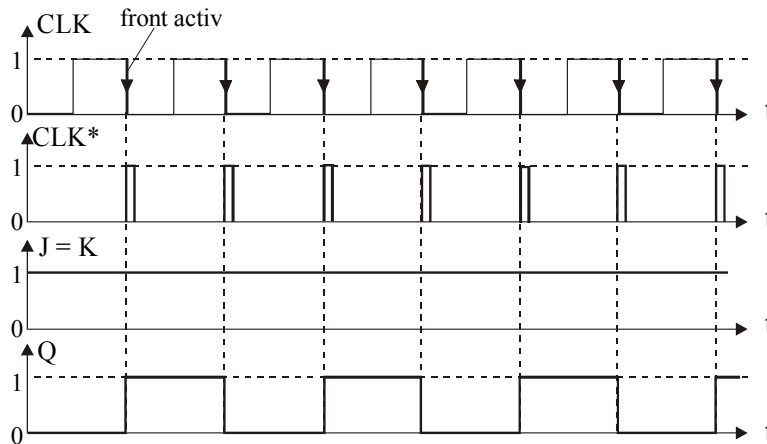
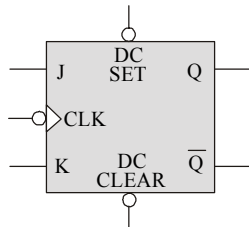


Fig.14.15

14.1.7 Intrări asincrone

Pe lângă intrările de control sincronizate, CBB-urile pot fi prevăzute și cu intrări asincrone care operează independent de intrările sincronizate și de semnalul de tact. Ele se mai numesc *intrări prioritare* de înscriere (PRESET) și de ștergere (CLEAR) și pot fi active atunci când sunt la nivel logic 0 sau la nivel logic 1. În fig.14.15 este prezentat simbolul unui CBB JK cu două intrări asincrone, active atunci când sunt la nivel logic 0, iar alăturat tabelul său de adevăr (tabelul 14.6). Simbolul *x* din tabel ne arată că intrările asincrone pot acționa supra ieșirilor în orice moment de timp, independent de semnalul de tact.

Tabelul14.6



CLK	DC SET	DC CLEAR	Raspuns
x	1	1	opereaza sincron
x	0	1	$Q = 1$
x	1	0	$Q = 0$
x	0	0	nu se foloseste

Fig.14.16

În stare normală intrările asincrone sunt menținute la nivelul logic 1 neafectând funcționarea sincronă a CBB. Aducerea intrării asincrone DC SET la nivel logic 0 va aduce ieșirea CBB în starea  $Q = 1$ ,  $\bar{Q} = 0$ , deci informația este înscrisă la ieșirea normală. Activarea intrării DC CLEAR are ca efect ștergerea informației (dacă ea există) de la ieșirea normală. Trebuie

menționat faptul că intrările asincrone răspund și la semnale continue de tensiune (nu numai la impulsuri), astfel încât un CBB poate fi menținut într-o anumită stare un interval de timp oricât de lung.

## 14.2 Registrul de deplasare

Registrul de deplasare poate fi folosit la stocarea de biți informaționali. Biții informaționali pot fi transferați într-un alt registru identic cu primul. *Transferul* poate fi *serial* (bit după bit) sau *paralel* (toți biții deodată). În cazul transferului paralel, circuitele basculante din componența registrului trebuie să aibă intrări asincrone.

Registrul de deplasare de bază este alcătuit dintr-un număr de CBB conectate în cascadă (serie), ieșirea fiecăruia fiind conectată la intrarea următorului. El are calitatea de a memora un număr de biți informaționali egal cu numărul de CBB. În fig.14.17 este prezentat un registru de deplasare pe patru biți.

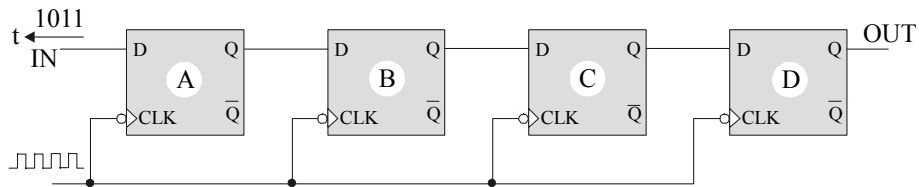


Fig.14.17

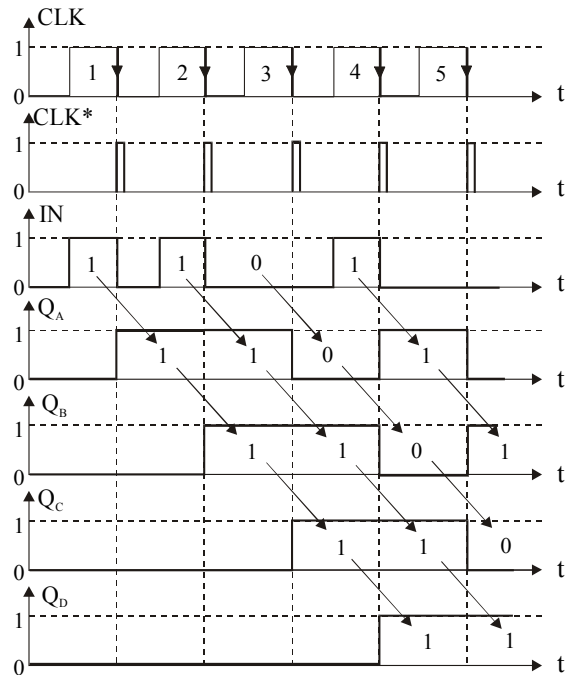


Fig.14.18

Impulsurile de comandă se aplică simultan pe cele patru intrări de tact prin conectarea lor împreună. Informația (în cazul de față succesiunea de biți 1101) se aplică succesiv (în serie) la intrarea primului CBB. La aplicarea fiecărui impuls de tact informația prezentă la intrarea fiecărui bistabil este transferată la ieșirea lui (fig.14.18).

Astfel, după aplicarea a patru impulsuri de tact cei patru biți aplicați la intrare vor forma conținutul registrului de deplasare. Această informație, odată înmagazinată, poate fi "citită" la ieșirea ultimului CBB, sau poate fi transferată serial unui alt registru de deplasare pe patru biți prin aplicarea a încă patru impulsuri de tact. În cazul în care se dorește transferul informației către un alt registru identic cu primul (registru destinație), intrarea acestuia se conectează la ieșirea serială a registrului sursă.

### 14.3 Numărătoare

Numărătoarele se bazează pe proprietățile circuitelor basculante bistabile de tip "trigger" de a trece dintr-o stare în alta pe fiecare front activ al semnalului de tact, dacă intrările sincronizate sunt la nivel logic 1. Celor două stări posibile ale ieșirii li se asociază cifrele 0 și 1 din reprezentarea în cod binar a unui număr oarecare. În acest mod pot fi numărate în cod binar impulsurile aplicate la intrarea de tact. De aceea, în cazul numărătoarelor, intrarea de tact se mai numește și *intrare de numărare*.

#### 14.3.1 Numărătorul asincron

Un singur circuit bistabil de tip "trigger", având două stări distincte ale ieșirii, poate număra până la doi în cod binar. Dacă se conectează în cascadă un număr  $N$  de circuite basculante bistabile de tip "trigger", astfel încât ieșirea fiecăruia să fie conectată la intrarea de numărare (intrarea de tact) a următorului, se realizează un *numărător pe  $N$  biți* (pot fi contorizate numere alcătuite din  $N$  biți în baza de numerație 2). Impulsurile care trebuie numărate se aplică la intrarea de tact a primului bistabil din lanțul de numărare. **Fiecărei ieșiri  $i$  se atribuie o pondere de rang binar începând cu  $2^0$  și terminând cu  $2^{N-1}$ .**

În fig.14.19 este prezentat un numărător asincron pe patru biți, iar în fig.14.20 sunt reprezentate formele de undă ale semnalelor de la intrare și de la ieșirile celor patru circuite basculante bistabile, presupunând că în starea inițială toate ieșirile normale sunt la nivel logic 0.

Pentru o înțelegere mai bună a funcționării lui este necesară fixarea următoarelor idei:

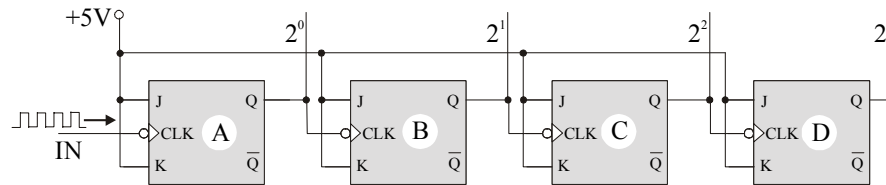


Fig.14.19

- intrările sincronizate ale tuturor bistabilelor sunt menținute la nivel logic 1 (+5V)
- impulsurile care vor fi contorizate se aplică numai la intrarea de tact a primului bistabil și fiecare ieșire normală acționează ca intrare de tact pentru bistabilul următor
- bascularea tuturor bistabilelor se face pe frontul descrescător al semnalelor de tact (frontul activ)
- dacă fiecărei ieșiri  $i$  se atribuie o pondere de rang binar, atunci evoluția în timp a ieșirilor va reprezenta un șir de secvențe de numărare de la starea binară 0000 până la starea binară 1111
- după 15 impulsuri aplicate la intrarea numărătorului va fi în starea 1111 iar la al 16-lea impuls va trece în starea 0000 și secvența de numărare este reluată ciclic. Datorită faptului că numărătorul are 16 stări distincte el se mai numește numărător *modulo 16* (MOD-16) și poate număra până la 15. În general, un numărător cu  $N$  circuite basculante bistabile se numește  $MOD-2^N$  și el poate număra până la  $2^N-1$ .

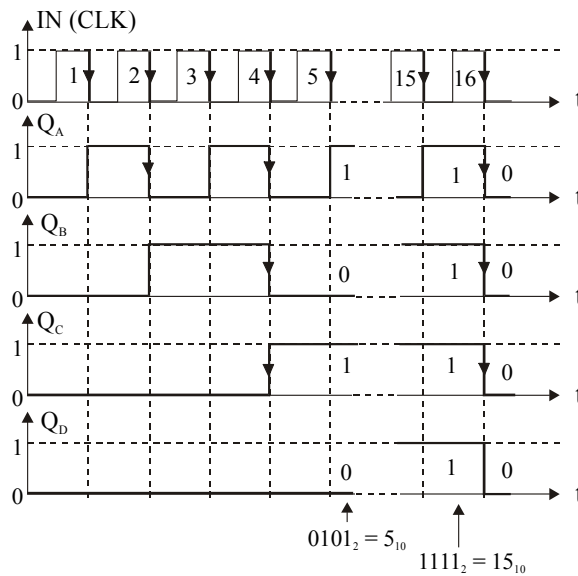


Fig.14.20

## 14 Circuite logice secvențiale

Acest tip de numărător se numește *asincron* deoarece schimbarea stărilor bistabilelor nu se face în sincronism perfect cu impulsurile de tact de la intrare. Astfel, bistabilul **B** trebuie să aștepte schimbarea stării bistabilului **A** înainte de basculare, **C** trebuie să aștepte schimbarea stării lui **B**, etc. Aceasta se întâmplă datorită timpului de întârziere între aplicarea unui impuls la intrarea unui CBB și momentul răspunsului său la acest impuls. Acest timp de întârziere dintre cauză și efect este de ordinul  $10^1$  ns și uneori el poate fi deranjant.

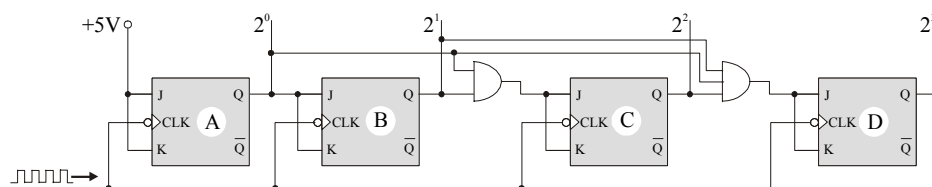
Analizând formele de undă ale semnalelor de la ieșirile numărătorului se pot formula câteva *concluzii*:

- numărul de impulsuri de la ieșirea fiecărui CBB este de două ori mai mic decât cel de la intrarea sa
- în funcție de numărul  $N$  de celule de numărare se poate realiza o divizare cu  $2^N$  a numărului de la intrare
- dacă la ieșirile complementare este înscris la un moment dat un anumit număr (în cod binar evident) și se urmărește efectul impulsurilor de intrare asupra lor, se poate constata că se obține un numărător în sens invers.

### 14.3.2 Numărătorul sincron

Inconvenientul major al numărătoarelor asincrone este acumularea timpilor de întârziere datorită propagării în timp finit a informației prin lanțul de circuite basculante bistabile ale numărătorului, deci și limitarea frecvenței de operare. Acest inconvenient poate fi înlăturat cu ajutorul numărătoarelor sincrone, în care toate circuitele basculante bistabile sunt comandate simultan de către impulsurile care trebuie contorizate, acestea fiind aplicate pe toate intrările de tact deodată.

În fig.14.21 este prezentată schema unui numărător sincron MOD



16.

Fig.14.21

Ambele intrări de comandă ale bistabilului **A** fiind în permanență la nivel logic 1, el va fi activ la sosirea oricărui impuls la intrarea sa de tact. Bistabilul **B** va fi activ pe frontul descrescător al lui Q<sub>A</sub>. Datorită prezenței

celor două porți ȘI la intrările bistabilelor **C** și **D**, cu conexiunile indicate în figură, bistabilul **C** va fi activ pe fronturile simultan descrescătoare ale lui  $Q_A$  și  $Q_B$  iar bistabilul **D** va fi activ pe fronturile simultan descrescătoare ale lui  $Q_A$ ,  $Q_B$  și  $Q_C$ . Astfel, va fi îndeplinită funcția de numărare a numărătorului sincron, formele de undă de la ieșirile circuitelor basculante bistabile fiind identice cu cele ale numărătorului asincron.

Un numărător sincron în jos poate fi construit într-o manieră similară folosind semnalele de la ieșirile inversoare drept semnale de comandă pentru intrările circuitelor următoare.