

|                                   |                        |          |
|-----------------------------------|------------------------|----------|
| <b>FIȘA DISCIPLINEI/MODULULUI</b> | <b>Cod: S.05.O.032</b> |          |
|                                   | <b>Ediția</b>          | <b>1</b> |
|                                   | <b>Revizia</b>         | <b>0</b> |
|                                   | <b>Pagina</b>          | <b>1</b> |

## FIȘA

### DISCIPLINEI/MODULULUI

MD-2045, CHIȘINĂU, STR. SERGIU RĂDĂUȚANU, 4, TEL: 022 32-39-73 | FAX: 022 32-39-71, [www.utm.md](http://www.utm.md)

### Limbaje de descriere hardware

#### 1. Date despre disciplină/modul

|                                |   |                        |                                     |                                   |                     |
|--------------------------------|---|------------------------|-------------------------------------|-----------------------------------|---------------------|
| <b>Facultatea</b>              | <b>Calculatoare Informatica și Microelectronica</b> |                        |                                     |                                   |                     |
| <b>Departamentul</b>           | <b>Microelectronica și Inginerie Biomedicală</b>    |                        |                                     |                                   |                     |
| <b>Ciclul de studii</b>        | <b>Studii superioare de licență, ciclul I</b>       |                        |                                     |                                   |                     |
| <b>Programul de studii</b>     | <b>0714.5 Microelectronica și Nanotehnologii</b>    |                        |                                     |                                   |                     |
| <b>Anul de studii</b>          | <b>Semestrul</b>                                    | <b>Tip de evaluare</b> | <b>Categoria formativă</b>          | <b>Categoria de opționalitate</b> | <b>Credite ECTS</b> |
| III (învățământ cu frecvență); | 5   | E                      | S – unitate de curs de specialitate | O - unitate de curs obligatorie   | 4                   |

#### 2. Timpul total estimat

|                                   |                 |                   |                   |                               |                     |
|-----------------------------------|-----------------|-------------------|-------------------|-------------------------------|---------------------|
| Total ore în planul de învățământ | Din care        |                   |                   |                               |                     |
|                                   | Ore auditoriale |                   | Lucrul individual |                               |                     |
|                                   | Curs            | Laborator/seminar | Proiect de an     | Studiul materialului teoretic | Pregătire aplicații |
| 120                               | 30              | 30                | 0                 | 60                            | 0                   |

#### 3. Precondiții de acces la disciplină/modul

|                                |   |
|--------------------------------|---|
| Conform planului de învățământ | Programarea calculatoarelor, Structuri de date și algoritmi, Circuite integrate digitale                                |
| Conform competențelor          | Cunoașterea sintaxei de bază a limbajelor de tip C, cunoașterea structurilor și proprietăților portilor logice de bază. |

#### 4. Condiții de desfășurare a procesului educațional pentru

|                   |  |
|-------------------|--|
| Curs              | Pentru prezentarea materialului teoretic în sala de curs este nevoie de cretă și tablă. Nu vor fi tolerate întârzierile studenților, precum și convorbirile telefonice în timpul cursului. |
| Laborator/seminar | Studenții vor perfecta rapoarte conform condițiilor impuse de indicațiile metodice. Procedura de susținere a rapoartelor este încadrată în sistemul on-line e-learning.                    |

#### 5. Competențe specifice acumulate

|                         |  |
|-------------------------|--|
| Competențe profesionale | <p><b>CP4.</b> Definirea conceptelor, teoriilor, modelelor și metodelor specifice descrierii sistemelor digitale cu utilizarea limbajului Verilog.</p> <ul style="list-style-type: none"> <li>✓ Utilizarea cunoștințelor de bază pentru explicarea și interpretarea procedeele de elaborare a unui sistem digital.</li> <li>✓ Aplicarea de principii și metode de bază pentru proiectarea modulelor primitive de baza la un chip FPGA utilizind limbaj Verilog.</li> <li>✓ Utilizarea adecvată de criterii și metode de evaluare a modelelor de chipuri FPGA noi, pentru implimentarea sistemelor digitale complexe.</li> <li>✓ Elaborarea modulelor digitale de diversă complexitate, utilizând principii, procedee,</li> </ul> |
|-------------------------|--|

|                         |   |                        |          |
|-------------------------|---|------------------------|----------|
|                         | <b>FIȘA DISCIPLINEI/MODULULUI</b>   | <b>Cod: S.05.O.032</b> |          |
|                         |   | <b>Ediția</b>          | <b>1</b> |
|                         |   | <b>Revizia</b>         | <b>0</b> |
|                         |   | <b>Pagina</b>          | <b>2</b> |
|                         | <p>tehnici și metode de bază consacrate în domeniu.</p> <p><b>CP6.</b> Testarea modulelor descrise în limbaj Verilog.</p> <ul style="list-style-type: none"> <li>✓ Descrierea procedeeelor, tehnicilor și metodelor de bază necesare pentru asigurarea calității modulelor digitale în relație cu procesele tehnologice asociate.</li> <li>✓ Utilizarea cunoștințelor de bază pentru explicarea și interpretarea procedeeelor, tehnicilor și metodelor de bază, necesare în procesele de evaluare și asigurare a calității modulelor digitale în relație cu procesele tehnologice asociate.</li> <li>✓ Aplicarea de principii și metode de bază pentru evaluarea și asigurarea calității modulelor digitale în relație cu procesele tehnologice asociate.</li> <li>✓ Utilizarea adecvată de criterii și metode standard de evaluare pentru adoptarea procedeeelor, tehnicilor și metodelor de bază, necesare în procesele de evaluare și asigurare a calității modulelor digitale în relație cu procesele tehnologice asociate.</li> <li>✓ Elaborarea modulelor de tip testbench selectând și utilizând principii, concepte și metode specifice proceselor de evaluare și asigurare a calității modulelor digitale în relație cu procesele tehnologice asociate.</li> </ul> |                        |          |
| Competențe transversale | <p><b>CT1.</b> Realizarea lucrărilor de laborator cu utilizarea corectă a surselor bibliografice și metodelor specifice, în condiții asistență calificată, precum și susținerea acestora cu demonstrarea capacității de evaluare calitativă și cantitativă a unor soluții tehnice din domeniu.</p> <p><b>CT3.</b> Identificarea nevoii de formare profesională, cu analiza critică a propriei activități de formare și a nivelului de dezvoltare profesională și utilizarea eficientă a resurselor de comunicare și formare profesională (Internet, e-mail, baze de date, cursuri on-line etc.), inclusiv folosind limbi străine.</p>   |                        |          |

## 6. Obiectivele disciplinei/modulului

|                       |  |
|-----------------------|--|
| Obiectivul general    | Însușirea procedeeelor de proiectare a sistemelor digitale, utilizând limbaj Verilog și arhitectura FPGA.  |
| Obiectivele specifice | <p>Să înțeleagă și să descrie structura unui modul în limbaj Verilog.</p> <p>Să selecteze procedee adecvate pentru elaborarea unui modul nou.</p> <p>Să formeze un algoritm optim de descriere comportamentului unei sisteme noi.</p> <p>Să aplice corect procedeele de proiectare structurală, comportamentală.</p> |

## 7. Conținutul disciplinei/modulului

| Tematica activităților didactice   | Numărul de ore                |   |
|--|-------------------------------|---|
|  | învățământ<br>cu<br>frecvență | învățământ<br>cu<br>frecvență<br>redușă |
| <b>Tematica cursurilor</b>   |                               |   |
| T1. Introducerea în limbaje de descriere hardware. Noțiuni de modul, interfata, nod, tipuri de noduri, testbench.  | 2                             |   |
| T2. Descrierea modulelor digitale prin metoda structurală. Descrierea circuitelor logice combinaționale. Decodificatoare, Multiplexoare, Demultiplexoare | 4                             |   |
| T3. Descrierea circuitelor aritmetice combinaționale. Sumatoare.   | 4                             |   |
| T4. Descrierea unității aritmetico logice. Operatori de condiție în forma combinațională.  | 2                             |   |
| T5. Descrierea modulelor digitale prin metoda comportamentală. Realizarea tabelor de adevări. Abordări de implementare tabelor de adevăr în hardware.    | 4                             |   |
| T6. Circuite electronice secvențiale. Pipeline.  | 2                             |   |

| FIȘA DISCIPLINEI/MODULULUI   |  | Cod: S.05.O.032 |   |
|--|--|-----------------|---|
|  |  | Ediția          | 1 |
|  |  | Revizia         | 0 |
|  |  | Pagina          | 3 |
| T7. Proiectarea automatelor. Automat de tip Moor, de tip Mealy.  |  | 2               |   |
| T8. Metode și tehnici de proiectare automatelor în limbaj Verilog.   |  | 2               |   |
| T9. Proiectare înmulțitorului digital pe baza la circuite logice combinaționale, pe baza la automat de stari finite.   |  | 4               |   |
| T10. Tehnici avansate de proiectare a circuitelor digitale. Metode sinaxice speciale a limbajului Verilog.   |  | 2               |   |
| T11. Arhitectura chipurilor FPGA. Abordari de transformarea descrierii logice a circuitelor în schemele principiale.   |  | 2               |   |
| <b>Total curs:</b>   |  | <b>30</b>       |   |
| <b>Tematica lucrărilor practice/seminarelor</b>  |  |                 |   |
| LL1. Introducerea în limbaj Verilog. Proiectarea circuitelor logice combinaționale. Proiectarea și testarea driverului pentru un afisor cu 7 segmente în limbaj Verilog. |  | 4               |   |
| LL2. Proiectarea și testarea decodicatorului, multiplexorului, demultiplexorului în limbaj Verilog.  |  | 4               |   |
| LL3. Proiectarea și testarea sumatoarelor în limbaj Verilog.   |  | 4               |   |
| LL4. Proiectarea circuitelor digitale secvențiale. Proiectarea și testarea unitații aritmetico-logice în limbaj Verilog.   |  | 4               |   |
| LL5. Modelarea și utilizarea bistabilelor, registrilog în limbaj Verilog.  |  | 4               |   |
| LL6. Proiectarea automatelor de stari finite în limbaj Verilog. Proiectarea și testarea unui semafor.  |  | 4               |   |
| LL7. Proiectarea și testarea înmulțitorului de tip matrice, și înmulțitorului cu șiftare în limbaj Verilog.  |  | 4               |   |
| LL8. Consultații adăugatoare. Susținerea rapoartelor.  |  | 2               |   |
| <b>Total lucrări practice/seminare:</b>  |  | <b>30</b>       |   |

## 8. Referințe bibliografice

|              |   |
|--------------|---|
| Principale   | <ol style="list-style-type: none"> <li>Balan, S. IEEE Standard Verilog® Hardware Description Language / The Institute of Electrical and Electronics Engineers, Inc. 778 p.</li> <li>Donald Thomas The Verilog® Hardware Description Language M.: Springer; 5th ed. 2002 edition.</li> <li>Максфилд. Проектирование на ПЛИС. Архитектура, средства и методы. Xilinx. MentorGraphics, 2007. – 230 стр.</li> <li>David Money Harris, Sarah L. Harris, Digital Design and Computer Architecture, 569</li> </ol> |
| Suplimentare | <ol style="list-style-type: none"> <li>SystemVerilog 3.1a Language Reference Manual, Copyright © 2002, 2003, 2004 by Accellera Organization, Inc. 550 p.</li> <li>SystemVerilog Testbench Constructs, © 2005 Synopsys, Inc, 126 p.</li> </ol>   |

## 9. Evaluare

| Periodică   |      | Curentă | Studiu individual | Proiect/teză | Examen |
|---|------|---------|-------------------|--------------|--------|
| EP 1  | EP 2 |         |                   |              |        |
| 15%   | 15%  | 15%     | 15%               | -            | 40%    |
| <p>Prezența și activitatea la prelegeri și lucrări de laborator;<br/> Obținerea notei minime de „5” la atestari curente.<br/> Obținerea notei minime de „5” la medie ponderata din lucrări de laborator.<br/> Demonstrarea în lucrarea de examinare finală cunoaștințelor de baza necesare pentru proiectare, analiză, testare și sinteză circuitelor digitale utilizând limbaj Verilog..</p> |      |         |                   |              |        |