ЛАБОРАТОРНАЯ РАБОТА № 4ТРАССИРОВКА ПЕЧАТНЫХ ПЛАТ В САПР Altium DesignerВ АВТОМАТИЧЕСКОМ РЕЖИМЕ

Цель работы – изучение методики интерактивной трассировки печатных платсредствами графического редактора ***Altium Designer*** *PCB*; приобретение навыковработы с ним при решении задач трассировки.

7.1. Задание правил проектирования  
Вначале необходимо задать правила трассировки. Для этого выполнить команды Проект / Правила. Открывается окно Правила проектирования печатных плат, в котором в левой части указаны группы правил трассировки (рис. 7.1).

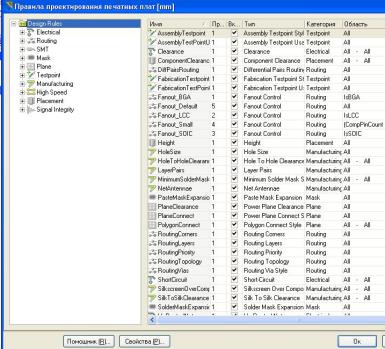


Рис.7.1

Для раскрытия каждой из групп правил проектирования необходимо щёлкнуть ЛК по знаку плюс перед названием правила.Первая группа правил **Electrical**. В неё входят: задание зазоров (**Clearance**), короткое замыкание (**Short– Circuit**), неразведённые цепи (**Un-Routed Net**) и не присоединённые контакты (**Un-Connected Pin**) (рис. 7.2).

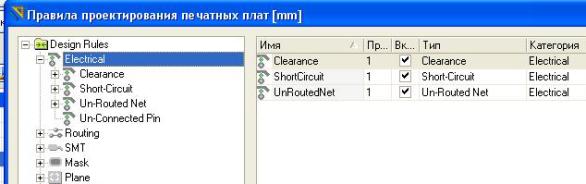


Рис.7.2

Вторая группа правил **Routing** (трассировка). В неё входят: задание ширины печатных проводников (**Width**), алгоритм трассировки (**Routing Topology**) (при открытии его появляется окно с графическим изображением соединённых контактов), приоритет трассировки(**Routing Priority**), разрешенные слои трассировки (**Routing Layers**), вариант построения углов трасс (**Routing Corners**), задание размеров переходных отверстий (**Routing Via Style**), правила подключения к контактной площадке (**Fanout Control**), трассировка дифференциальных пар (**Differential Pairs Routing**) (рис. 7.3)



Рис.7.3

Третья группа правил **SMT**– настройка размеров проводника, подключаемого к планарным контактным площадкам. Настройка расстояния от контактной площадки до поворота трассы (**SMD To Corner**), настройка минимального расстояния до переходного отверстия (**SMD To Plane**), настройка сужения ширины проводника (**SMD Neck-Down)** (рис. 7.4).

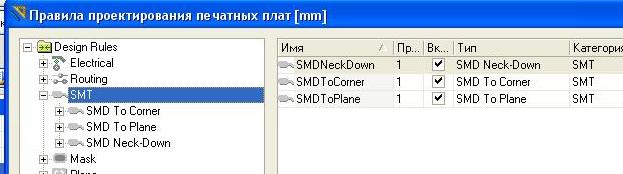


Рис.7.4

Четвертая группа правил **Mask**. В неё входят настройка зазоров для паяльной маски (**Solder Mask Expansion**) и настройка зазоров для паяльной пасты (**Paste Mask Expansion**) (рис.7.5).

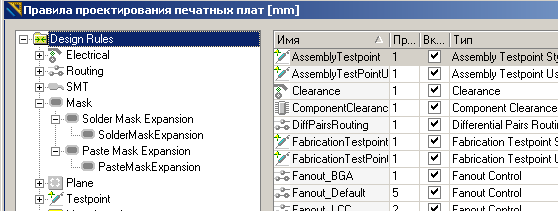


Рис.7.5

Пятая группа правил подсоединения полигонов и экранных слоёв **Plane**. В неё входят **Power Plane Connect Style** (стиль соединения переходных отверстий и контактных площадок со слоем питания), **Power Plane Clearance** (зазоры в слоях питания), **Polygon Connect Style** (стиль соединения переходных отверстий и контактных площадок с полигоном) (рис. 7.6)

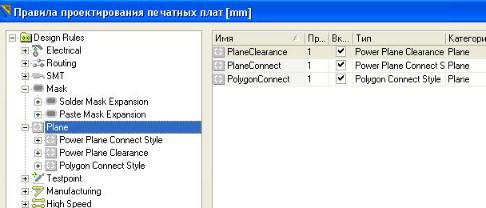


Рис.7.6

Группа **Testpoint** описывает разные виды контрольных точек (рис. 7.7).

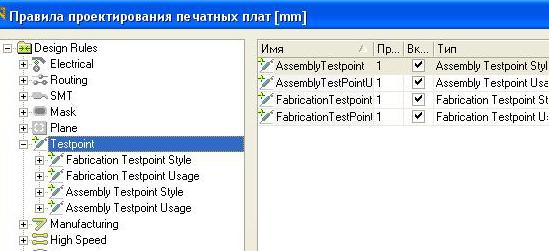


Рис.7.7

Следующая группа **Manufacturing** учитывает следующие технологические условия производства. **Minimum Annular Ring** (минимальный размер контактной площадки), **Acute Angle** (ограничение на размер острых углов), **Hole Size** (диаметр отверстий), **Layer Pairs** (пары слоёв), **Hole to Hole Clearance** (совпадение и пересечение отверстий), **Minimum Solder Mask Silver** (минимальная ширина участка в защитной маске), **Silkscreen Over Component Pads** (зазор между маркировкой и вскрытыми от маски металлизированными контактными площадками), **Silk to Silk Clearance** (проверка зазоров на слое шелкографии), **Minimum copper width**(анализ участков металлизации, которые могут или не могут быть сформированы на этапе производства печатной платы), **Net Antennae** (определяет не подключённые участкитрасс и дуг на сигнальных слоях) (рис. 7.8).

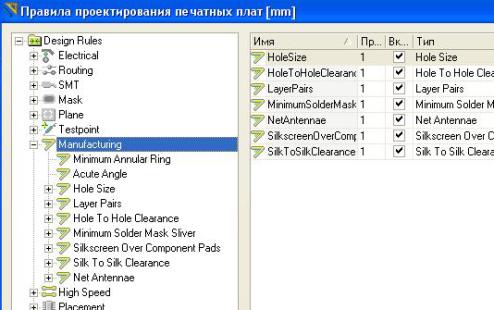


Рис.7.8

Задание правил трассировки для высокоскоростных цепей **High Speed**. **Parallel Segment** (длина параллельных трасс), **Length** (длина определённой цепи), **Matched Net Lengths** (настройка разницы в длине определённых цепей или дифференциальных пар), **Daisy Chain Stub Length** (настройка Т-образного соединения до контактной площадки), **Vias Under SMD** (разрешение переходного отверстия под контактной площадкой), **Maximum Via Count** (максимальное число переходных отверстий) (рис. 7.9).

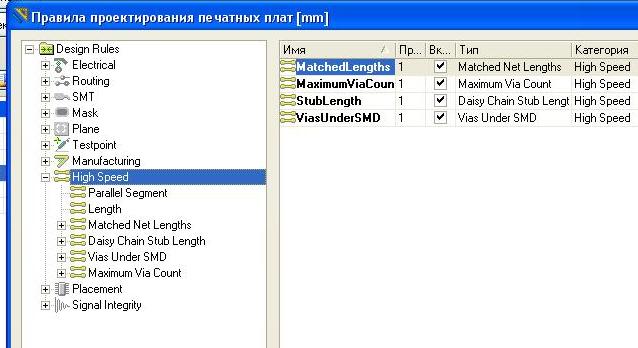


Рис.7.9

Группа задания правил размещения элементов на плате **Placement**. **Room Definition** (область размещения), **Component Clearance** (расстояние между компонентами), **Component Orientations** (ориентация компонентов), **Permitted Layers** (размещенные слои), **Nets to Ignore** (игнорируемые цепи), **Height** (высота) (рис. 7.10).

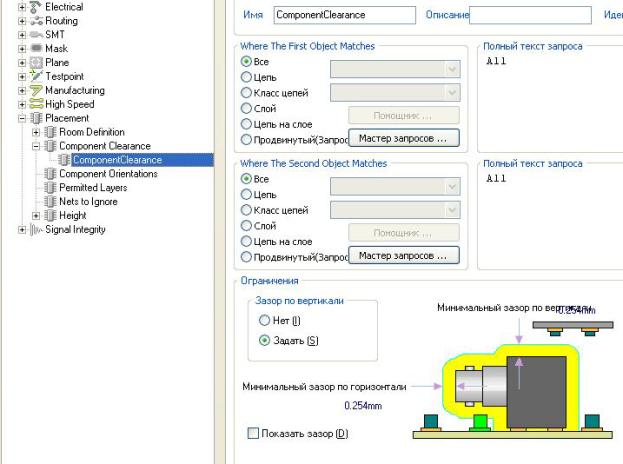


Рис.7.10

Последняя группа **Signal Integrity** задает правила для моделирования электрических схем печатных плат (рис. 7.11).

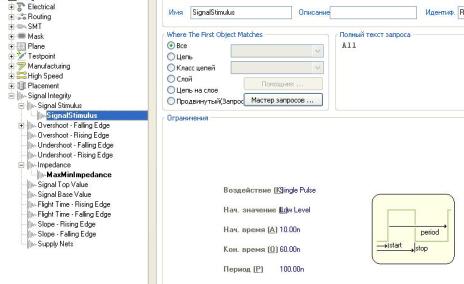


Рис.7.11

7.2. Пример трассировки печатной платы

В данном проекте зададим следующие условия трассировки. Изготовить плату по четвертому классу точности. Поэтому в группе правил Electrical задать Clearance(зазор) 0,15 мм. Для этого щёлкнуть ПК по названию правила и в выпавшем окне выбрать Новое правило с требуемыми характеристиками (курсор наводится на изменяемые параметры) (рис. 7.12).

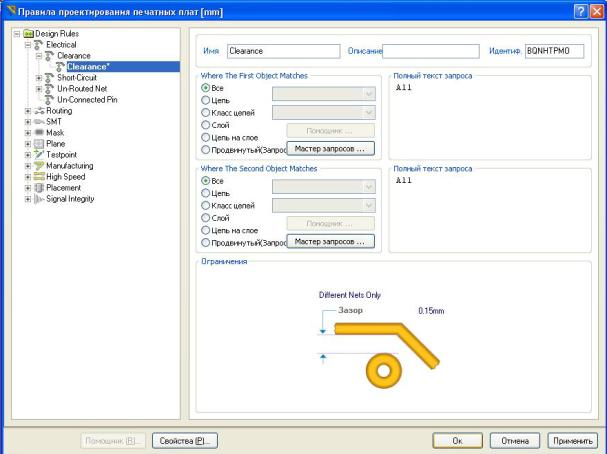


Рис.7.12

В группе **Short Circuit** убрать галочку с **Разрешить короткое замыкание** (рис. 7.13), а в группе неразведенные цепи – **Un-Routed Net** оставить по умолчанию.

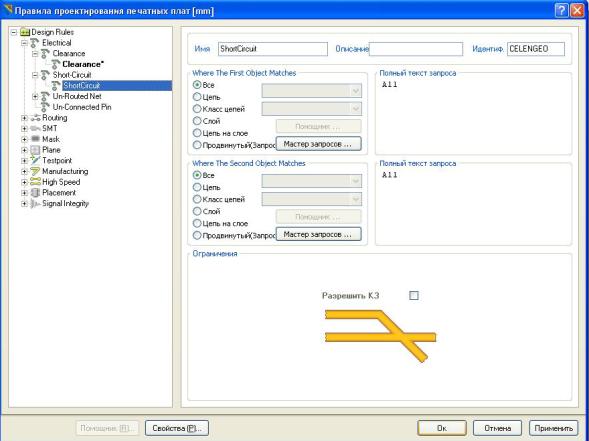


Рис.7.13

В подгруппе **Width** группы **Routing** установим значение ширины проводника. Зададим в строках **Min Width**, **Preferred Width** и **Max Width** значение 0,15 мм. В итоге в таблице под данными строками будут отображены параметры проводника для каждого слоя. В нашем случае во всех слоях ширина проводника 0,15 мм (рис. 7.14).

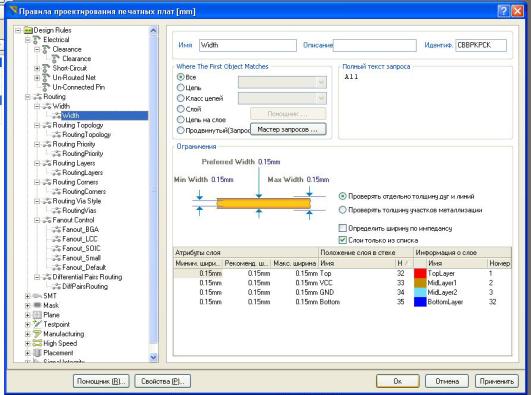


Рис.7.14

В подгруппе **Routing Topology** установить топологию **Shortest** (рис. 7.15).

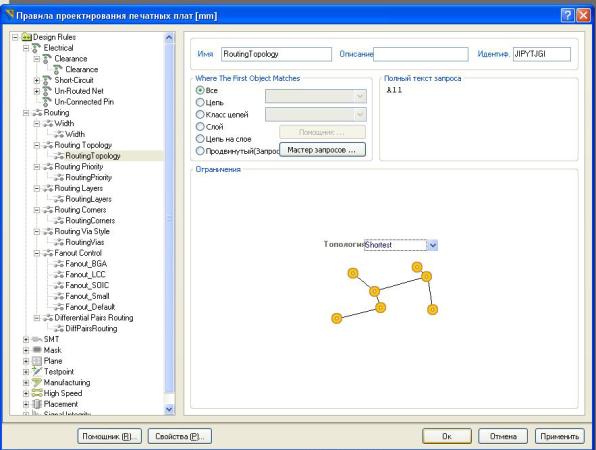


Рис. 7.15

В подгруппе **Routing Layers** разрешить трассировку только в слоях **Top** и **Bottom** (рис.7.16).

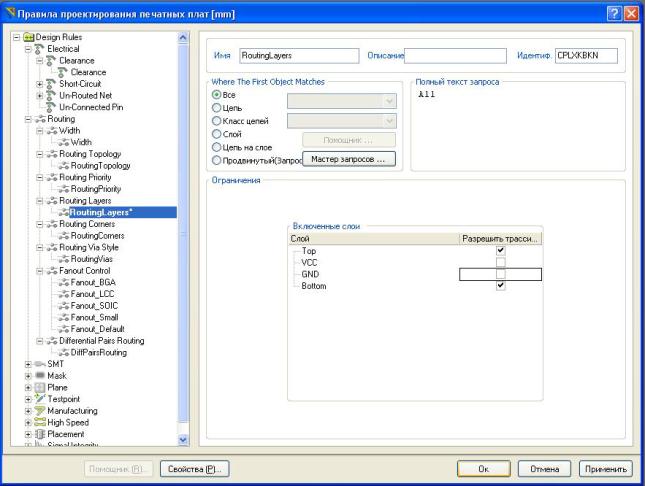


Рис.7.16

Routing Corners (трассировка углов) — стиль 45 градусов, скос и до по 3 мм  
(рис. 7.17). Routing Via Style (трассировка типа отверстий).

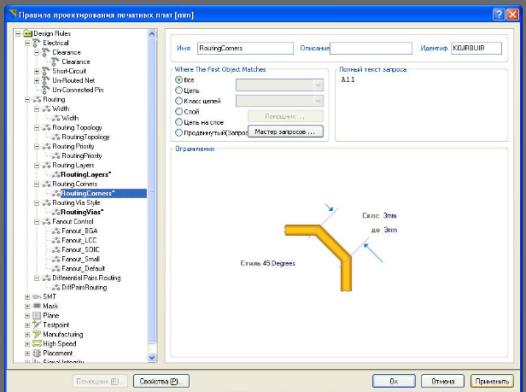


Рис.7.17

Routing Vias (трассировка переходных отверстий) — размеры указать в окошках (рис.7.18)

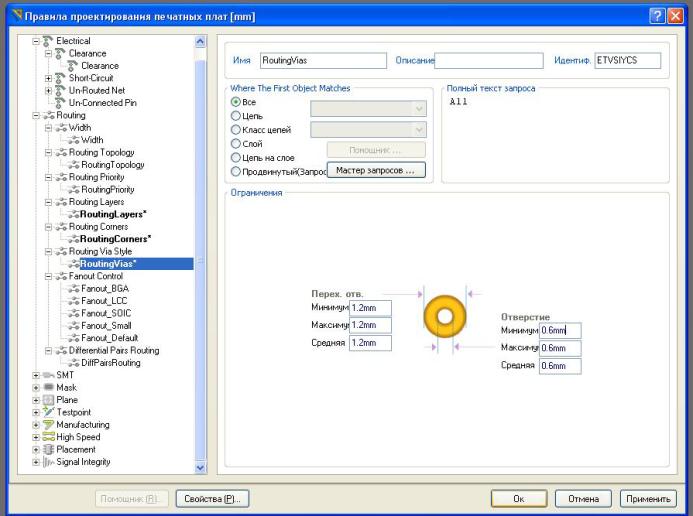


Рис.7.18

В группе **SMD** в подгруппе **SMD To Corner** (расстояние от планарного вывода до ближайшего поворота) — задать 1 мм (рис.7.19).

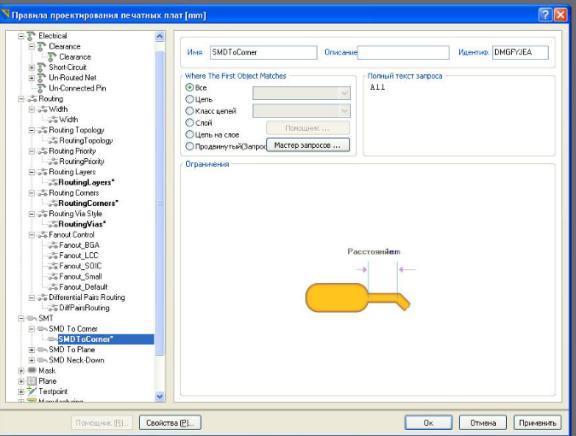


Рис.7.19

В подгруппе **SMD To Plane** – 1 мм (рис.7.20).

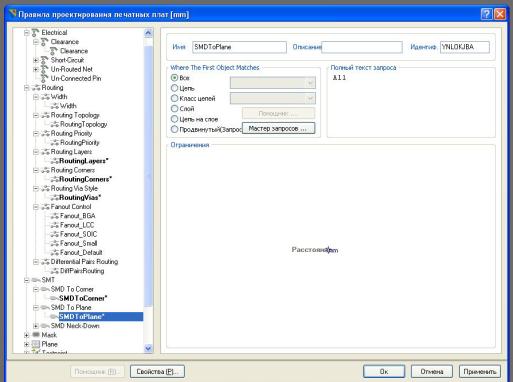


Рис.7.20

В группе **Mask** подгруппы **Solder Mask Expansion** – 0,1 мм (рис. 7.21).

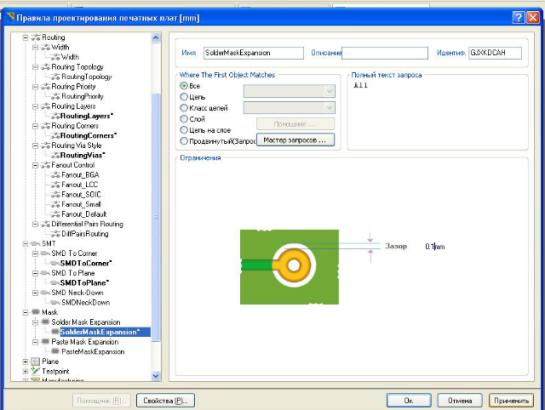


Рис.7.21

В подгруппе **Paste Mask Expansion** – 0.05 мм (рис.7.22).

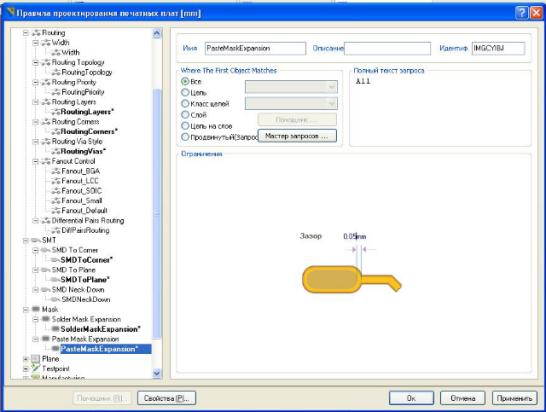


Рис.7.22

В группе **Plane** подгруппа **Plane Connect**– согласно рис.7.23.

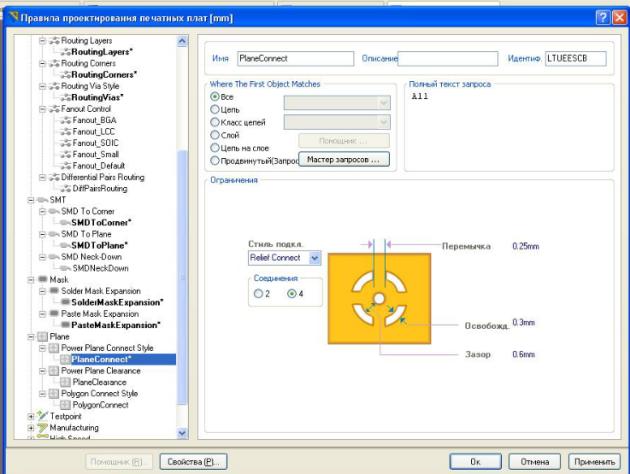


Рис.7.23

Подгруппа **Plane Clearance** – зазор 0.6 мм (рис.7.24)

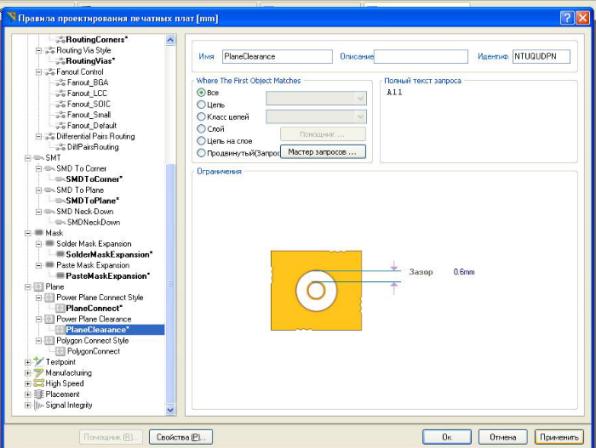


Рис.7.24

Подгруппа Polygon Connect – 0.25 мм (рис.7.25).

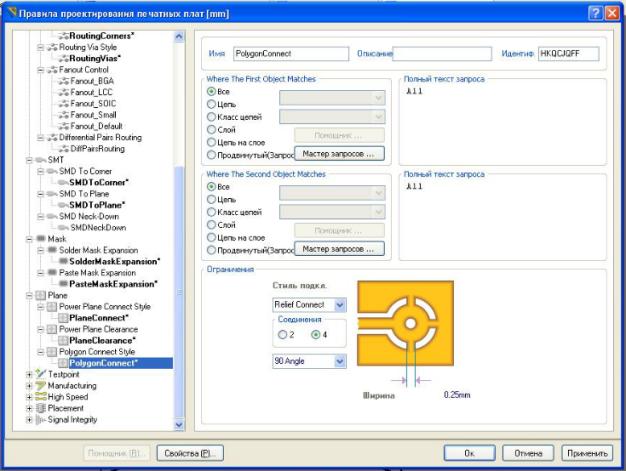


Рис.7.25

Ввиду простоты рассматриваемого проекта остальные настройки выполнять не целесообразно. Нажать кнопку **Применить** и **Ок**.

7.3. Формирование экранных слоевЗададим контуры экрана на плате.Вначале сделаем активным слой питания VCC (+5v). Для этого необходимо в нижней части экрана на панели слоёв ПП щёлкнуть ЛК по +5v (рис. 7.26). После этого выполнить команды Размещение / Полигон. Откроется окно Полигон, в котором в поле Режим заливки выбрать Штриховой и задать размеры ширина дорожки 0,25, шаг сетки 0,5, отступ от КП – Дуги, режим сетки 45 градусов, в  
поле свойства задать названия полигона +5V, слой VCC, Мин. Примитив 0,01, в поле  
Опции Цепи соединить с +5V, Выбрать Pour Over All …, поставить галочку Удалитьлишнюю металлизацию (рис. 7.27). Нажать Ок.

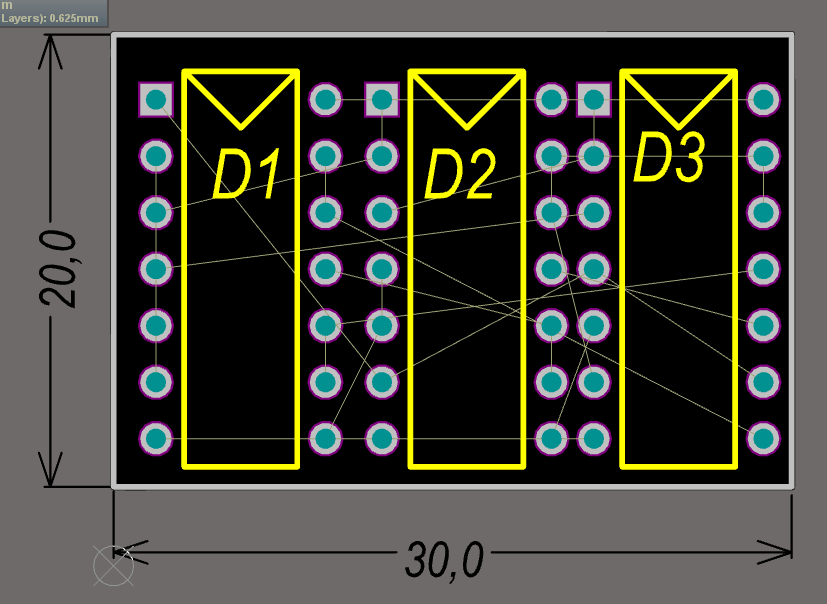


Рис.7.26

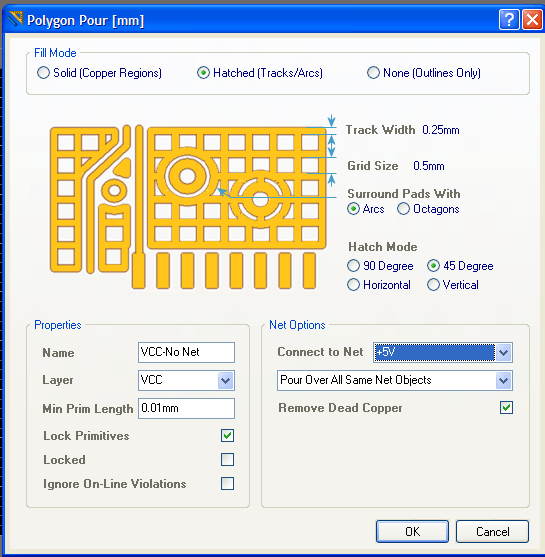


Рис.7.27

После этого открывается окно с рисунком ПП в режиме построения полигона. Задать контуры полигона. Для этого в левом верхнем углу ПП щёлкнуть ЛК, отступив от краев слева и сверху по, например, 2.5 мм, затем переместить курсор в правый верхний угол с таким же отступом, щелкнуть ЛК, далее в правый нижний угол и последний раз в левом нижнем углу щелкнуть ЛК, нажать ПК. На экране появится рисунок заливки полигона ПП (рис. 7.28).

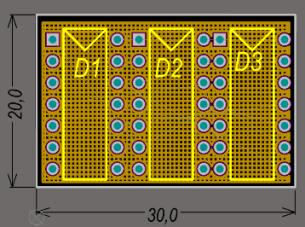


Рис.7.28

Аналогичным образом сформировать слой корпуса (GND). Для этого сделать активным слой **GND** и выполнить команды **Размещение / Полигон** и в окне **Полигон** задать в полях **Свойства** имя **GND** и в поле **Опции цепей** – **Соединить с GND.** Шаг сетки 0,5 мм (рис. 7.29).

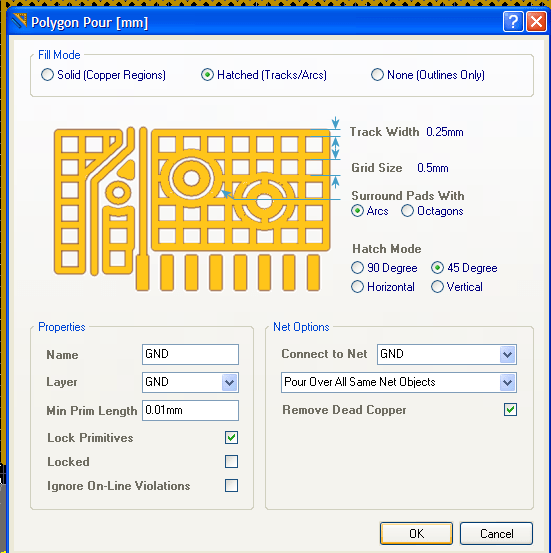


Рис.7.29

Теперь можно нарисовать контур этого полигона, для чего щелкнуть ЛК поочередно по всем четырем углам ПП с зазором 1,25 мм от края платы (рис. 7.30).

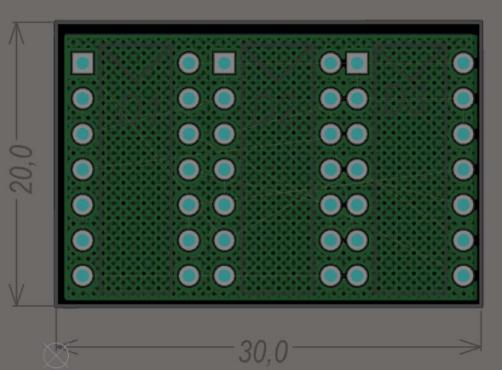


Рис.7.30

Выполнить команды **Автотрассировка / Все**. Откроется окно **Стратегии трассировки**, в котором щелкнуть ЛК по кнопке **Направление на слое**. Появится одноименное окно, в котором в столбце **Текущее** напротив слоёв **VCC** (+5v) и **GND** установить **Not Used**, напротив **Top Layer**и **Bottom Layer** выбрать **Automatic** (рис. 7.31). Нажать **ОК**

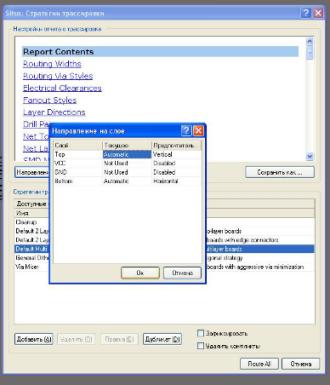


Рис.7.31

В поле Стратегии трассировки выбрать **Default Multi Layer Board**. В нижней части экрана в окнах **Зафиксировать** и **Удалить конфликты**, установить галочки (рис. 7.32), затем нажать **Route All**.

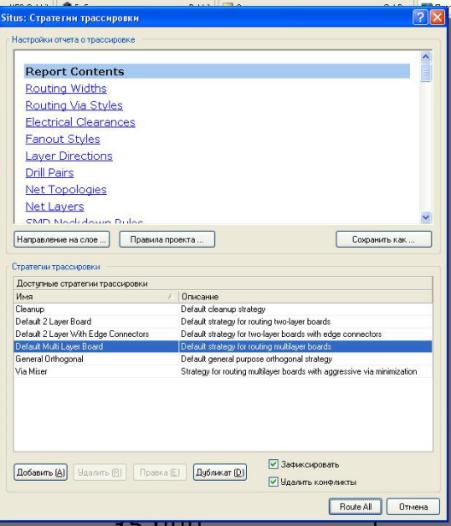


Рис.7.32

Появится окно **Messages**, в котором будут отображены все процессы во время автотрассировки (рис. 7.33).

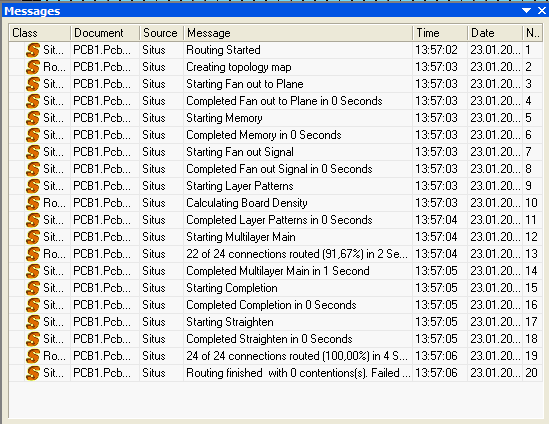


Рис.7.33

В итоге получим рисунок печатной платы (рис. 7.34).

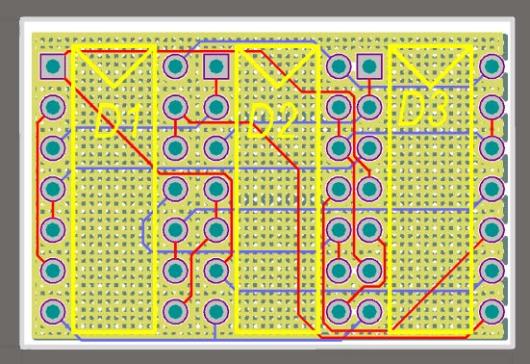


Рис.7.34

Для просмотра рисунка каждого отдельного слоя необходимо щелкнуть ПК по названию любого слоя, указанного в нижней части экрана. Откроется контекстное меню, в котором выбрать **Опции отображения слоёв / Режим одного слоя** (рис.7.35)

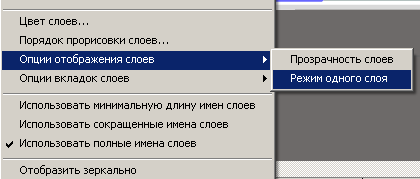


Рис.7.35

После этого, щелкая ЛК по требуемому слою в нижней части экрана, можно просмотреть рисунок проводников на выбранном слое. Слой **Top** (рис. 7.36), слой **VCC** (+5v) (рис. 7.37), слой **GND** (рис. 7.38), слой **Bottom** (рис. 7.39).

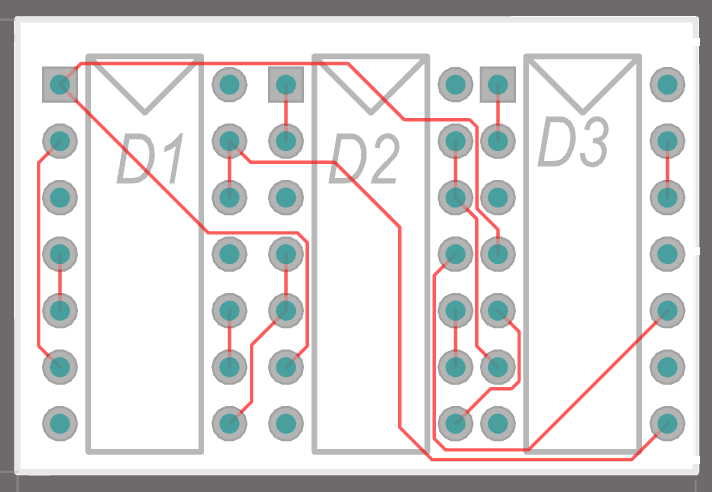


Рис.7.36

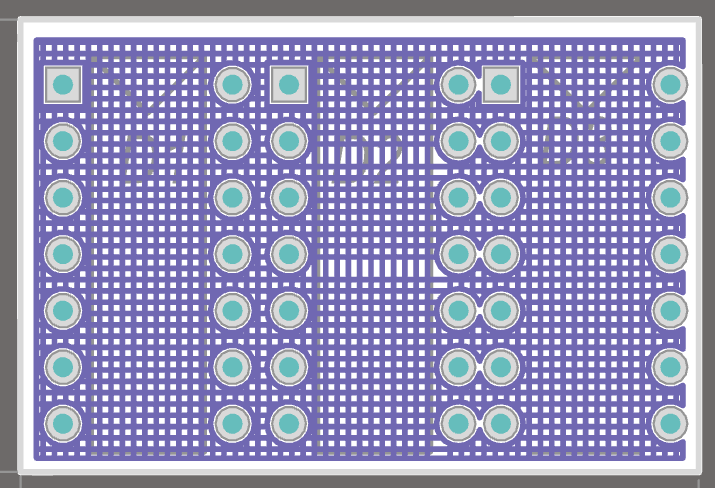


Рис.7.37

Если по какой-то причине не устраивает рисунок какого-либо слоя, надо выделить его щелчком ЛК и удалить командой **Delete**.На слое **Bottom** рисунок неравномерный и проводники проходят достаточно близко от контактных площадок (хотя условия трассировки не нарушены). Поскольку площадь платы позволяет увеличить зазоры в местах плотного расположения проводников, целесообразно по возможности проводники отодвинуть от КП. Для этого, щелкнув ЛК по проводнику, переместить его на желаемое расстояние. В том случае, если контур проводника искажается, можно уменьшить размер электрической сетки. Для этого нажать клавишу **G** и в выпавшем контекстном меню задать шаг сетки, например 0,125 (рис. 7.39). Отодвинуть по возможности проводники от контактных площадок (рис.7.40).

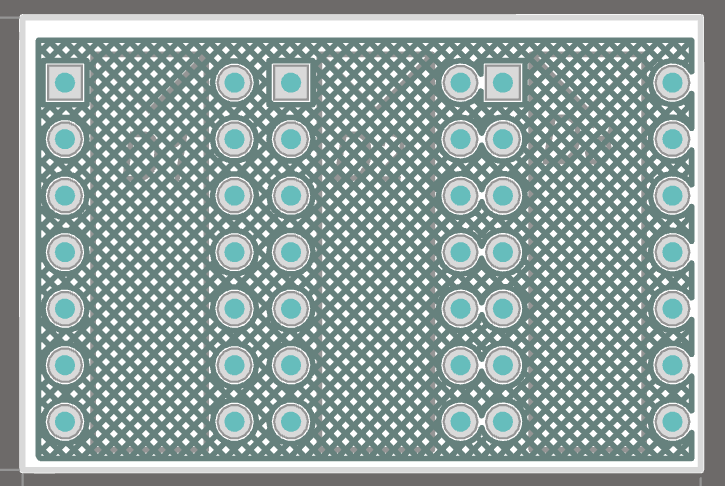


Рис.7.38

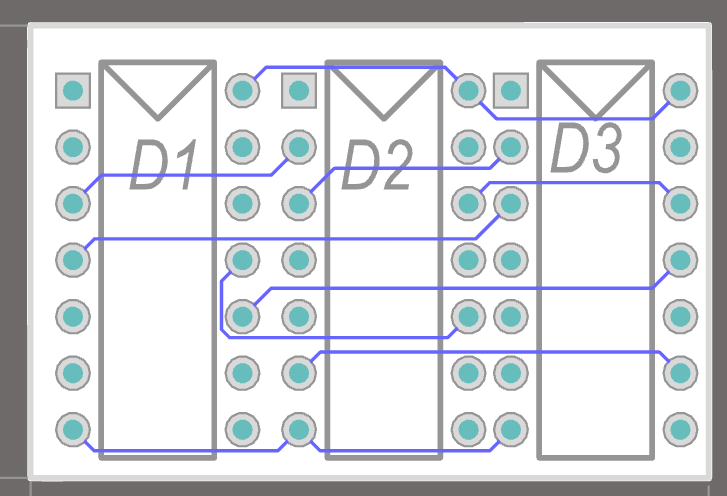


Рис.7.39

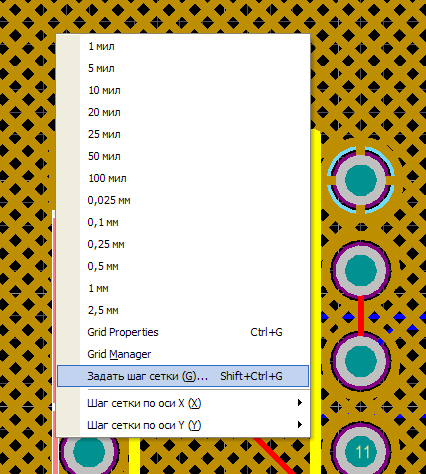


Рис. 7.40

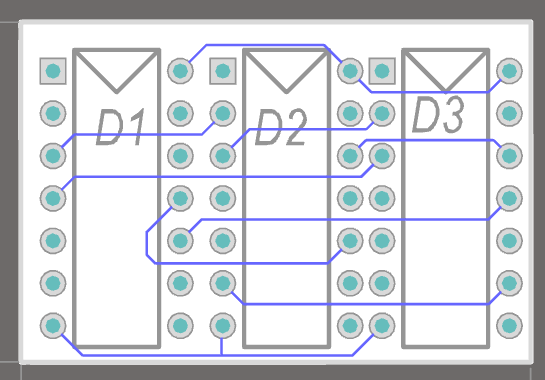


Рис. 7.41

САПР **Altium Designer** позволяет настраивать цвета слоев печатной платы. Для этого необходимо щелкнуть ПК на рабочем поле и выполнить команды Опции / Цвет слоев (рис.7.42).

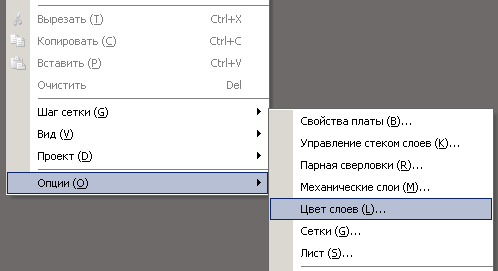


Рис. 7.42

Откроется панель **Конфигурация отображения** (рис. 7.43), на которой можно задать требуемый цвет любого слоя. Для этого надо щелкнуть ЛК по выделенному цвету слоя – откроется палитра цветов (рис.7.44) в которой задать требуемый цвет и нажать **Ок**.

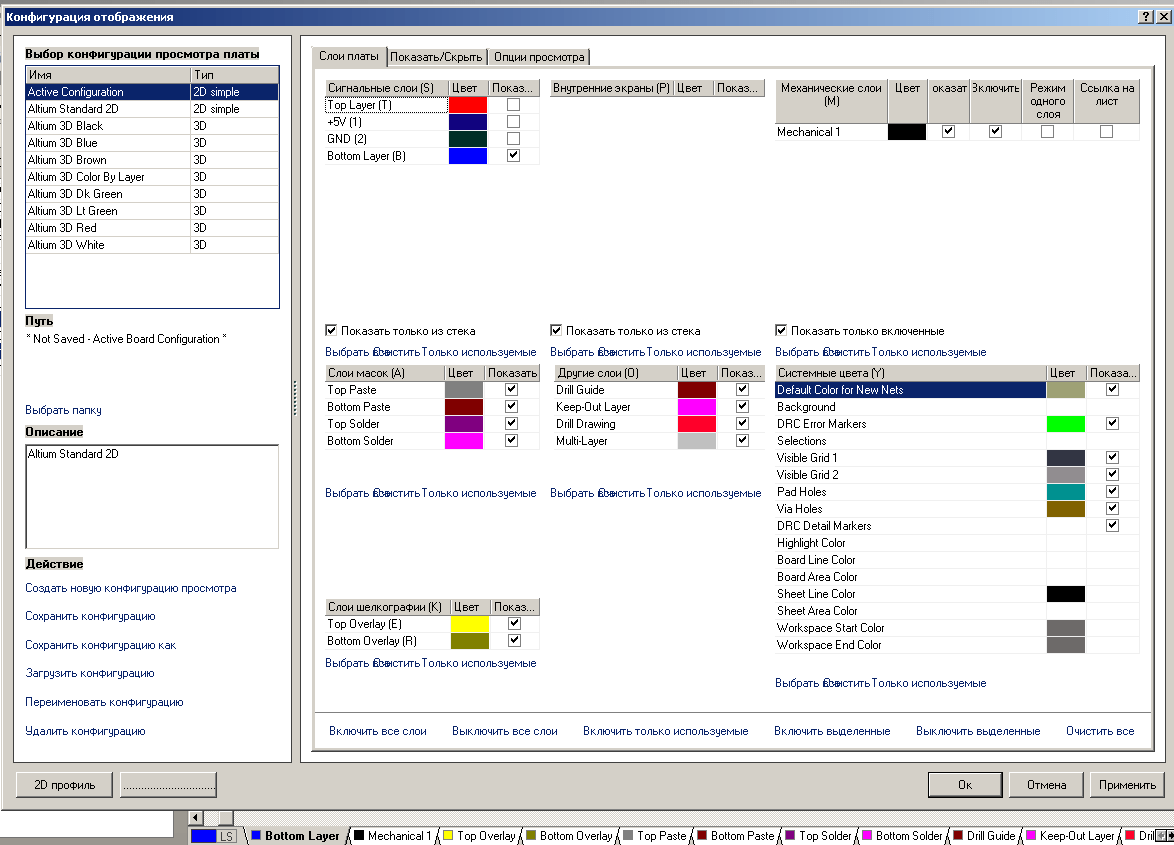


Рис. 7.43

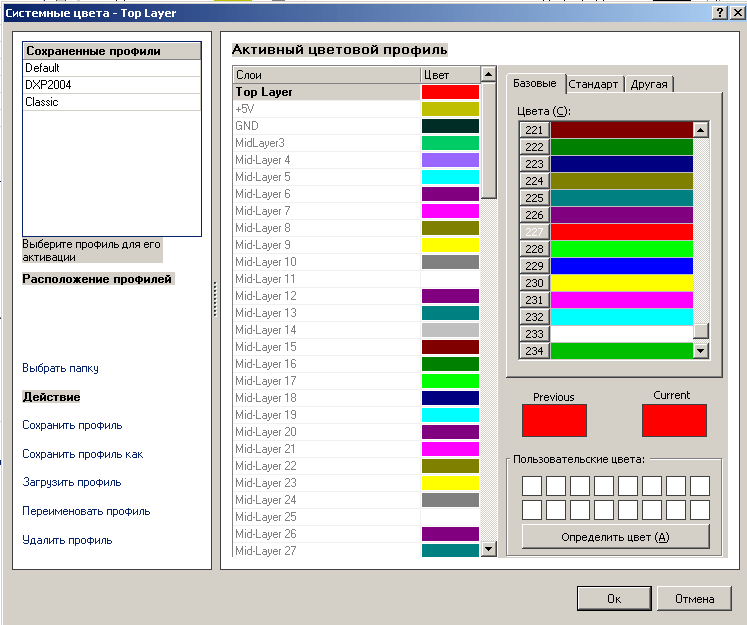


Рис. 7.44

7.4. Порядок выполнения работы1. Через кнопку Пуск в меню Программы запустить редактор Altium Designer.  
2. Загрузить результат размещения ЭРЭ, полученный в предыдущей лабораторной работе.  
3. Задать правила проектирования печатного монтажа четырехслойной ПП.  
4. Выполнить заливку полигонов слоев +5В и GND.  
5.Выполнить автоматическую и интерактивную трассировки соединений.

7.5. Содержание отчета1. Цель работы.  
2. Порядок задания правил проектирования печатного монтажа.  
3. Настройка конфигурации.  
4. Порядок заливки полигонов слоев +5 В и GND.  
5. Автоматическая трассировка печатной платы.  
6. Интерактивная доработка трассировки печатной платы.  
7. Распечатки или эскизы рисунков слоев четырехслойной печатной платы.  
8. Оценка результатов автоматической и интерактивной трассировок.  
9. Выводы

7.6. Контрольные вопросы1. Перечислите группы правил трассировки САПР Altium Designer.  
2. Как устанавливаются правила трассировки?  
3. Каким образом задаются контуры экрана на плате?  
4. На каких слоях размещаются полигоны корпуса и питания?  
5. Какими командами и на каких слоях выполняется автоматическая трассировка соединений?  
6. Каким образом редактируется рисунок проводников ПП?  
7. Каким образом можно просмотреть рисунки каждого слоя по отдельности?  
8. Как настраивать цвета слоев печатной платы?  
9. Каким образом выполняется интерактивная трассировка соединений?  
10.Как внести изменения в ранее выполненную трассировку?  
11.Каким образом сохраняется проект?