

# 1. NOȚIUNI ȘI DEFINIȚII FUNDAMENTALE

## 1.1. Fiabilitatea

Una dintre cerințele de bază față de sistemele de calcul moderne este fiabilitatea înaltă a componentelor sale.

Principalele obiective ale fiabilității sunt:

a) studiul defecțiunilor echipamentelor (al cauzelor, al proceselor de apariție și dezvoltare și al metodelor de combatere a defecțiunilor);

b) aprecierea cantitativă a comportării echipamentelor în timpul exploatării în condiții normale, ținând seama de influența pe care o exercită asupra acestora factorii interni și externi;

c) determinarea modelelor și metodelor de calcul și prognoză ale fiabilității, pe baza încercărilor de laborator și a urmării comportării în exploatare a echipamentelor;

d) analiza fizică a defecțiunilor;

e) stabilirea metodelor de proiectare, constructive, tehnologice și de exploatare pentru asigurarea, menținerea și creșterea fiabilității echipamentelor, dispozitivelor și elementelor componente;

f) stabilirea metodelor de selectare și prelucrare a datelor privind analiza fiabilității echipamentelor.

Definită din punct de vedere calitativ, fiabilitatea reprezintă capacitatea unui sistem de a funcționa fără defecțiuni, la parametri acceptabili, în decursul unui anumit interval de timp, în condiții de exploatare bine precizate.

Din punct de vedere cantitativ, fiabilitatea unui sistem reprezintă probabilitatea ca acesta să-și îndeplinească funcțiile sale cu anumite performanțe și fără defecțiuni, într-un anumit interval de timp și în condiții de exploatare specificate.

Durata preconizată, de la momentul punerii în funcțiune și până la prima defecțiune, se numește **durata de viață** a sistemului. Pentru a stabili fiabilitatea unui sistem și durata sa de viață se analizează minuțios defectele ce pot surveni, erorile de funcționare și se introduc metode profilactice pentru a le preîntâmpina.

## 1.2. Diagnosticarea tehnică

Diagnosticarea tehnică este o știință aplicată, care include teoria și metodele de organizare a proceselor de determinare a stării tehnice a circuitelor numerice la nivel de pastilă de siliciu, plachetă sau sistem.

Diagnosticarea tehnică rezolvă două sarcini de bază:

- 1) Detectarea defectelor hardware ale circuitelor numerice;
- 2) Localizarea acestor defecte în vederea înlăturării lor.

Diagnosticarea se poate realiza prin testare. Testarea poate fi efectuată cu ajutorul mijloacelor hard și soft, încorporate în obiect sau separate de el.

Mijloace hard separate: sisteme și standuri de testare a circuitelor integrate, generatoare de cuvinte, analizoare de semnătură, testere ș.a.

Mijloace hard încorporate; unități de control modulo 2, unități de verificare prin comparație ș.a.

Mijloace soft: test-programe (programe de lucru), care se păstrează în memoria ROM (BIOS) și se lansează la fiecare racordare a sistemului la rețea.

## 1.3. Clasificarea defectelor hardware

**Defectul** sau **defecțiunea** este o imperfecțiune materială sau fizică cauzată de un eveniment de defectare și care determină modificarea unei variabile logice sau parametru funcțional față de valoarea admisă inițial.

Efectul apariției unui defect este **eroarea**. Un defect nu întotdeauna conduce la o eroare. În acest caz, defectul se consideră latent.

*După durata de acțiune*, defectele se clasifică în *defecte tranziente*, *defecte permanente* și *defecte intermitente*.

**Defectele tranziente** se manifestă printr-o funcționare greșită de scurtă durată a unei componente, dar nu prin defectarea ei definitivă. Cauzele acestor defecte sunt perturbațiile: zgomotul, interferența electromagnetică a semnalelor. În sistemele de calcul contemporane, cea mai mare parte a erorilor sunt tranziente. Aceste defecte sunt mai greu de depistat din cauza caracterului temporar. Ele pot duce la denaturarea informației în timpul transmiterii, păstrării și prelucrării datelor.

*Un exemplu, ar putea fi o celulă de memorie al cărei conținut este schimbat datorită unei interferențe electromagnetice. Rescrierea ei cu conținutul corect face ca eroarea să dispară.*

**Defectele permanente** se produc la un moment dat și persistă până când sistemul este reparat. În această categorie includem și defectele de fabricație a componentelor fizice, factorii nefavorabili de exploatare, îmbătrânirea componentelor. Aceste defecte pot fi înlăturate doar prin efectuarea lucrărilor de reparație sau înlocuirea componentelor.

**Defecte intermitente:** defectul componentei oscilează între o stare corectă și o stare eronată (conexiuni slăbite).

*După natura sa, defectele se clasifică în defecte logice și defecte parametrice.*

Un **defect logic** se manifestă prin faptul că valoarea logică a unui nod din circuit devine opusă valorii specificate.

Un **defect parametric** se manifestă prin degradarea mărimilor specifice pentru curent, tensiune și timp.

## **Tema 2. Tipuri și modele de defecte logice**

Principalele *tipuri* ale defectelor logice sunt următoarele:

- blocaje la 0 sau 1 logic la nivelul nodurilor din circuit;
- scurtcircuite cauzate de punți nedorite, care apar de obicei în faza de execuție a lipiturilor, între conductoarele imprimare ale plachetei;
- inversoare false la intrările sau ieșirile porților logice;
- impulsuri logice eronate;
- impulsuri parazite;
- oscilații.

Modele de defecțiuni.

1) modelul de defecțiune „**blocaj la**” este cel mai răspândit și a apărut odată cu primele familii de circuite logice, RTL (**R**esistor-**T**ransistor-**L**ogic) și DTL (**D**iode-**T**ransistor-**L**ogic). Acest model se manifestă prin blocarea unuia sau mai multor noduri

de conexiune la valoarea logică 0 - „blocaj la 0” sau la valoarea logică 1 - „blocaj la 1”. Defectele de tip „blocaj la 0” și „blocaj la 1” se notează  $\equiv 0$  și  $\equiv 1$ , respectiv.

Să presupunem că nodul  $x_1$  al porții logice SAU este „blocaj la 1”. Indiferent de valoarea semnalului aplicat la intrarea  $x_1$ , poarta SAU va percepe acest nod fiind egal cu 1 logic. În acest caz, ieșirea  $f$  a porții logice va fi egală cu 1 pentru valorile de intrare  $x_1=0$  și  $x_2=0$ . Astfel, setul  $x_1=0$  și  $x_2=0$  poate fi considerat un test pentru intrarea  $x_1=1$ , deoarece există o diferență dintre valoarea ieșirii  $f$  în absența defectului și în prezența lui. Pentru  $x_1=0$ , test va fi setul  $x_1=1$  și  $x_2=0$ .

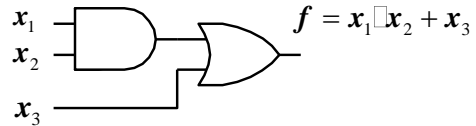
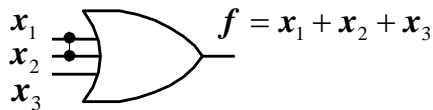


2) modelul „**scurtcircuit**”. Defecțiunile de acest tip, care apar în procesul de fabricație al plachetelor, sânt datorate unor punți accidentale ale aliajului de lipire, formate între traseele imprimare alăturate. În cazul circuitelor integrate, același defect este determinat de imperfecțiuni ale izolației între regiuni ale materialului semiconductor, trasee de metalizare, etc.

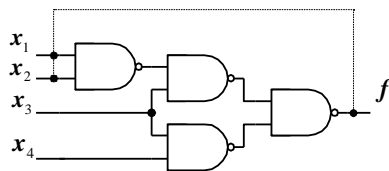
Defectele de tip „scurtcircuit” pot fi de două tipuri: defecte cauzate de apariția punților dintre două sau mai multe linii de intrare și defecte cauzate de apariția punților dintre linia de ieșire și cea de intrare a circuitului. Nu toate defectele de acest tip duc la erori în circuitele logice. De exemplu, apariția unei punți dintre liniile de intrare  $x_1$  și  $x_2$  a porții logice ȘI cu trei intrări este echivalentă cu introducerea unei porți logice fictive ȘI, ceea ce nu schimbă funcția logică realizată de poarta dată.



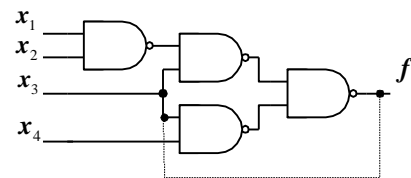
În același timp, apariția unei punți dintre liniile de intrare  $x_1$  și  $x_2$  a porții logice SAU cu trei intrări va schimba funcția logică realizată de această poartă.



În cazul apariției unei punți nedorite dintre ieșirea unui circuit logic și una sau mai multe intrări, acesta trece în regim de oscilare sau se transformă într-un circuit secvențial asincron. Spre exemplu, pentru circuitul prezentat mai jos, scurtcircuitul dintre ieșirea  $f$  și intrările  $x_1$  și  $x_2$  va duce la generarea oscilațiilor de frecvență înaltă, în cazul când  $x_1=x_2=x_3=1$  și  $x_4=0$ . În același timp, scurtcircuitul dintre ieșirea  $f$  și intrările  $x_3$  și  $x_4$  va transforma același circuit combinațional în unul secvențial asincron pentru  $x_3=x_4=1$ .



(a)



(b)

3) modelul de defecțiune **de timp** este necesar în situația, în care comportarea dinamică a schemei este dependentă strict de valorile de timp. În principiu, evitarea utilizării circuitelor logice asincrone conduce la minimizarea riscului de apariție a erorilor datorate parametrilor de timp. Înserarea acestui tip de defecțiune într-un circuit funcțional corect sau simularea devine extrem de dificilă.

## Concepte de bază ale testării circuitelor numerice

### 2.1. Teste

În linii generale, un sistem numeric poate fi reprezentat printr-o mulțime de circuite logice: porți logice, bistabile, registre, numărătoare, memorii ROM și RAM, microprocesoare s. a. Pentru efectuarea testării sistemului pot fi accesate doar unele conexiuni.

Intrările, valorile logice ale cărora pot fi nemijlocit controlate, se numesc **intrări primare**.

Ieșirile, valorile logice ale cărora pot fi nemijlocit observate, se numesc **ieșiri primare**.

Detectarea defectelor poate fi efectuată prin aplicarea unei succesiuni de teste și observarea valorilor de ieșire într-un circuit logic. Practic, majoritatea testelor sunt generate, presupunând că în circuit are loc un singur defect (*defect singular*).

**Testul  $T_k$**  reprezintă mulțimea semnalelor logice aplicate la intrările primare  $x_i$  și mulțimea reacțiilor de la ieșirile primare  $y_j$  pentru un circuit logic corect:

$$T_k = (x_1, \dots, x_n; y_1, \dots, y_m).$$

Dacă reacția circuitului este diferită față de cea așteptată, în acest circuit este prezent un defect singular.

Scopul testării la nivelul porților logice din circuit este verificarea corectitudinii funcționării componentelor și a interconexiunilor dintre ele. Pentru aceasta e necesar a genera teste, care să detecteze defectele singulare pentru toate nodurile din circuit.

Un circuit logic combinațional (CLC) cu  $n$  intrări poate fi testat prin aplicarea a  $2^n$  combinații de intrare. Evident, numărul de teste va crește exponențial, odată cu creșterea numărului variabilelor de intrare.

Pentru un circuit logic secvențial (CLS) cu  $n$  intrări și cu  $m$  bistabile, numărul total de combinații aplicate la intrare pentru efectuarea unei testări complete este de  $2^n \cdot 2^m = 2^{n+m}$ . De exemplu, pentru  $n=20$  și  $m=40$  vom avea  $2^{60}$  teste. La o rată de 10 000 teste pe secundă, timpul total de testare va fi de aproximativ 3,65 milioane ani.

Pentru a efectua testarea unui circuit numeric nu este necesară aplicarea tuturor combinațiilor de intrare, ci doar a celor care permit detectarea defectelor singulare. Mulțimea acestor combinații de intrare și valorile așteptate ale funcției de ieșire, se numește **mulțimea de teste** pentru circuitul logic.

**Mulțimea de teste este completă**, dacă ea garantează verificarea prezenței oricărui defect singular din circuitul logic testat.

**Mulțimea de teste este minimală**, dacă ea conține cel mai mic număr de teste.

## 2.2. Testabilitatea, controlabilitatea și observabilitatea

**Testabilitatea** este o măsură a capabilităților circuitului de a putea fi testat pentru verificarea funcționalității sale. Cele două aspecte majore ale testabilității sunt:

**Controlabilitatea** - măsura capabilității circuitului de a stabili valoarea logică a unei variabile interne sau a unei ieșiri.

**Observabilitatea** - măsura capabilității circuitului de a propaga valoarea logică a unei intrări sau a unei variabile interne până la ieșire.

## 2.3. Principii de elaborare a testelor

Un test va detecta un defect doar în cazul când valoarea ieșirii primare în prezența defectului va fi diferită față de valoarea ieșirii primare în absența defectului (*Testabilitate*).

Pentru a detecta un defect într-un circuit, acesta trebuie pentru început *excitat* sau *manifestat*. Procedura constă în aplicarea unei astfel de combinații la intrarea circuitului, care să asigure pe nodul testat valoarea logică opusă valorii defectului. (*Controlabilitate*).

Apoi, defectul trebuie *sensibilizat*. Această procedură constă în propagarea univocă a semnalului de la nodul testat spre ieșirea primară a circuitului (*Observabilitate*).

Vom analiza circuitul logic din figura 1.6 cu nodul  $G_2$  blocat la 1 ( $G_2 \equiv 1$ ). Pentru a asigura manifestarea defectului, la intrările primare ale circuitului trebuie aplicate următoarele valori:  $x_1=x_2=x_3=1$ , deoarece doar în acest caz valoarea nodului  $G_2$  va primi valoarea opusă defectului analizat ( $G_2=0$ ). Pentru a propaga defectul prin poarta  $G_3$ , vom considera  $x_4=1$ . În cazul absenței defectului  $F=0$ , iar în cazul prezenței defectului  $F=1$ . Deci, testul pentru  $G_2 \equiv 1$  este:

$$T_{G_2 \equiv 1} = (x_1, x_2, x_3, x_4; F) = (1, 1, 1, 1; 0).$$

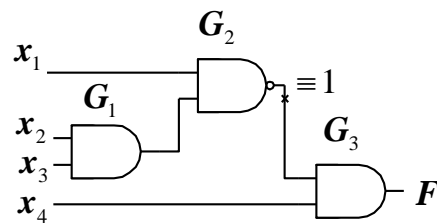


Figura 1.6. CLC cu defectul  $G_2 \equiv 1$

## 2.4. Defecte nedetectabile

Un defect se consideră nedetectabil, dacă este imposibil a atribui asemenea valori la intrările primare ale circuitului pentru a asigura manifestarea lui sau de a propaga univoc valoarea semnalului de la nodul testat spre ieșirea primară a circuitului, pentru sensibilizarea lui. Cu alte cuvinte, un defect este nedetectabil, dacă nu există un test pentru verificarea lui.

Pentru a ilustra cele spuse mai sus, vom analiza circuitul logic din figura 1.7. Pentru a verifica defectul  $G_2 \equiv 1$  este necesar a seta nodul  $G_2$  în 0 logic, ceea ce nu este posibil. Deci, defectul  $G_2 \equiv 1$  nu poate fi manifestat și se consideră nedetectabil.

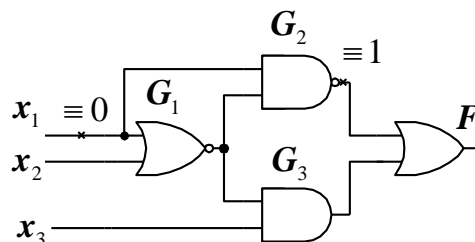


Figura 1.7. Circuit logic cu defecte nedetectabile

Defectul  $x_1 \equiv 0$  poate fi manifestat aplicând  $x_1 = 1$  și  $x_2 = 0$ . Dar nu există nici o cale de propagare univocă a acestui defect spre ieșirea primară  $F$ , aceasta fiind egală cu 1 logic atât în prezența cât și în absența defectului. Nodurile  $x_1$  și  $G_2$  nu pot fi testate, deoarece circuitul este redundant, iar porțile și conexiunile suplimentare creează contradicții de propagare univocă a semnalelor.

Un circuit logic se numește *redundant* dacă el conține conexiuni sau porți, eliminarea cărora nu implică schimbarea funcției logice a circuitului. Orice circuit redundant va avea defecte nedetectabile.



Elaborarea unei mulțimi de teste pentru un circuit se bazează pe presupunerea că doar un singur defect este prezent în circuit în momentul aplicării testului. Astfel, prezența simultană a defectelor detectabile și nedetectabile nu este în acord cu această presupunere. Mai mult decât atât, prezența defectelor nedetectabile poate denatura procesul de localizare a defectelor detectabile.