**SCHEME ȘI ELEMENTE LOGICE, CONVERTITORI DE COD**

SCOPUL LUCRĂRII

Cunoașterea principalelor caracteristici ale elementelor logice și a elementelor de bază ale sintezei circuitelor logice. Familiarizarea cu principalele caracteristici și testarea convertoarelor de cod integral (decodor, codificator, demultiplexor și multiplexor).

**INFORMAȚII TEORETICE ȘI FORMULE DE CALCUL**

Un cod este un sistem de simboluri pentru reprezentarea informațiilor într-o formă convenabilă pentru procesare, stocare și transmitere. În tehnologia digitală, două cifre sunt utilizate pentru a scrie simboluri de cod, sau doar un cod: 0 și 1. Convertorii de coduri sunt folosiți pentru a converti o formă a unui număr binar (combinație de coduri) la alta, de exemplu, convertind un cod binar-zecimal într-un cod indicator de șapte segmente. Codurile de intrare și ieșire ale convertoarelor sunt legate. Această conexiune este definită de funcții logice sau sub forma unei tabele de comutare. Luați în considerare cele mai comune tipuri de convertoare de cod în tehnologia digitală.

**DECODIFICATOR**

Decoderul (DC), sau DecoDeer, este un circuit combinațional cu n intrări și m = 2n ieșiri (m> n), care convertește un cod n de intrare binară (cuvânt de cod) într-unul unitar. Un 1 logic apare pe una dintre ieșirile m ale decodorului, și anume pe cea al cărei număr corespunde codului binar furnizat intrării.

La toate celelalte ieșiri ale decodorului, semnalele de ieșire sunt egale cu zero. un decodor este utilizat atunci când trebuie să accesați diferite dispozitive digitale

stam la adresa reprezentată de codul binar.

O imagine convențională a unui decodor 4x16 (citiți „patru pe șaisprezece”) în diagrame este dată în Fig. 1. Decodorul conține numărul de ieșiri egal cu numărul de combinații de variabile de intrare: de la у0 = pînă la y15 = abcd pentru n = 4 și m = 2n = 16.

De asemenea, sunt utilizate decodoare incomplete cu un număr mai mic de ieșiri (10 sau 12 cu patru variabile la intrare, apoi nu se utilizează un număr de combinații la intrare).

Fiecare ieșire a decodificatorului complet implementează conjuncția variabilelor de intrare (codul adresei) sau inversiunile acestora: atunci când este setat (0000) у0 = 1, pentru (0111) y7 =1, pentru (1111) y15=1 etc.

Decodificatoarele au adesea o intrare permisă (control, stroboscop) E. Când E = 1, decodorul funcționează ca de obicei, când E = 0, 0 este setat la toate ieșirile, indiferent de codul de adresă de intrare. Decodoarele sunt utilizate pe scară largă în multe dispozitive, inclusiv ca convertoare de la binar la zecimal.

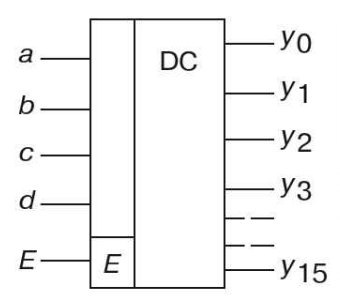


Fig 1.

**CODIFICATORUL**

Codificatorul (CD) sau codificatorul îndeplinește funcția opusă decodorului. O imagine convențională a unui codificator de 16x4 (16 în 4) în diagrame este prezentată în Fig. 2a. Un codificator clasic are n intrări și m ieșiri (m <n), iar atunci când semnalul 1 este aplicat uneia dintre intrări (și nu mai mult), la ieșirea codificatorului apare un cod binar al numărului de ieșire excitată. Numărul de intrări și ieșiri ale unui astfel de codificator este legat de raportul n = 2m.

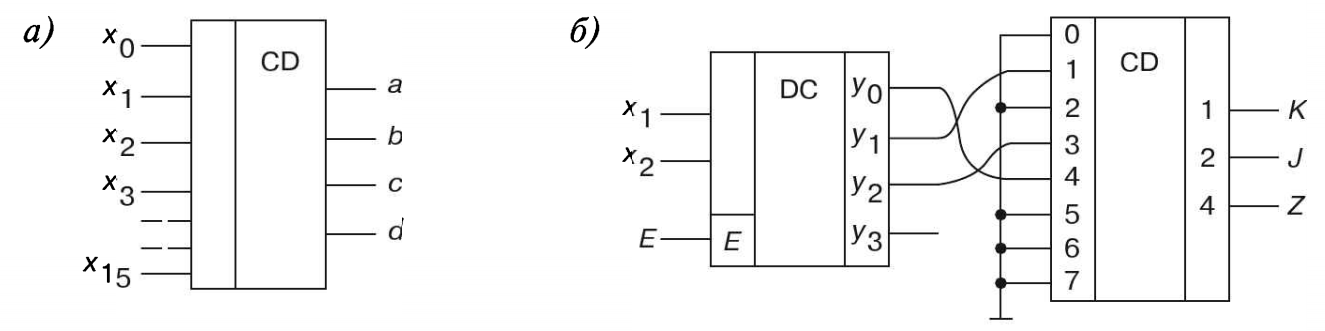


Fig 2.a

Domeniile de utilizare a codificatoarelor - afișarea sub formă de cod binar a numărului butonului apăsat sau a poziției comutatorului cu mai multe poziții, precum și numărul dispozitivului care a trimis un semnal pentru service în sistemele cu microprocesor. Scramblerele fac parte din microcircuitele controlerului de întrerupere, de exemplu, kryovn59.

Pentru a rezolva multe probleme specifice, este necesar să sintetizați convertoare de diferite coduri. Ca exemplu, Fig. 2b prezintă o diagramă a unui convertor de cod format dintr-un decodor DC pereche - codificator CD, care implementează logica de funcționare a unor semafoare K, Ј și Z, în trei culori, controlate printr-un cod binar pe doi biți X. În acest caz, fiecare combinație este mai întâi decodificată din codul sursă, ca urmare a căruia apare un 1 logic la ieșirea corespunzătoare a decodorului. Apoi acest semnal logic, a cărui valoare este determinat de numărul de ieșire al decodorului, este alimentat către codificator, iar codul convertit este setat la ieșirile sale.

Numărul de intrări de decodor DC este de două (*хl* și *х2*), numărul de ieșiri este de trei (numărul de ieșiri ale convertorului) *y0*, *y1* și *y2*. Conexiunile decodorului și codificatorului se fac în conformitate cu funcția logică dată y. Unele dintre ieșirile și intrările decodificatorului nu sunt utilizate.

Un decodor și un codificator construit pe elemente AND-NOT sunt andocate efectiv între ele: primul are ieșiri inverse, iar al doilea are intrări inverse. Dacă unele combinații de intrare corespund aceleiași ieșiri, atunci ieșirile corespunzătoare ale decodorului sunt combinate la elementul SAU și ieșirea acestuia din urmă este alimentată la intrarea dorită a codificatorului.

Proiectarea unui circuit de conversie a codului pe o pereche decoder-codificator se dovedește a fi în medie mai profitabilă atât în ​​ceea ce privește numărul de pachete, cât și în ceea ce privește viteza decât atunci când se proiectează din microcircuite logice de bază ȘI-NU și SAU-NU. Cu toate acestea, consumul de energie în acest caz poate fi mai mare decât cel al unui circuit de elemente individuale. Timpul petrecut de un inginer în proiectarea logică conform schemei decoder-coder este nemăsurabil mai mic decât costul proiectării unui convertor dispersat.

**MULTIPLEXOR**

Multiplexorul (MS) este o unitate funcțională care conectează (navetează) una dintre mai multe intrări la ieșirea y. La ieșirea unui astfel de dispozitiv, se transmite nivelul logic al acelui bit de informații, al cărui număr în codul binar este setat la intrările de adresă *x1* și *x2*. O imagine convențională a unui multiplexor cu patru intrări și o posibilă variantă a diagramei sale structurale sunt prezentate în Fig. 3a și b.

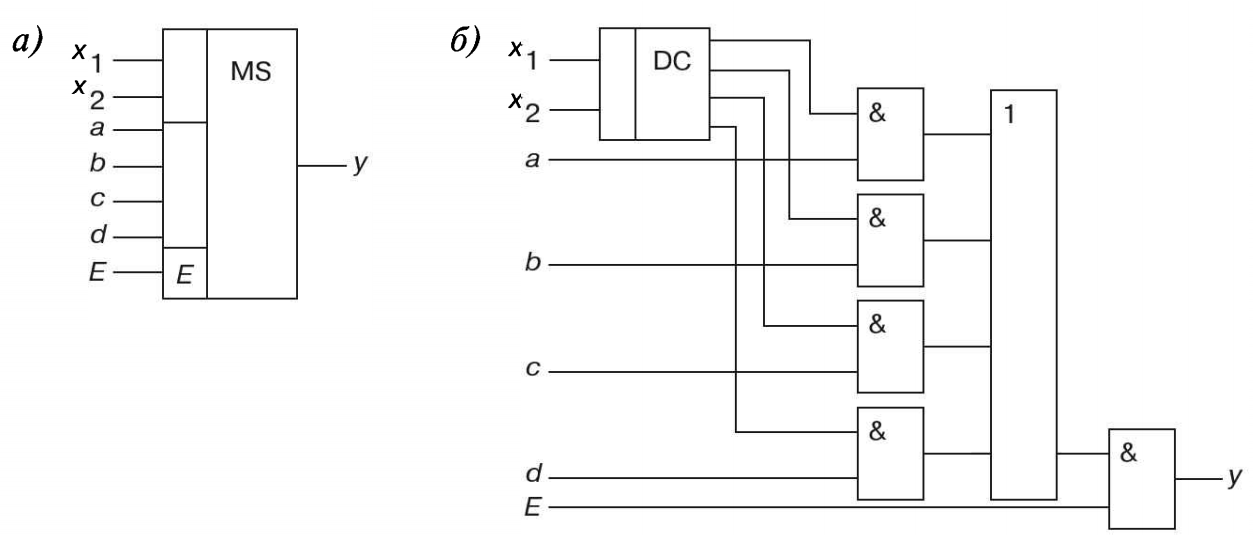


Fig. 3

Când *x1* = 0 și *x2* = 0, *y* = *a*; când *x1* = 0 și *x2* = 1 *y* = *b*; la *x1* = 1 și *x2* = 0 *y* = *c*, iar la *x1* = 1 și *x2* = 1 *y* = *d*.

Funcționarea multiplexorului este descrisă prin expresie

Intrare *E* - activare: la *E* = 1 multiplexorul funcționează ca de obicei, la *E* = 0 ieșirea nodului este inactivă, multiplexorul este blocat. Unitățile seriale sunt produse cu numărul de intrări de adresă n = 2, 3 și 4 cu un număr posibil de 2n intrări comutate. Dacă este necesar să comutați mai multe intrări, se utilizează mai multe multiplexoare. Multiplexerele sunt utilizate pe scară largă în dispozitivele de afișare a informațiilor din diferite dispozitive de control.

Deoarece multiplexorul poate transmite la ieșire un semnal din orice intrare de informații, a cărei adresă este setată pe intrările de adresă corespunzătoare, pe baza multiplexoarelor, funcțiile logice sunt implementate prin alimentarea logicii 1 sau 0 la intrările de informații în conformitate cu cu tabelul de comutare și argumentele funcționale la intrările de adresă ...

**DEMULTIPLEXOR**

Demultiplexerul (DMS) îndeplinește funcția opusă celei a multiplexorului, adică schimbă un semnal de intrare în 2n ieșiri, unde n este numărul de intrări de adresă xi Convertește informațiile din forma serială (serial-paralel) în paralel. Demultiplexorul are o intrare de informații D și mai multe ieșiri, iar intrarea este conectată la ieșirea yi, care are o adresă dată.

Ca exemplu, Fig. 4а oferă o denumire grafică convențională a unui demultiplexor care are patru ieșiri, a căror lege de funcționare este dată (tabel). Folosind masa. , să scriem funcțiile de comutare pentru ieșirea dispozitivului:

, , , ,

O diagramă funcțională a unui demultiplexor care implementează aceste expresii este prezentată în Fig. 4b.

Dacă numărul total de ieșiri ale dispozitivului în curs de dezvoltare depășește cele disponibile în circuitele integrate fabricate, atunci se utilizează conexiunea în paralel a mai multor circuite. În fig. 5a prezintă un arbore demultiplexor bazat pe multiplexoare cu patru ieșiri. Combinând un multiplexor cu un demultiplexor, se obține un dispozitiv de combinație în care, la adresele date, una dintre intrări este conectată la una dintre ieșirile sale (Fig. 5b).

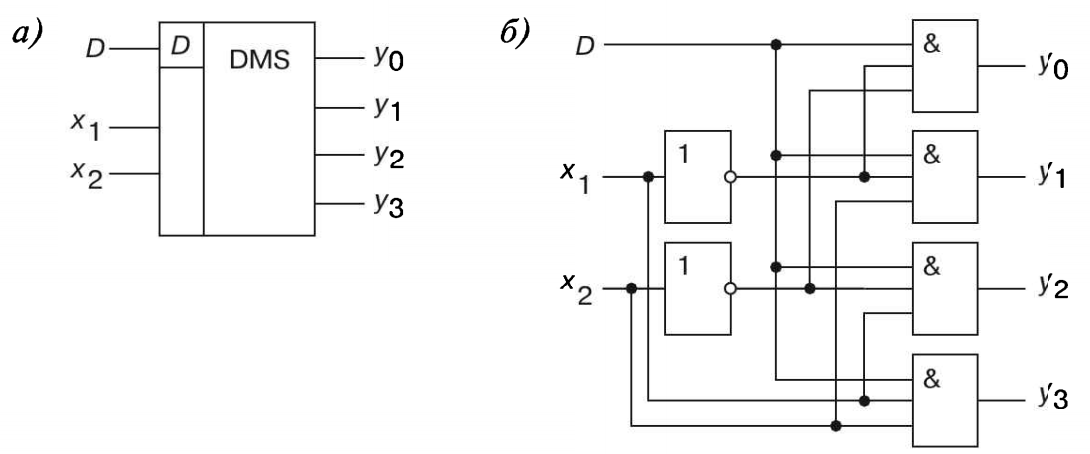
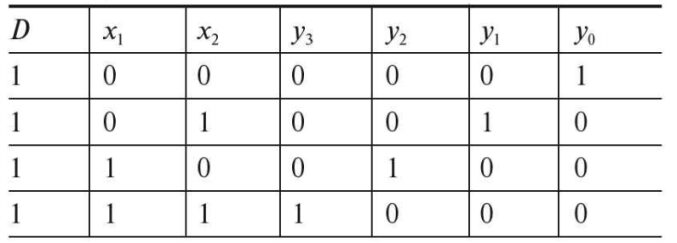


Fig 4

Tabel



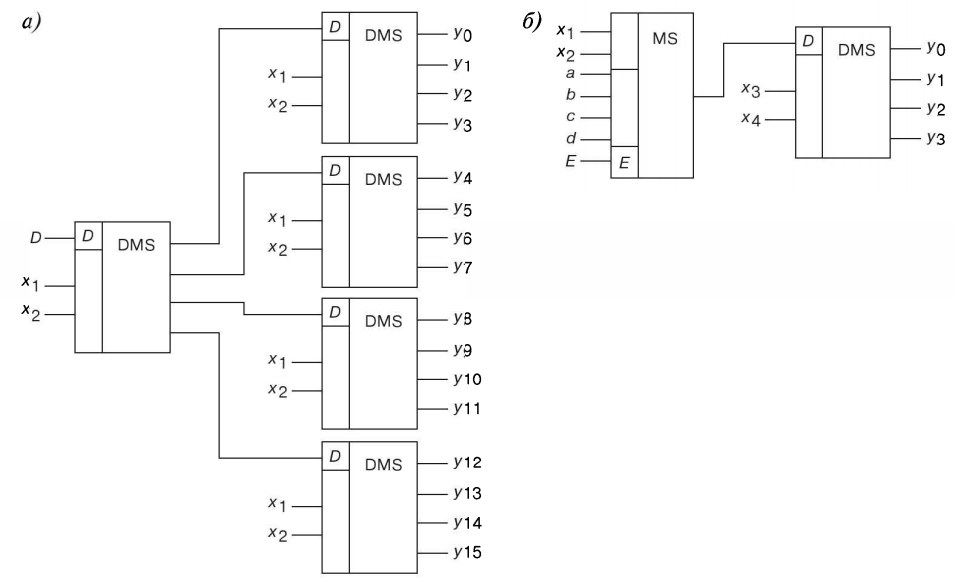
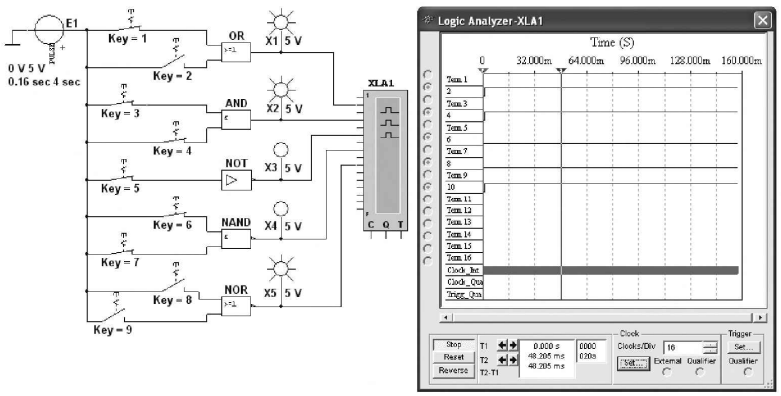


Fig 5

**SARCINI DE LUCRU**

Asamblați un circuit pentru testarea elementelor logice principale și de bază pe câmpul de lucru al mediului și setați parametrii sau modurile de operare în casetele de dialog ale componentelor.



Circuitul este asamblat pe porți logice binare de bază [0R, ȘI și NU] și universale [NAND și XOR] situat în biblioteca Misc Digital / TIL cu un nivel de înaltă tensiune de 5 V. Circuitul include tastele 1, 2 … 9, sonde X1, X2, ..., X5 cu tensiuni de prag de 5 V, un generator de unde dreptunghiulare E1 cu o amplitudine de E = 5 V, durata impulsului tu = 0,16 s și perioada T = 4 s și analizorul logic XLA1.

Pentru comoditatea măsurării semnalelor, ieșirile elementelor logice sunt conectate la intrările 2, 4, 6, 8 și 10 ale analizorului XLA1. În timpul simulării, diagramele se reprezintă lent în fereastra analizatorului. La atingerea intervalului de timp egal cu 70-80% din lățimea ferestrei, utilizați butonul Run / Stop pentru a opri procesul de simulare.

Prin intermediul tastelor 1, 2 … 9, formați toate combinațiile posibile de argumente (00, 10, 01 și 11) la intrarea disjunctorului (OR), conjunctorului (ȘI), liniei Schaeffer (NAND) și a săgeții Pierce (NOR) și scrieți valorile funcțiilor logice de ieșire yk (0 sau 1) în tabel.

Rețineți că, dacă cheia este închisă, atunci o unitate logică (potențial pozitiv 5 V) va fi aplicată la această intrare a elementului, iar când cheia este deschisă, un zero logic. Deoarece invertorul (NU) are o singură intrare, atunci o cheie 5 este suficientă pentru a forma două valori ale semnalului de intrare (una logică sau zero logic).

Valorile funcțiilor elementelor investigate pot fi monitorizate folosind sondele M, X2, ..., X5: dacă semnalul de ieșire al unui element este egal cu o unitate logică, atunci sonda la ieșirea acestui element luminează. Deci, cu poziția tastelor circuitului, funcțiile elementelor 0R, AND și NOR sunt egale cu o unitate logică.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| (0R) | | | (AND) | | | (NOT) | | (NAND) | | | (NOR) | | |
| X1 | X2 | y | X1 | X2 | y | X | y | X1 | X2 | y | X1 | X2 | y |
| 0 | 0 |  | 0 | 0 |  | 0 |  | 0 | 0 |  | 0 | 0 |  |
| 0 | 1 |  | 0 | 1 |  | 0 | 1 |  | 0 | 1 |  |
| 1 | 0 |  | 1 | 0 |  | 1 |  | 1 | 0 |  | 1 | 0 |  |
| 1 | 1 |  | 1 | 1 |  | 1 | 1 |  | 1 | 1 |  |

Sarcina 1. Asamblați pe câmpul de lucru al mediului un circuit pentru testarea decodificatorului de curent continuu (Fig. 6) și setați parametrii sau modurile de funcționare a acestora în casetele de dialog ale componentelor. Copiați diagrama (Fig. 6) pe pagina raportului.

Diagrama (fig. 6) conține:

• un decodor DC integral (decodor) 3x8, care are 3 intrări de informații A, B și C (pentru codul 4-2-1), 8 ieșiri (Y0, ..., Y7) și convertește un cod binar de 3 biți pozițional într-una unitară "1 din 8": în cuvântul de cod de ieșire pe 8 biți, o singură poziție este ocupată de una, iar toate celelalte sunt zero (vezi Fig. 7 din dreapta). În funcție de codul binar de intrare, de exemplu 001, la ieșirea DC, semnalul 1 apare pe unul singur

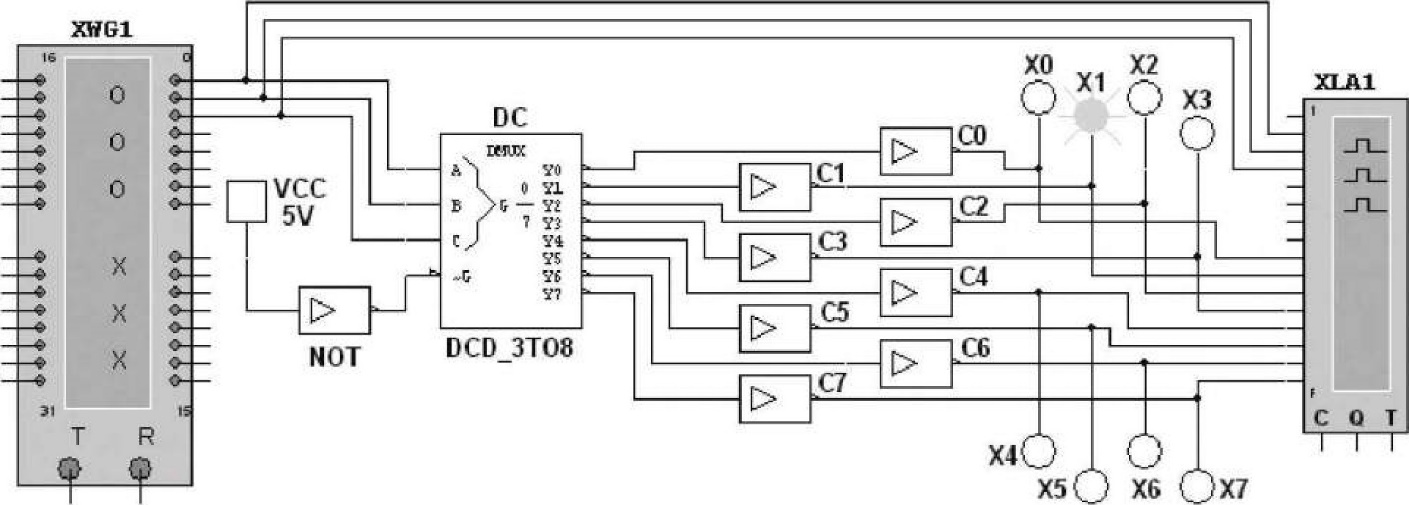


Fig. 6

(a doua, vezi Fig. 6) din cele opt linii de ieșire la care sunt conectate sondele X0, ..., X7.

Acest tip de codificator se referă la codificatoare cu nivele diferite de semnale de intrare și ieșire: nivelurile de intrare active corespund unui nivel logic 1, iar semnalele de ieșire active corespund unui nivel logic 0. Pentru a obține niveluri de ieșire active egale cu 1, opt invertoare sunt conectat la ieșirile decodorului C0.., C7;

• generator de cuvinte logice XWG1 (f = 500 kHz) cu cuvinte logice scrise în celulele sale de memorie, care sunt echivalente cu numere zecimale de la 0 la 7 (vezi Fig. 7 din stânga);

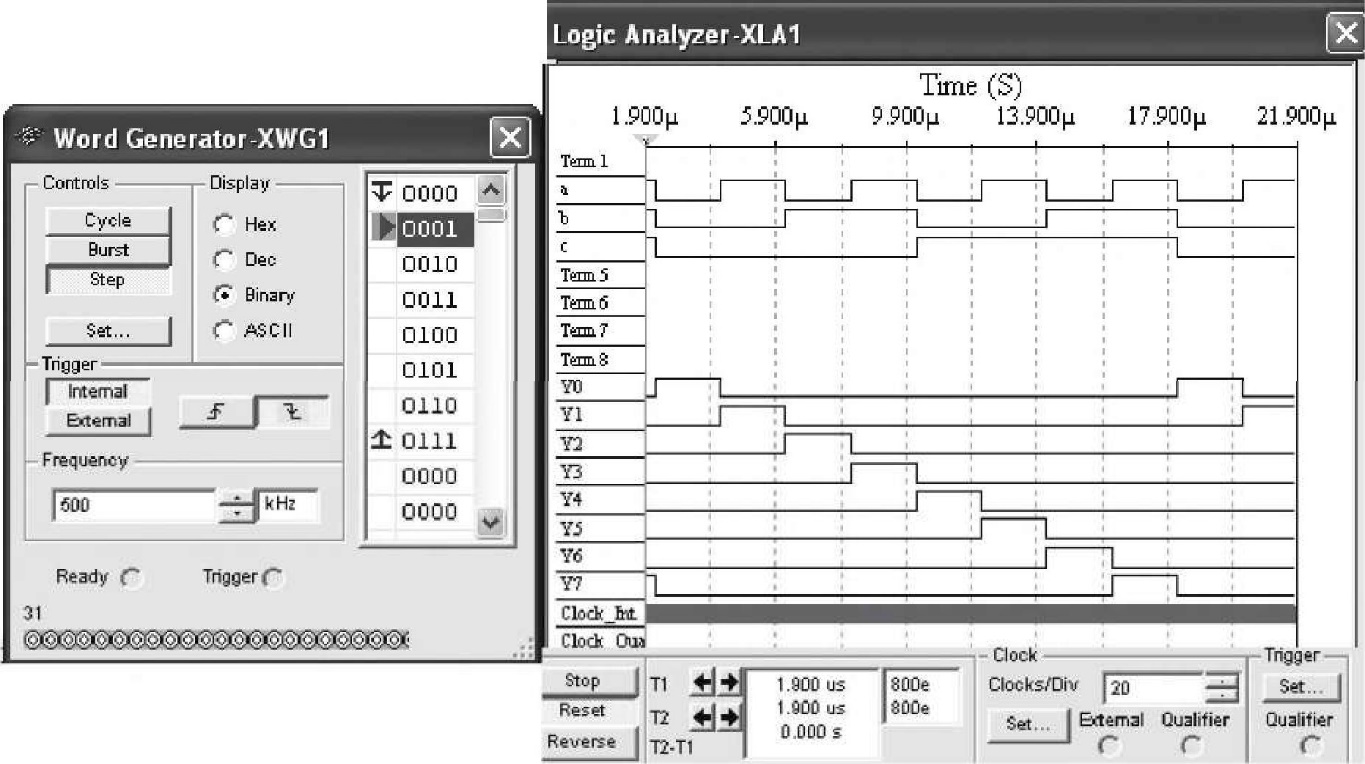


Fig. 7

• analizorul logic XLA1, pe ecranul căruia sunt afișate diagrame ale celor trei semnale de ieșire de intrare (A, B, C) și opt (Y0, Y1, ..., Y7) în modul Step al generatorului XWG1;

• sursa VСС, tensiunea de 5 V de la ieșirea căreia este furnizată invertorului NU. Logica 0 de la invertor este alimentată la intrarea de control a decodorului DC: când , decodorul se află într-o stare activă.

Rulați programul de simulare a decodorului. Făcând clic pe butonul Step al generatorului XWG1, aplicați secvențial cuvinte logice la intrarea decodorului. Asigurați-vă că, atunci când fiecare nouă parolă de cod binară este alimentată la intrarea decodorului, se aprinde doar o singură sondă, care „recunoaște” codul său de intrare.

Copiați diagramele de sincronizare a semnalelor de intrare și de ieșire ale decodificatorului pe pagina de raport. Pe baza rezultatelor simulării, compilați și completați tabelul de comutare (funcțiile ) la ieșirile decodorului DC 3x8.

Sarcina 2. Asamblați pe câmpul de lucru al mediului un circuit pentru testarea codificatorului CD (Fig. 8) și setați parametrii sau modurile de funcționare a acestora în casetele de dialog ale componentelor.

Copiați diagrama (Fig. 8) pe pagina raportului.

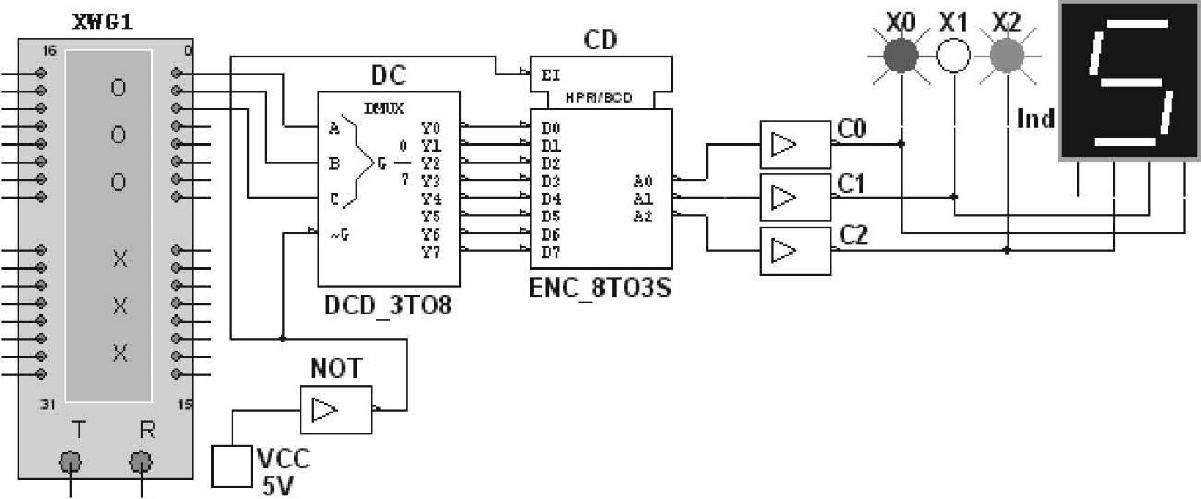


Fig. 8

Codificatorul CD 8x3 integral (de la 8 la 3) are 8 intrări D0, D1, ..., D7 conectate la ieșirile Y0, Y1, ..., Y7 ale decodorului DC și trei ieșiri inverse A0, A1, A2 , la care sondele logice X0, X1, X2 și un indicator Ind de șapte segmente sunt conectate prin invertoarele C0, C1, C2. Conținutul celulelor de memorie ale generatorului de cuvinte XWG1 sunt: ​​000, 001, ... 111 (vezi Fig. 7 din stânga).

Rulați programul de simulare a codificatorului. Făcând clic pe butonul Step al generatorului XWG1, aplicați secvențial cuvinte logice la intrarea decodorului. Asigurați-vă că atunci când o secvență de 8 biți este alimentată de la ieșirea DC la intrarea codificatorului CD, în care doar o poziție este ocupată de una, iar restul sunt zerouri, la ieșirea codificatorului se formează coduri binare A0A1A2 pe 3 biți, unde A0 = A, A1 = B și A2 = C, corespunzător combinațiilor de coduri binare la intrarea decodorului DC.

Pe baza rezultatelor simulării (pe iluminarea sondelor logice X0, X1, X2 și indicațiile indicatorului Ind), compilați și completați tabelul de comutare la ieșirea codificatorului CD 8x3.

Convertiți circuitul decodorului DC 3x8 și al codificatorului CD 8x3 (a se vedea Fig. 8) în circuitul DC 2x4 și codificatorul CD 4x2 deconectând firul C, potrivit pentru decodor, și firul A2 de la ieșirea codificatorului și compilați tabele de comutare pentru decodorul 2x4 și codificatorul 4x2.

Sarcina 3. Asamblați un circuit pentru testarea demultiplexorului DMS pe câmpul de lucru al mediului (Fig. 9) și setați parametrii sau modurile de operare în casetele de dialog ale componentelor.

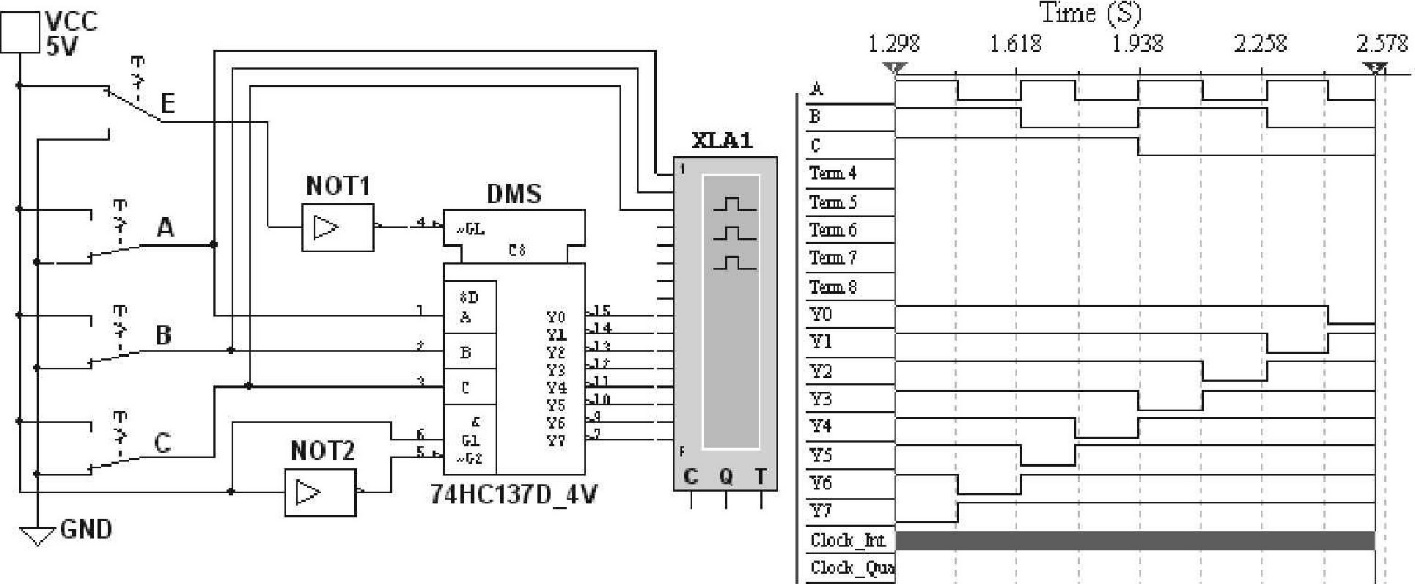


Fig. 9

Demultiplexorul DMS 1x8 (de la 1 la 8) (Fig. 9) are o intrare de date (cu niveluri active G1 ridicate și G2 scăzute), trei intrări de adresă A, B, C, permițând intrarea GL cu un nivel activ activ și opt Y0 , Y1, ..., Y7 ieșiri inversate conectate la intrările analizorului logic XLA1. Semnalele de la intrările de adrese A, B, C sunt, de asemenea, alimentate la intrarea analizorului. Folosind tastele A, B și C, pot fi formate opt cuvinte de adrese binare pe trei biți. Când introduceți secvențial cuvintele de adresă de la 111 la 000 generate de taste, analizorul XLA1 afișează secvențe de coduri pe 8 biți cu un nivel activ (scăzut) în timpul simulării.

Pentru a asigura o mișcare lentă a fasciculelor pe ecranul analizorului XLA1, setați frecvența temporizatorului său fa = 500 Hz și numărul de impulsuri pe diviziune, Clocs / div = 80.

Setați codul cheii la 111 și faceți clic pe butonul Run / Stop. Curbele semnalelor logice de adresă și ieșire se desfășoară încet în timp pe ecranul analizorului.

Opriți (făcând clic pe butonul Stop) procesul de simulare atunci când grinzile analizorului se apropie de linia de marcare a ecranului.

Repetați operațiile de mai sus pentru scăderea numărării combinațiilor de semnale de adresă (de la 110 la 000) până când procesul de simulare este înregistrat cu cuvântul de adresă 000 (a se vedea Fig. 9 din dreapta).

Asigurați-vă că pentru fiecare combinație de semnale de adresă, demultiplexorul generează un 0 logic la una dintre cele opt ieșiri, al căror număr corespunde unei anumite cuvinte de cod la intrare, adică demultiplexorul este similar cu un comutator prin care dispozitivul digital fluxul de informații este împărțit în 8 fluxuri de ieșire.

Copiați diagrama (Fig. 9) și diagramele de sincronizare a semnalelor de intrare și ieșire pe pagina în raport.

Dacă intrările de adresă A, B și C sunt acceptate ca intrări de informații, iar intrarea G1 (G2) - ca intrare pentru a permite funcționarea, atunci multiplexorul se va transforma într-un decodor.

Sarcina 4. (Opțional.) Asamblați pe câmpul de lucru al mediului un circuit pentru testarea demultiplexerului DMS 1x16 (de la 1 la 16) (Fig. 10) și setați parametrii sau modurile de operare în casetele de dialog ale componentelor. Copiați diagrama (Fig. 10) în raport.

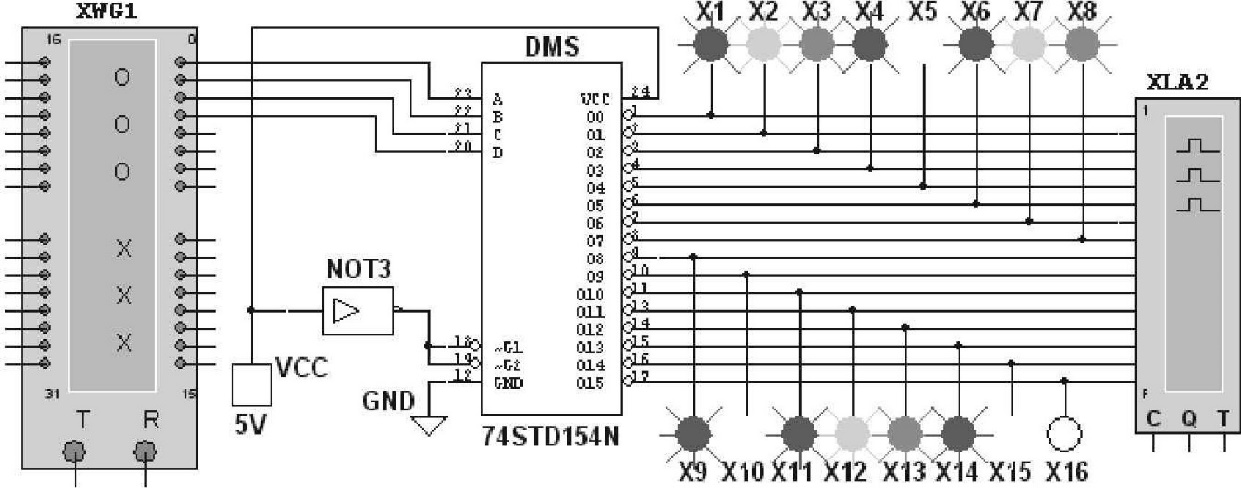


Fig. 10

Pentru a automatiza procesul de simulare, un generator logic XWG1 cu coduri de adresă de la 0000 la 1111 înregistrat în celulele sale de memorie este conectat la intrarea demultiplexerului DMS și la 16 sonde logice X1, X2, ..., X16 și o logică analizorul XLA2 sunt incluse pentru vizualizarea semnalelor la ieșiri.

Lansați programul de simulare demultiplexor DMS 1x16. Trimiteți secvențial (făcând clic pe butonul Step al generatorului XWG1) la cuvintele logice de intrare a demultiplexerului, începând cu combinația 0000 a semnalului de adresă și terminând cu combinația 1111 și observați modificările semnalelor de ieșire în funcție de indicatori și în fereastra analizorului XLA2.

În modelul demultiplexor investigat, ieșirea activă corespunzătoare are un nivel logic scăzut (Fig. 11), astfel încât sonda nu se aprinde la această ieșire. Deci, când ultima combinație de cod 1111 este aplicată intrării demultiplexorului, sonda X16 nu se aprinde, deoarece ieșirea 15 este activă (vezi Fig. 10).

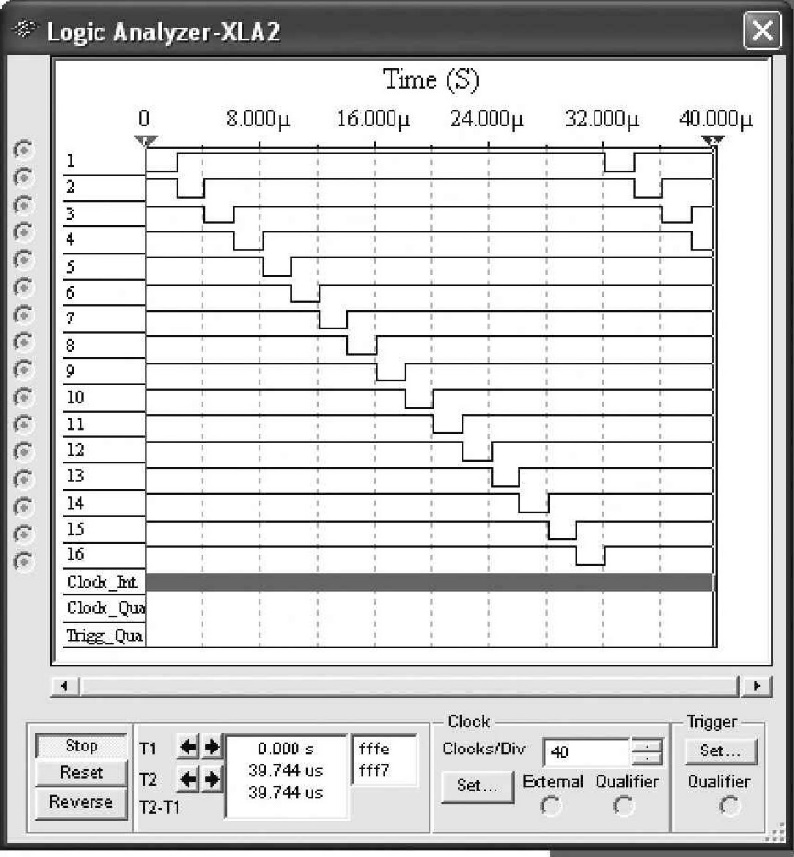


Fig. 11

Copiați diagramele de sincronizare a semnalelor de ieșire ale demultiplexerului DMS 1x16 pe pagina de raport. Demultiplexerele ca atare nu sunt produse de industrie, deoarece modul de multiplexare poate fi implementat ca un caz special în alte dispozitive - în decodoare.

Sarcina 5. Asamblați un circuit (Fig. 12) pentru testarea multiplexorului MS 8x1 (de la 8 la 1) pe câmpul de lucru al mediului și setați parametrii sau modurile de operare în casetele de dialog ale componentelor. Copiați diagrama (Fig. 12) în raport.



Fig. 12

Multiplexorul MS cu intrarea de activare G transmite un semnal de la fiecare intrare de informații D0, D1, ..., D7, specificată de codul ABC pe 3 biți - adresa intrării selectate, la singura ieșire Y. Lățimea bitului (3) al semnalului de control determină numărul de intrări (23 = 8), de la care multiplexorul poate primi informații. Dacă presupunem că 8 surse de semnale digitale - generatoare de cuvinte binare secvențiale sunt conectate la intrările D0, D1, ..., D7 ale multiplexorului MS, atunci octeții de la oricare dintre aceștia pot fi transferați la ieșirea Y.

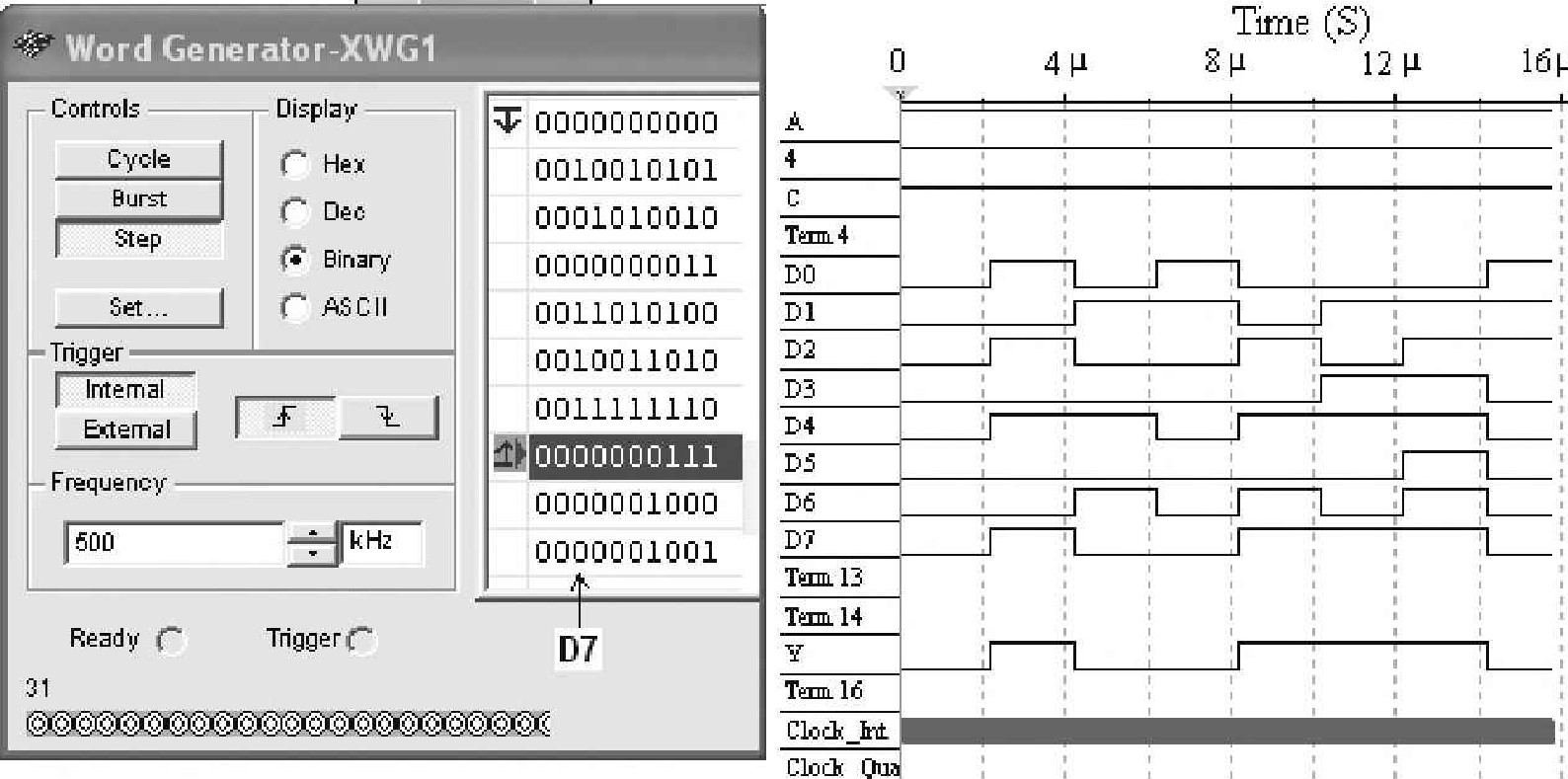
Pentru a ilustra funcționarea multiplexorului MS, vom scrie cuvinte de cod arbitrare pe 8 biți în celulele de memorie ale generatorului XWG1 (Fig. 13 din stânga) și folosind tastele A, B, C vom forma semnalul de control 111. Făcând clic succesiv pe butonul Step al generatorului XWG1 și cu G = 1, octeți care ajung la intrarea D7 a multiplexorului (semnal 01001110) de pe cel de-al 8-lea bit (în Fig. 13 din stânga, este afișat al 8-lea bit printr-o săgeată) din cuvintele logice ale generatorului XWG1 sunt transferate la ieșirea Y și la intrarea analizorului (vezi Fig. 13 în dreapta) ...

Dacă tasta A este setată pe poziția inferioară (formând astfel codul de adresă 011), atunci de la intrarea D3 la ieșirea Y a multiplexorului, octeții celui de-al 4-lea bit de cuvinte logice scrise în celulele de memorie ale generatorului XWG1 să fie primit etc.

Scrieți cuvinte de cod arbitrare pe 8 biți în primele opt celule de memorie ale generatorului XWG1, setați frecvența f = 500 kHz și modul Step al funcționării sale (vezi Fig. 13 din stânga).

Setați frecvența fa = 20 MHz a temporizatorului analizorului logic XLA1 și numărul de impulsuri de ceas Clock / div = 20 pe divizie.

Setați codul de adresă folosind tastele A, B și C, de exemplu 1002 (410) și rulați programul de simulare multiplexor



16џ

Рис.

30.13

Fig. 13

Obțineți și copiați diagramele de sincronizare a semnalelor de intrare D0, D1, ..., D7 și a semnalului de ieșire Y al multiplexorului în pagina raportului. Comutarea tabelelor la ieșirile pentru convertoarele de cod bibliotecă considerate poate fi apelată apăsând tasta F1 după evidențierea convertorului corespunzător pe diagramă.

**CONȚINUTUL RAPORTULUI**

1. Denumirea și scopul lucrării.

2. Imagini ale circuitelor electrice

3. Tabelele de adevăr care afișează funcționarea elementelor logice investigate

4. Imaginile diagramelor de sincronizare și tabelelor de comutare care afișează funcționarea convertorilor de cod investigați.

5. Concluzii asupra lucrării.