

Ministerul Educației, Culturii și Cercetării

Universitatea Tehnică a Moldovei

Facultatea Calculatoare Informatică și Microelectronică

Departamentul Informatică și Ingineria Sistemelor

REFERAT

la disciplina Proiectarea cu dispozitive Programabile

Lucrarea de laborator nr. 3

*Tema: Sinteza și implementarea circuitelor logice
secvențiale*

A efectuat:

studentul grupei CR-1XX

Nume Prenume

A verificat:

lect. univ.

Cărbune Viorel

Chișinău 2020

Sarcina 1: Numărător direct de 8 biți cu semnale asincrone de resetare și setare.

1. Codul VHDL al numărătorului

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;
entity num8 is
    port (clk: in std_logic;
          rst, set: in std_logic;
          en, load: in std_logic;
          data: in std_logic_vector (7 downto 0);
          num: out std_logic_vector (7 downto 0));
end num8;
architecture arh_num8 of num8 is
    signal tmp: std_logic_vector (7 downto 0);
begin
    cnt: process (rst, set, clk)
        begin
            if (rst = '1') then
                tmp <= (others => '0');
            elsif (set = '1') then
                tmp <= (others => '1');
            elsif (clk'event and clk = '1') then
                if (load = '1') then
                    tmp <= data;
                elsif (en = '1') then
                    tmp <= tmp + 1;
                end if;
            end if;
        end process;
end arh_num8;
```

```

    end if;
end process cnt;

num <= tmp;
end arh_num8;

```

2. Rezultatul Compilării codului VHDL

Flow Summary	
Flow Status	Successful - Wed Mar 25 10:31:02 2020
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	PDPEX
Top-level Entity Name	num8
Family	Cyclone IV E
Device	EP4CE22F17C6
Timing Models	Final
Total logic elements	28 / 22,320 (< 1 %)
Total registers	8
Total pins	21 / 154 (14 %)
Total virtual pins	0
Total memory bits	0 / 608,256 (0 %)
Embedded Multiplier 9-bit elements	0 / 132 (0 %)
Total PLLs	0 / 4 (0 %)

Figura 1. Rezultatul compilării codului VHDL pentru numărător

3. Diagrama RTL al numărătorului

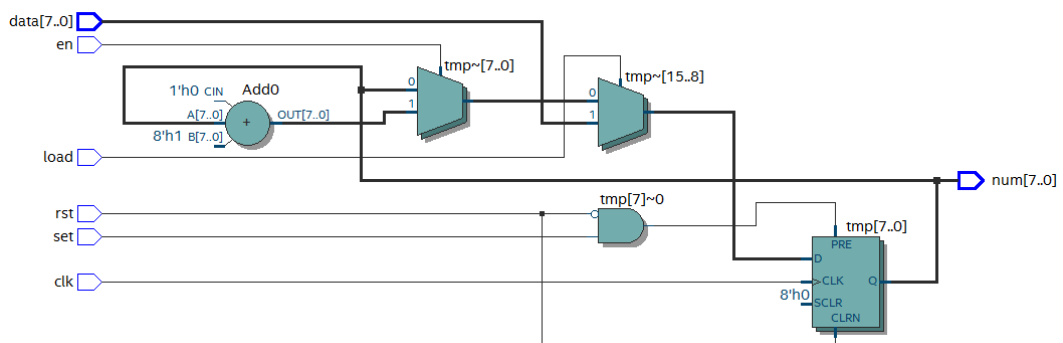


Figura 2. RTL Viewer pentru numărător

4. Diagrama de timp pentru prezentarea rezultatelor simulării numărătorului

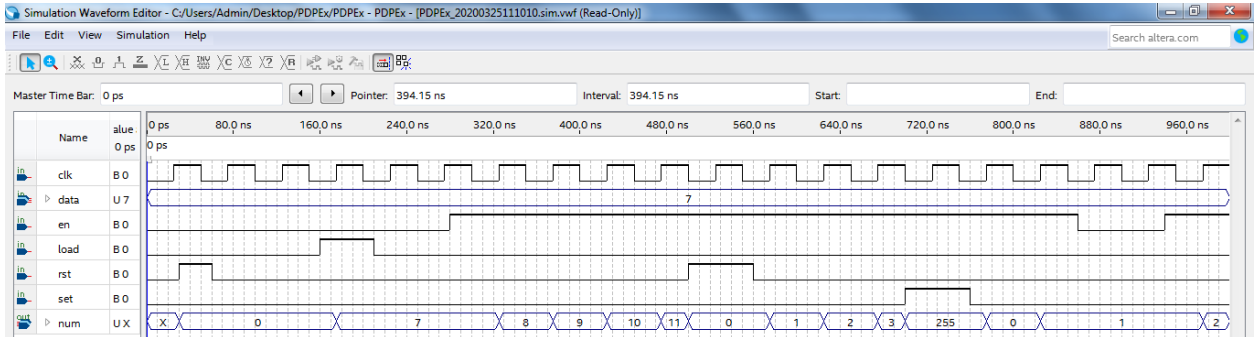


Figura 3. Vector waveform file pentru numărător

Sarcina 2: Registru deplasare dreapta de 4 biți cu setare și resetare asincronă.

1. Codul VHDL al registrului

2. Rezultatul Compilării codului VHDL

Figura 4. Rezultatul compilării codului VHDL pentru registru

3. Diagrama RTL al registrului

Figura 5. RTL Viewer pentru registru

4. Diagrama de timp pentru prezentarea rezultatelor simulării circuitului elaborat pentru numărător

Figura 6. Vector waveform file pentru registru