

МИНИСТЕРСТВО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ
ПЕНЗЕНСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ЭЛЕКТРОТЕХНИКА И ЭЛЕКТРОНИКА

Конспект лекций

ПЕНЗА 2004

УДК 621.38

Предложен конспект лекций, рассчитанный как на самостоятельное освоение основных теоретических положений дисциплины «Электротехника и электроника», так и в качестве дополнительного материала при проведении занятий по электротехнике и электронике.

Конспект лекций подготовлен на кафедре «Вычислительная техника» и предназначен для студентов специальности 22.01.00 (Вычислительные машины, комплексы, системы и сети).

Составитель: **Л.А.Брякин**

Под редакцией **Н.П.Вашкевича**

Рецензент **М.М.Бутаев**, кандидат технических наук,
старший научный сотрудник, учёный секретарь
НТС ФГУП НИИ «Рубин»

4 Элементы цифровой техники

4.1 Транзисторный ключ и его инвертирующие свойства

4.1.1 Общие сведения

Транзисторный ключ – элемент или часть логического элемента, выполняющая функцию отрицания входной переменной (функцию НЕ). Характерным для транзисторного ключа является использование крайних режимов работы транзистора или транзисторов, входящих в его состав.

В настоящее время находят наибольшее применение элементы потенциального типа, для которых определяют логические уровни (смотри введение), то есть два уровня электрического напряжения, которые соответствуют логическому нулю U^0 и логической единице U^1 . В настоящее время широко используются элементы транзисторно-транзисторной логики, для которых логические уровни равны: $U^0 \leq 0.4\text{В}$, $U^1 \geq 2.4\text{В}$. При использовании элементов на комплементарных МДП - транзисторах (КМДП - транзисторах) уровень логического нуля также близок к нулю вольт, а уровень логической единицы близок к положительному напряжению питания, которое часто может лежать в диапазоне от трёх до пятнадцати вольт.

При анализе поведения ключа различают анализ его работы в статике и в динамике. В первом случае анализируют поведение транзисторов ключа при подаче на вход логического нуля и логической единицы. А в динамике изучают поведение ключа в моменты изменения состояний выходного сигнала. То есть в динамике измеряют или рассчитывают значения времени задержки выходного сигнала относительно входного и длительности фронтов выходного сигнала. Поскольку транзисторы являются нелинейными компонентами схемы, расчёты при необходимости будем выполнять с учётом простейших моделей.

Транзисторный ключ может быть реализован на биполярных и на полевых транзисторах. Обратим внимание на простейшие варианты схемных решений ключей на биполярном транзисторе и на комплементарных МДП-транзисторах.

4.1.2 Транзисторный ключ на биполярном транзисторе

Анализ работы ключа в статике

На рисунке 4.1 предложена простейшая схема транзисторного ключа.

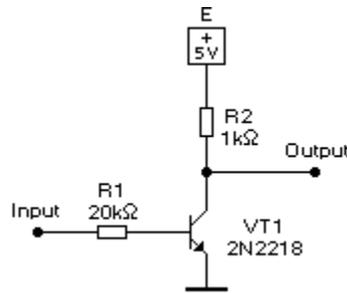


Рисунок 4.1

Предположим, что на входе уровень логического нуля. В этом случае ток в базе транзистора практически равен нулю, транзистор находится в выключенном состоянии, то есть в режиме отсечки или в близком к отсечке режиме. Токи через транзистор практически равны нулю. От источника питания ток может течь только в нагрузку, то есть в выходную цепь. Если используется режим холостого хода, то выходное напряжение при этом равно напряжению питания E .

Предположим, что на входе уровень логической единицы U^1 . В этом случае течёт ток в базовой цепи по направлению от входа, через резистор $R1$, базу и эмиттер на общий провод. Переход база-эмиттер прямо смещён, падение напряжения на нём зависит от материала транзистора, то есть для кремния это падение примерно равно $U_{бэ, пр} \approx 0.7\text{В}$. Это позволяет рассчитать величину тока базы транзистора из выражения:

$$I_{б,о} = \frac{U^1 - U_{бэ, пр}}{R1} \approx \frac{U^1 - 0.7}{R1}.$$

Под действием этого тока транзистор должен войти в режим насыщения, при котором ток в коллекторе достигает максимального возможного в схеме значения, которое определяется уже не транзистором, а сопротивлением внешней цепи. В нашем случае ток коллектора будет определяться сопротивлением резистора $R2$. Падение напряжения на открытом транзисторе, вошедшем в насыщение, будет близко к нулю, то есть $U_{кэ, нас} \approx 0\text{В}$. Ток коллектора насыщения определится из выражения:

$$I_{кн} = \frac{E - U_{кэ,нас}}{R2} \approx \frac{E}{R2}.$$

Наблюдаемые в этом случае токи базы и коллектора будут связаны соотношением:

$$I_{б,о} = s \cdot \frac{I_{кн}}{\beta},$$

где s – степень насыщения транзистора, то есть степень превышения тока базы над минимальной, требуемой для формирования тока насыщения коллектора $I_{кн}$, величиной. А минимальная величина определится из выражения:

$$I_{б,о} = \frac{I_{кн}}{\beta}.$$

Предложенные выражения позволяют рассчитать в статике транзисторный ключ, что гарантирует его работоспособность и в динамике. Если же надо достичь высокого быстродействия, то следует выбирать высокочастотные транзисторы и использовать методы повышения быстродействия ключа.

Анализ работы ключа в динамике

При анализе динамики ключа делают определённые допущения. Предполагают, что включение транзистора происходит от генератора тока $I_{б,о}$, выключение происходит под действием тока выключения или закрывания транзистора $I_{б,з}$. Собственно процесс включения или открывания ключа считают начинающимся при достижении напряжения на переходе база-эмиттер величины $U_{бэ,о} \approx 0.7\text{В}$ для кремния. При выходе из насыщения и при формировании фронта выключения считается, что напряжение на переходе база-эмиттер сохраняется равным $U_{бэ,о} \approx 0.7\text{В}$. Рассмотрим основные этапы работы ключа в динамике.

Включение или открывание транзистора ключа

При включении выделяют три этапа:

1. Этап задержки сигнала. При подаче на вход нарастающего фронта наблюдается заряд паразитных емкостей базовой цепи током резистора $R1$. Пока напряжение на базе ниже $U_{бэ,о} \approx 0.7\text{В}$ считается, что транзистор остаётся закрытым, на выходе никаких изменений не наблюдается.

2. Этап формирования фронта включения или спадающего фронта на выходе. При этом под действием тока базы $I_{б,о}$ происходит переход транзистора из выключенного, закрытого состояния в открытое, включенное состояние. Достигается в коллекторе ток насыщения транзистора $I_{кн}$.
3. Этап накопления неосновных носителей заряда в базовой цепи. На этом этапе на выходе состояние неизменно, транзистор включен, но ток базы превышает минимально требуемый ток, что приводит к накоплению неосновных носителей в базе.

Наличие этапа накопления неосновных носителей заряда существенно снижает быстродействие транзисторного ключа, приводит к появлению при закрывании транзистора продолжительного по времени этапа рассасывания накопленных носителей. Существенного повышения быстродействия ключа можно достичь применением или форсирующей ёмкости, включаемой параллельно резистору в базовой цепи $R1$ (рисунок 4.1), или применением диода Шотки, включаемого в качестве компонента нелинейной отрицательной обратной связи параллельно коллекторному переходу, анодом к базе. Комбинация транзистора с диодом Шотки образует так называемый транзистор Шотки. Если логические элементы используют такие транзисторы в своём составе для повышения быстродействия, то в их названии появляется дополнительное слово «Шотки» или его сокращение в виде буквы «Ш». Например, элементы транзисторно-транзисторной логики (ТТЛ), использующие диоды Шотки, называют ТТЛШ. При одинаковом быстродействии с элементами без нелинейной обратной связи они потребляют мощность примерно в 4 раза меньше.

Выключение или закрывание транзистора ключа

При выключении выделяют два этапа:

1. Этап рассасывания неосновных носителей заряда в базе транзистора. На этом этапе несмотря на то, что входное напряжение упало до уровня логического нуля, на выходе ключа некоторое

время, иногда продолжительное, сохраняется неизменным и выходное напряжение, и ток через транзистор. Это происходит из-за того, что ток в коллекторе поддерживается неосновными носителями, накопленными в базе транзистора при включенном состоянии. Пока существует ток коллектора, пока есть неосновные носители в базе, на переходе база-эмиттер сохраняется напряжение $U_{бэ,0} \approx 0.7\text{В}$.

2. Этап формирования фронта выключения. Этот этап наблюдается после выхода транзистора из насыщения, продолжительность этого этапа, как и предыдущего, зависит от величины тока выключения транзистора, который вытекает из базовой области. Для анализируемой схемы он будет равен:

$$I_{б,з} = \frac{U_{бэ,0} - U^0}{R1}.$$

Быстродействие ключа при формировании фронтов зависит во многом от быстродействия используемого транзистора, то есть от граничной частоты усиления по току в схеме с общим эмиттером и от ёмкости коллекторного перехода. О роли этой ёмкости говорилось в предыдущем разделе.

4.1.3 Транзисторный ключ на комплементарных МДП-транзисторах

Особенностью ключа является использование двух транзисторов с разными каналами проводимости в выходной цепи. Транзисторы с индуцированными каналами, то есть характеризуются величинами порогового напряжения. Чтобы элемент был работоспособен, пороговые напряжения должны быть по модулю меньше модуля напряжения питания. Базовая схема КМДП-инвертора предложена на рисунке 4.2.

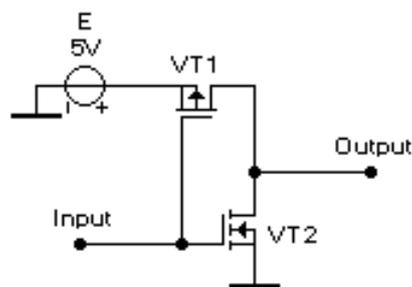


Рисунок 4.2

Транзистор VT1 с индуцированным каналом p-типа. Если разность напряжений между затвором и истоком в транзисторе с индуцированным каналом равна нулю, то канал проводимости отсутствует, транзистор закрыт. Если напряжение на затворе VT1 окажется ниже напряжения на истоке (равного в нашем случае 5В) на величину, большую по модулю порогового напряжения этого транзистора, то образуется канал, транзистор проводит ток, пропускает поданное на исток напряжение.

Транзистор VT2 является МДП-транзистором с индуцированным n-каналом проводимости и открывается при превышении напряжения на затворе более, чем пороговое напряжение этого транзистора.

Опишем работу этого инвертора.

Если на входе уровень логического нуля, то есть близкое к нулю напряжение, то транзистор VT1 окажется открыт, поскольку на его затворе напряжение ниже, чем на истоке, а VT2 – закрыт. На выходе формируется напряжение, практически равное питающему напряжению E. То есть на выходе наблюдается логический нуль.

Если на входе уровень логической единицы, то есть близкое к E напряжение, то VT2 открывается, а VT1 закрыт. На выходе логический нуль, напряжение на выходе практически равно нулю.

Таким образом, предложенная схема реализует инвертор.

Отметим достоинства этого элемента как достоинства всех элементов, выполненных по КМДП-технологии.

1. В статике, то есть при сохранении неизменным состояния выходного сигнала, элемент практически не потребляет энергии (примерно 0.4мкВт на один элемент).
2. Диапазон питающих напряжений велик: от 3В до 15В.
3. Логические уровни практически равны нулю (U^0) и питающему напряжению (U^1).
4. Элементы позволяют достичь высокой степени интеграции.
5. Нагрузочная способность велика.
6. Входное сопротивление элемента высокое.

Быстродействие элементов пока ещё не слишком велико, но технология совершенствуется и ожидается существенное повышение быстродействия этих элементов. Элементы очень чувствительны к статическому напряжению, поэтому их усложняют схемами защиты от статического напряжения. Но желательно не смотря на наличие схем защиты прибегать к средствам защиты от статического напряжения при монтаже элементов: заземлять корпус паяльника, которым осуществляется монтаж и использовать заземлённые браслеты, надеваемые на руки электромонтажников, монтирующих микросхемы.

4.2 Физическая реализация логических функций

Любое цифровое устройство можно создать, используя простейшие логические элементы, если выполняемые ими логические выражения являются функционально полными. Сколь угодно сложное устройство можно реализовать на элементах, выполняющих логическую функцию типа И-НЕ или ИЛИ-НЕ. То есть, если имеются логические двухвходовые элементы, выполняющие функцию «конъюнкция-отрицание» ($y = x1 \& x2$) или «дизъюнкция-отрицание» ($y = x1 \vee x2$), то на них можно построить сколь угодно сложное цифровое устройство. Способ реализации функции «отрицание» рассмотрен выше. Обратим внимание на способы реализации функции «конъюнкция» (функция И) и функции «дизъюнкция» (ИЛИ). Для этой цели используют диодную или транзисторную логику. При анализе предлагаемых ниже схем будем считать, что

уровень логической единицы выше уровня логического нуля, например, как уровни транзисторно-транзисторной логики.

Диодная логика

Различают две разновидности диодных логических элементов: с общими анодами и с общими катодами. При подаче питания надо придерживаться такого правила: питающее напряжение должно быть такой полярности, чтобы создать прямые токи в диодном элементе.

Схема с общими анодами предложена на рисунке 4.3а. Входные сигналы x_1 , x_2 подаются на катоды диодов VD1, VD2 относительно общего провода. Положительное напряжение питания подаётся таким образом, чтобы оно оказалось приложено к анодам диодов. Обычно справедливо неравенство: $E > U^1$. Выходной сигнал y формируется относительно общего провода следующим образом. Если хотя бы на одном входе присутствует нуль (напряжение равно нулю), то от источника E течёт ток через резистор R1, анод и катод диода, связанного с этим входом на выбранный вход. На выходе формируется напряжение, равное прямому падению напряжения на диоде, что равносильно логическому нулю.

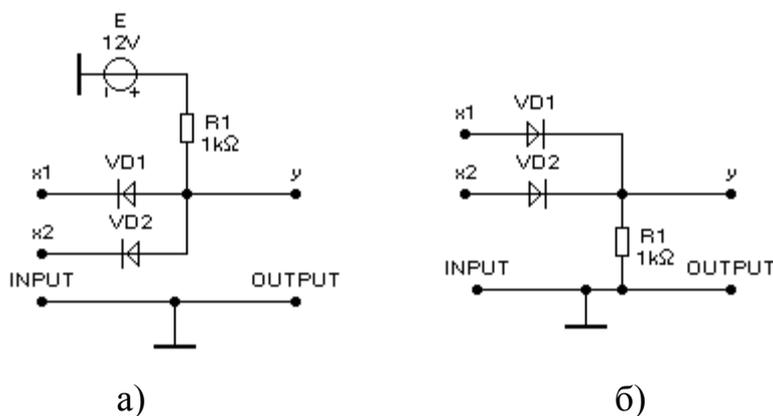


Рисунок 4.3

Если на оба входа поданы высокие уровни, то ток резистора делится между диодами, на выходе формируется уровень логической единицы. Поведение схемы описывается таблицей истинности (таблица 4.1).

Таблица 4.1

x1	x2	y
0	0	0
0	1	0
1	0	0
1	1	1

Функция равна единице только на одном наборе: $x_1=x_2=1$.

То есть элемент реализует функцию «конъюнкция», функцию «2И», где цифра указывает на число входов у элемента.

Если соединить рассмотренный диодный элемент с входом транзисторного ключа на биполярном транзисторе, то приходим к диодно-транзисторному логическому элементу (ДТЛ), который реализует функцию вида 2И-НЕ. Такие элементы находили широкое применение, пока им не нашли хорошую замену в виде элементов ТТЛ.

Схема с общими катодами предложена на рисунке 4.3б. Входные сигналы x_1 , x_2 подаются на аноды диодов VD1, VD2. Схема не требует питания, поскольку при логической единице на входе соответствующий диод окажется прямо смещён и без питающего напряжения. Наличие на одном из входов единицы приводит к появлению единицы на выходе. Элемент выполняет функцию «дизъюнкция», функцию «2ИЛИ». То есть выходной сигнал связан с входными выражением:

$$y = x_1 \vee x_2.$$

Таблица истинности схемы с общими катодами предложена в виде таблицы 4.2.

Таблица 4.2

x1	x2	y
0	0	0
0	1	1
1	0	1
1	1	1

Транзисторная логика

При реализации транзисторной логики используют параллельное и последовательное включение транзисторов. Наличие транзисторов приводит к тому, что кроме функции типа «И», «ИЛИ» элементы автоматически выполняют функцию «НЕ». Рассмотрим реализацию транзисторной логики на биполярных транзисторах, поскольку принцип работы элементов на МДП-транзисторах такой же.

Параллельное включение транзисторов предложено на рисунке 4.4а. Только при наличии на всех входах уровня логического нуля транзисторы окажутся закрытыми, на выходе наблюдается уровень логической единицы. То есть элемент реализует функцию «2ИЛИ-НЕ»:

$$y = \overline{x1 \vee x2}.$$

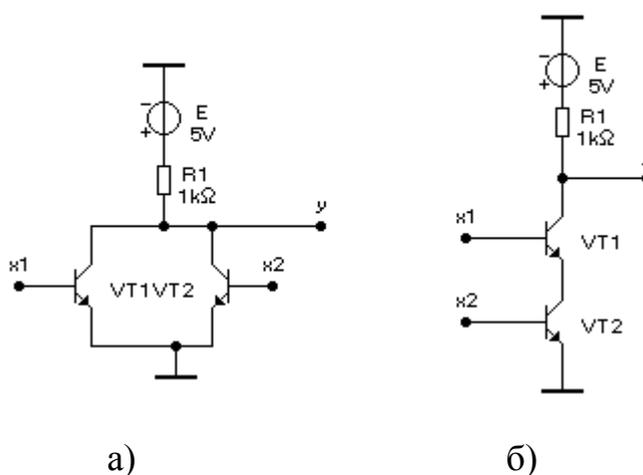


Рисунок 4.4

При последовательном включении транзисторов (рисунок 4.4б) только при наличии на всех входах логической единицы на выходе реализуется ноль. Элемент реализует функцию «2И-НЕ», функция связана с входными переменными следующим образом:

$$y = \overline{x1 \& x2}.$$

4.3 Транзисторно-транзисторный логический элемент

4.3.1 Базовая схема и принцип работы

С конца шестидесятых годов широкое применение находят элементы транзисторно-транзисторной логики (ТТЛ), которые благодаря применению многоэмиттерного транзистора на входе для реализации функции «И» и сложного инвертора смогли сочетать достаточно высокое быстродействие (задержка на уровне нескольких наносекунд на инвертор) с высокой нагрузочной способностью.

Базовая схема ТТЛ со сложным инвертором предложена на рисунке 4.5.

Транзистор VT1 многоэмиттерный, реализует совместно с резистором R1 функцию И над входными переменными. Транзистор VT2 с резисторами R2, R3 образуют фазорасщепляющий каскад, который формирует на эмиттере и коллекторе сигналы с разными фазами. То есть, если на эмиттере под действием входных сигналов напряжение растёт, то на коллекторе падает и наоборот. Транзисторы VT3, VT4 являются транзисторами выходного каскада, которые открываются поочередно.

Если на входах логические единицы, то током резистора R1 через коллектор VT1 открывается транзистор VT2. Эмиттерный ток этого транзистора открывает транзистор VT4, на выходе которого формируется нуль. На коллекторе VT2 в это время присутствует напряжение 0.7В, что является повторением напряжения на эмиттере транзистора VT2. В этом режиме VT3 должен быть закрыт. Чтобы это было возможно при указанных напряжениях, в выходном каскаде используется диод VD1. Транзистор VT1 работает при этом в инверсном режиме, то есть коллектор его выступает в роли эмиттера, а эмиттер – в роли коллектора.

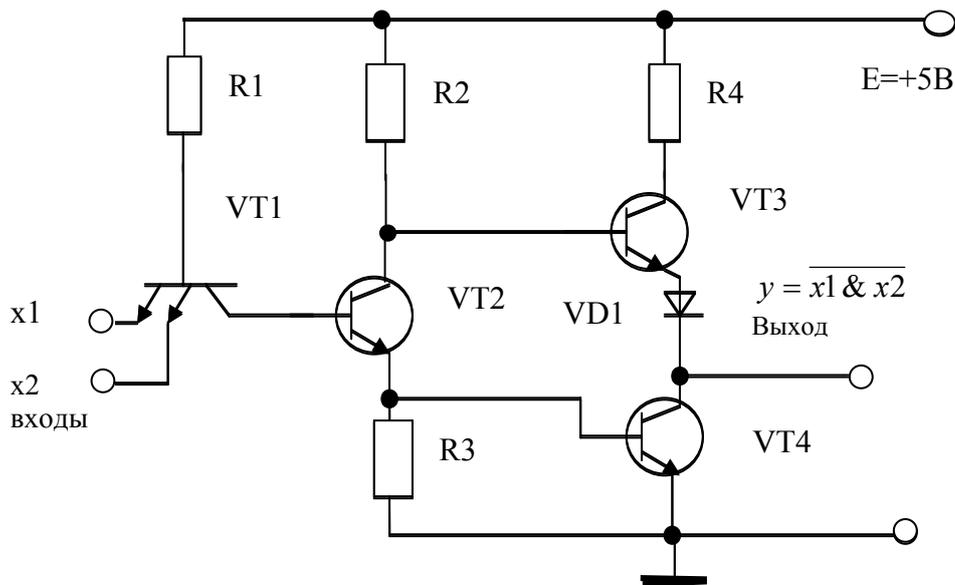


Рисунок 4.5

Если хотя бы на одном входе нуль, то ток резистора R1 течёт в эмиттер входного транзистора VT1, транзисторы VT2, VT3 будут закрыты, а транзистор VT3 откроется. На выходе формируется логическая единица. Транзистор VT1 работает при этом в нормальном режиме, под действием входного тока, обусловленного наличием нулевого уровня на входе, этот транзистор входит в насыщение. При этом на базе VT2 формируется близкое к нулю напряжение.

Благодаря наличию двух транзисторов в выходном каскаде нагрузочная способность возрастёт. Причём, нагрузочная способность элемента при нуле на выходе оказывается значительно выше, чем при единице. Обусловлено это тем, что при единице на выходе ток транзистора VT3 ограничивается сопротивлениями резисторов R2 и R4.

Во время формирования фронта выходного сигнала, то есть в моменты переключения на короткий интервал времени оказываются одновременно открытыми оба транзистора выходного каскада: VT3, VT4. Это приводит к значительному росту потребляемого от источника питания тока на короткий интервал времени. А благодаря наличию паразитных индуктивных сопротивлений шины питания увеличение тока вызывает кратковременное уменьшение напря-

жения питания элемента, что воспринимается как импульсная помеха по цепи питания. Чтобы исключить возможные отрицательные явления в схеме, связанные с этими помехами, цепи питания шунтируют конденсаторами с малыми величинами паразитных индуктивностей выводов. В качестве этих конденсаторов берут обычно керамические конденсаторы, которые подключают параллельно цепи питания каждой микросхемы или каждых двух микросхем. Ёмкость этих конденсаторов составляет 68нФ в первом случае или $0,15\text{мкФ}$ во втором.

4.3.2 Некоторые разновидности элементов транзисторно-транзисторной логики

Обратим внимание на некоторые разновидности элементов ТТЛ, которые представляют практический интерес.

Магистральные усилители

Эти элементы предназначены для работы на общую магистраль, на общие провода связи между блоками ЭВМ.

Магистраль или шина - это совокупность функционально связанных проводов, предназначенная для организации обмена информацией в ЭВМ, между отдельными блоками ЭВМ. Каждому блоку или его части присваивается свой адрес при обмене информацией по общей шине или магистрали данных. Чтобы осуществить обмен информацией между двумя любыми блоками ЭВМ из большого множества можно использовать, например, три независимые магистрали: магистраль адреса, магистраль данных, магистраль управления. При обмене информацией можно выделить активный и пассивный блоки. Активному блоку поручается функция управления, он является одним из участников обмена. Пассивный блок подчиняется сигналам управления. Чтобы осуществить обмен информацией активный блок задаёт адрес пассивного блока, с которым предполагается обмен информацией. Осуществляется это формированием адреса в виде двоичного числа на шине адреса. Подачей активного уровня или сигнала по одному из проводов шины или магистрали управления активный блок определяет направление передачи информации. Реагируя на адрес и на управляющий

сигнал, выбранный блок активизируется, то есть готовится к обмену информацией. Причём, если передача информации по шине данных осуществляется от активного блока, то активный блок формирует информацию на магистрали данных, а пассивный должен при этом принять эту информацию. Если же информация идёт от пассивного блока, то именно он использует шину данных для формирования на ней информации. При этом активный блок настраивается на приём информации.

Можно заметить, что для осуществления возможности формировать информацию на шине данных с целью обмена, каждый блок должен иметь возможность подключить к магистрали выходные цепи своих элементов. Но чтобы эти цепи не мешали передаче информации другим блокам, надо иметь возможность их отключения. Магистральный усилитель (шинный формирователь, элемент с тремя состояниями, буферный усилитель) позволяет решить эти задачи.

Особенностью магистрального усилителя является наличие в выходной цепи третьего состояния, то есть состояния отключенного выхода. Таким образом, выходная цепь одноразрядного магистрального усилителя может находиться в одном из трёх состояний: уровень нуля на выходе, уровень единицы и выключенное состояние, которое называют третьим, высокоомным (высокоимпедансным) или Z-состоянием. В первых двух состояниях магистральный усилитель передаёт информацию со своего информационного входа на выход, а в последнем случае выходные транзисторы элемента должны быть закрыты. Чтобы элемент с тремя состояниями мог менять состояние выхода необходимо наличие управляющего входа, кроме входа информационного. Для обозначения магистрального усилителя используют специальный символ, который располагается вблизи выхода или рядом с символом выполняемой функции. В простейшем случае одноразрядный магистральный усилитель может быть изображён предложенным на рисунке 4.6 образом.

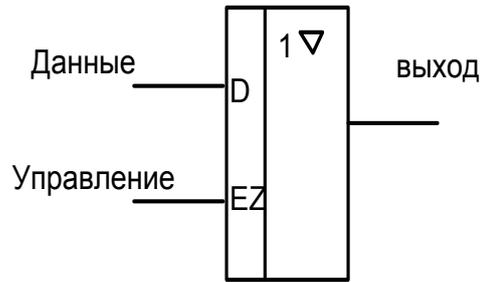


Рисунок 4.6

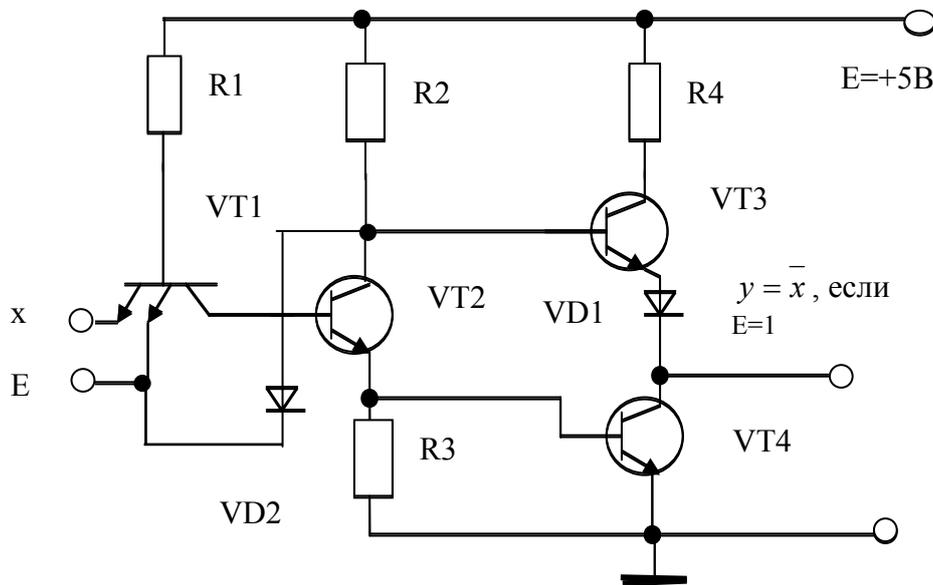
Выходная цепь элемента окажется в третьем состоянии, если на управляющий вход подаётся уровень логической единицы. То есть отсутствие на входе EZ кружочка, символа инвертирования, говорит о том, что активным сигналом по этому входу является единица. А поскольку метка входа E обозначает разрешение (Enable), то единица разрешает Z –состояние.

Если на этом входе будет уровень нуля, то третье состояние не разрешается, следовательно, разрешается прохождение на выход информации с информационного входа, обозначаемого символом D (Date).

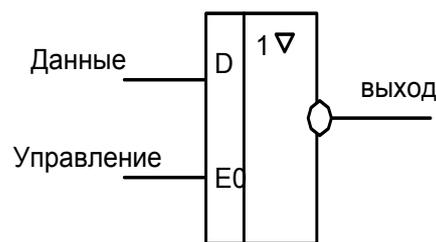
Возможное схемное решение одноразрядного магистрального усилителя на базе ТТЛ предложено на рисунке 4.7. На том же рисунке предложено возможное условное обозначение элемента на принципиальной схеме, если этот элемент реализован в виде микросхемы.

Если на входе разрешения E0 (Enable Out, то есть разрешение выхода) присутствует высокий уровень, то диод VD2 обратно смещён или находится под напряжением, близким к нулю, т.е. диод VD2 на работу схемы не действует. При этом состояние выходного сигнала определяется состоянием входного, а именно $y = \bar{x}$.

Если на управляющий вход E0 поступает уровень логического нуля, то оказываются в выключенном состоянии транзисторы VT4 и VT3 одновременно. Выходная цепь усилителя будет иметь состояние, которое зависит от состояния другого магистрального усилителя, подключенного к этому же проводу и формирующего информацию в данный момент времени.



а)



б)

Рисунок 4.7

Элементы с открытым коллектором

Элементы с открытым коллектором используются или для работы схемы на нестандартную нагрузку (реле, лампы накаливания, электромагнит, свето-

диод), или для работы на магистраль передачи данных вместо трёхстабильного элемента. Они могут использоваться для организации какой-либо логической функции путём соединения выходных цепей нескольких элементов, что недопустимо при использовании обычных логических элементов, или при необходимости перехода с уровней ТТЛ на другие логические уровни. При использовании технологии ТТЛ элемент с открытым коллектором может быть реализован по предложенной на рисунке 4.8 схеме.

Если на оба входа подаётся уровень единицы, то ток резистора R1 течёт по цепи: E, резистор, переход база-коллектор VT1, база-эмиттер VT2, делится между резистором R3 и переходом база-эмиттер VT4, общий провод. Транзисторы VT2, VT4 оказываются открыты и входят в насыщение. На выходе формируется напряжение, близкое к нулю.

Если хотя бы на одном входе присутствует ноль, то ток резистора R1 утекает на этот вход и выходной транзистор VT4 будет закрыт, уровень единицы при этом на выходе не формируется. Если необходимо сформировать этот уровень в подобном элементе, то используют дополнительный резистор, который внешним монтажом включается между коллектором VT4 и шиной питания элемента E. Сопротивление этого резистора составляет примерно 1кОм.

В условном обозначении микросхемы элемента с открытым коллектором на принципиальной схеме дополнительно к функции элемента или в качестве метки выхода используют специальный символ в виде подчёркнутого внизу ромбика. Подобным же образом обозначаются элементы с открытым стоком. Возможна реализация элементов с открытым эмиттером или истоком. В этом случае ромбик символа элемента подчёркивается наверху ромбика.

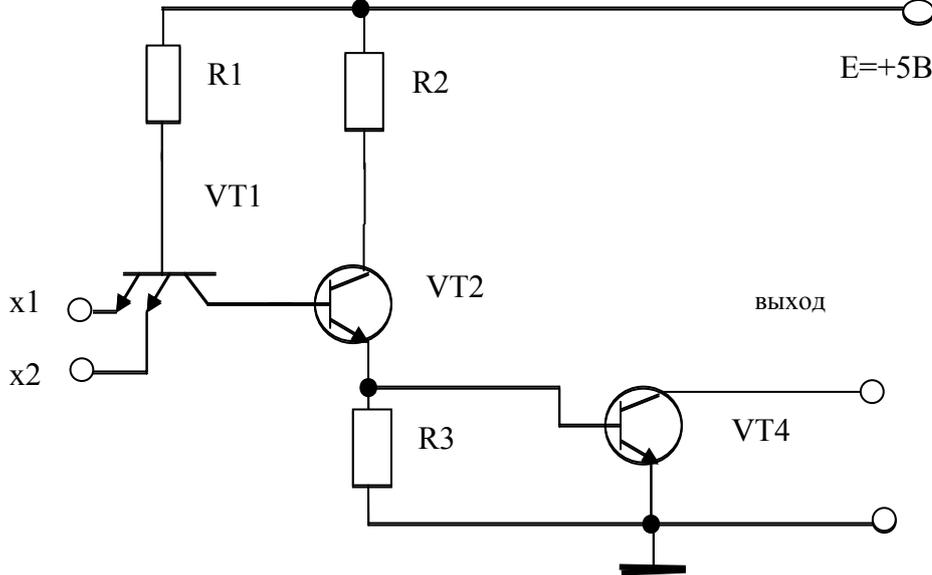


Рисунок 4.8

Рассмотрим работу элемента на реле и на светодиоде. Возможное включение реле на выходе элемента с открытым коллектором предложено на рисунке 4.9.

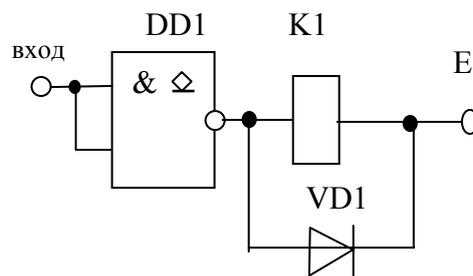


Рисунок 4.9.

В схеме включения реле K1 введены идентификаторы деталей. Буквами DD обозначена микросхема цифровая, которая имеет открытый коллектор. Позиционный номер её равен 1. Диод VD1, включенный параллельно реле, защищает микросхему от возникающей при выключении реле электродвижущей силы, которая наведётся на катушке реле.

При подаче на вход уровня единицы на выходе элемента DD1 формируется нуль, что приводит к протеканию тока в обмотке реле, к срабатыванию реле. Напряжение питания, элемент DD1 выбираются из тех соображений, чтобы обеспечить требуемый ток срабатывания реле.

Две возможные схемы включения светодиодов показаны на рисунке 4.10. В первой схеме светодиод будет светиться при подаче на вход элемента логической единицы, а во второй – при подаче нуля. Резистор выбирается из условия обеспечения требуемого для свечения светодиода тока.

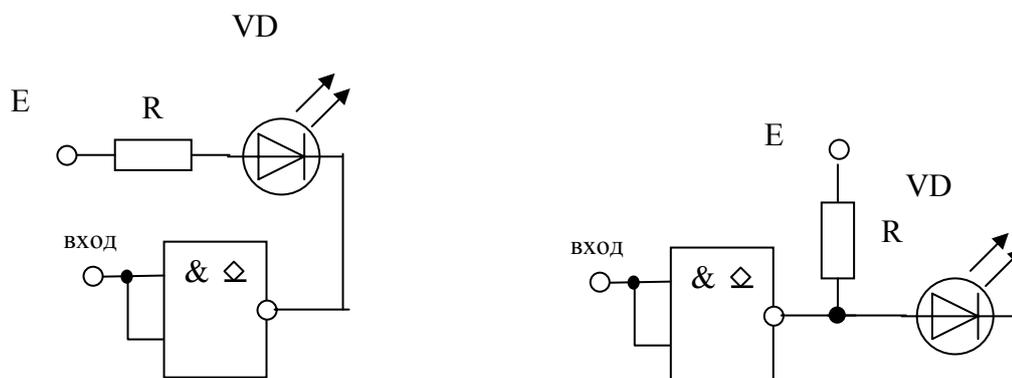


Рисунок 4.10

4.4 Логические элементы на комплементарных МДП-транзисторах

Более сложные логические элементы по сравнению с инвертором рисунка 4.2 строятся сочетанием параллельной транзисторной логики вблизи нулевого провода и последовательной логики вблизи цепи питания (рисунок 4.11) или наоборот.

В первом случае реализуется логическая функция типа ИЛИ-НЕ, а во втором – логическая функция типа И-НЕ.

Заметим, что транзисторы VT1, VT4 выполнены с каналом n-типа, а транзисторы VT2, VT3 имеют каналы проводимости p-типа. Применение транзисторов с разными каналами проводимости в пределах одной микросхемы, то есть комплементарных или взаимодополняющих транзисторов, и определяет название технологии изготовления этих микросхем: КМДП - технология. Все транзисторы с индуцированными каналами. Пороговое напряжение транзисто-

ров выбирается меньшим, чем минимальное допустимое напряжение питания. Уровень логического нуля формируется на выходе в том случае, когда открыт хотя бы один из транзисторов VT1, VT4. То есть при подаче хотя бы на один из входов уровня логической единицы (уровень, близкий к напряжению питания) на выходе формируется нуль. Элемент реализует функцию 2ИЛИ-НЕ:

$$y = \overline{x1 \vee x2}.$$

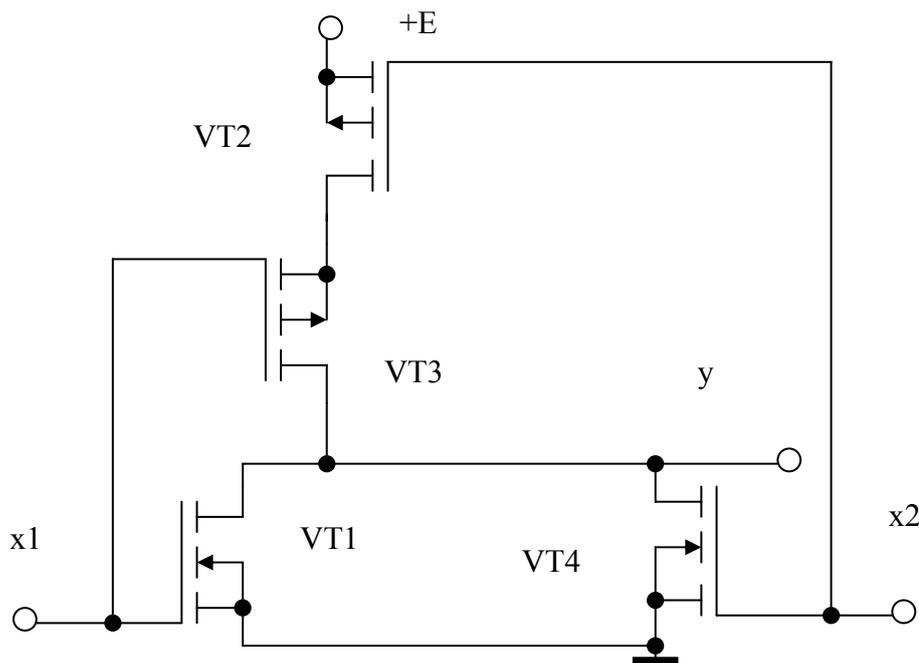


Рисунок 4.11

В том случае, когда на оба входа поступают уровни логического нуля (близкое к нулю Вольт напряжение), транзисторы VT2, VT3 открываются, формируя на выходе напряжение, близкое к напряжению питания, то есть уровень логической единицы. Можно заметить, что в обоих случаях выходное напряжение формируется благодаря открыванию соответствующих транзисторов. Это позволяет достичь высокой нагрузочной способности выходной цепи элемента при необходимости. Кроме того, максимально используется напряжение питания при формировании выходных логических уровней. Если в транзисторно-транзисторной логике уровень логической единицы ниже напряжения питания на сумму падений напряжений на резисторе R2, переходе база-эмиттер VT3 и

диоду VD1 (рисунок 4.5), то в рассматриваемом элементе он близок к напряжению питания.

4.5 Триггеры

4.5.1 Общие сведения

Известно, что для математического описания процессов, происходящих в ЭВМ, используются формулы алгебры логики, основы которой были изложены английским математиком Джорджем Булем в 1854 году. Именно эта алгебра используется для описания логики работы элементов ЭВМ: инверторов, конъюнкторов и дизъюнкторов. Известно также, что набор простейших логических функций, позволяющий реализовать любую сколь угодно сложную функцию Буля, называется функционально полным. Функционально полным набором является, например, набор элементов, выполняющих функцию типа 2И-НЕ или 2ИЛИ-НЕ. То есть, используя достаточное число подобных элементов можно создать ЭВМ, способную решать любые задачи. Но при этом реализуется так называемая комбинационная схема, которая формирует результат только при сохранении неизменной входной информации. Возникает проблема хранения результатов работы логики, то есть комбинационной схемы и проблема хранения входной информации и промежуточных результатов. Эта проблема решается применением элементов памяти, среди которых выделяются триггеры.

Триггер - электронная схема с двумя устойчивыми состояниями. Схему триггера на электронных лампах предложил в 1918 году М.А.Бонч-Бруевич, российский учёный.

В простейшем случае триггер может быть построен с использованием двух инверторов с цепями положительной обратной связи (рисунок 4.12), но у такой схемы отсутствуют управляющие входы. Предложенное триггерное кольцо (образуется за счёт цепей связи между элементами) является основой любого триггера и работает следующим образом. Если на выходе Q, который назовём прямым, при включении сформировался ноль, то это вызовет появление единицы на выходе DD2, что заставит элемент DD1 поддерживать ноль на выходе Q.

То есть, триггер хранит состояние, в котором он оказался. За состояние триггера принимается то, в котором оказывается сигнал на выходе, названном прямым выходом. Различают триггеры асинхронные и синхронные. В асинхронных триггерах изменение состояний информационных входов может в тот же момент вызвать изменение состояния триггера. Для входных сигналов определяют понятие активного сигнала или его состояния и пассивного сигнала.

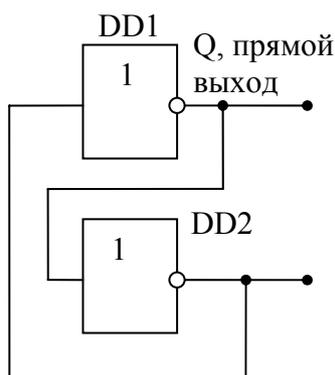
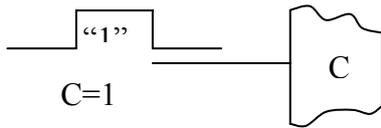


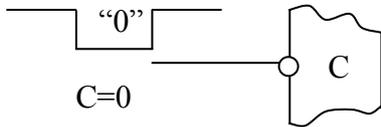
Рисунок 4.12

Для импульсных сигналов активным может быть определённый уровень сигнала (статическое или потенциальное управление, или управление по уровню), а может быть активным сигналом один из фронтов входного сигнала (динамическое или импульсное управление, или управление по фронту). В синхронных триггерах изменение состояния триггера под действием информационных сигналов может происходить только в момент действия синхросигнала, его активной части. Вход синхронизации обозначают символом С (от слова Clock). В зависимости от активности синхросигнала различают триггеры с потенциальным или статическим управлением и триггеры с динамическим или импульсным управлением.

Возможные способы изображения входов синхронизации триггера со статическим управлением при разных активных уровнях предложены на рисунке 4.13.



Активным сигналом является уровень единицы: $C=1$. Триггер принимает информацию при наличии на входе синхронизации единицы.



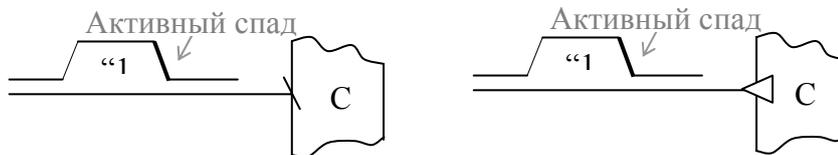
Активным сигналом является уровень нуля: $C=0$. Триггер принимает информацию при нуле на входе синхронизации.

Рисунок 4.13

Возможные способы изображения входов синхронизации триггера с динамическим управлением при разных активных фронтах предложены на рисунке 4.14.



Информация в триггере с динамическим управлением, условные обозначения входа синхронизации которого предложены выше, принимается только в момент нарастающего фронта синхросигнала.



Информация в триггере с динамическим управлением, условные обозначения входа синхронизации которого предложены выше, принимается только в момент спадающего фронта синхросигнала.

Рисунок 4.14

Поведение триггеров описывают с помощью таблицы переходов или матрицы переходов. Можно определить состояние триггера в данный момент времени, например: $Q(t)$ или Q_t . Под действием входных сигналов, которые приходят в тот же момент времени, триггер может перейти в новое состояние, которое помечается следующим образом: $Q(t+1)$ или Q_{t+1} .

На принципиальной схеме триггер обозначается символом Т и имеет дополнительно левое поле для размещения в нём меток или идентификаторов входов. С правой стороны условного обозначения располагаются прямой и инверсный выходы, а с левой стороны подводятся информационные и синхронизирующие сигналы. Инверсный выход помечается кружочком. Возможные варианты условных обозначений триггеров на принципиальных схемах предлагаются в следующих параграфах раздела.

4.5.2 Асинхронные RS-триггеры

Асинхронные RS-триггеры – это простейшие триггеры, на базе которых могут быть построены сколь угодно сложные триггеры. В таких триггерах отсутствует синхронизирующий сигнал, который бы определял момент времени, когда триггер реагирует на информационные сигналы. Асинхронный триггер реагирует на изменение информационных сигналов в тот же момент времени, когда сигнал изменил своё состояние на активное состояние. Своё название триггер берёт от названий своих входов: S и R.

S– вход установки триггера в единичное состояние. Берёт название от слова Set. При наличии на этом входе активного сигнала происходит переключение триггера (установка) в единичное состояние.

R– вход сброса триггера в исходное нулевое состояние. Берёт название от слова Reset. При наличии на этом входе активного сигнала происходит переключение триггера (сброс) в нулевое состояние.

Широкое применение нашли триггеры на элементах И-НЕ, ИЛИ-НЕ. Рассмотрим триггеры на элементах И-НЕ, которые нашли широкое применение в

ТТЛ. Схема триггера на элементах 2И-НЕ предложена на рисунке 4.15а, а его условное обозначение предложено на рисунке 4.15б.

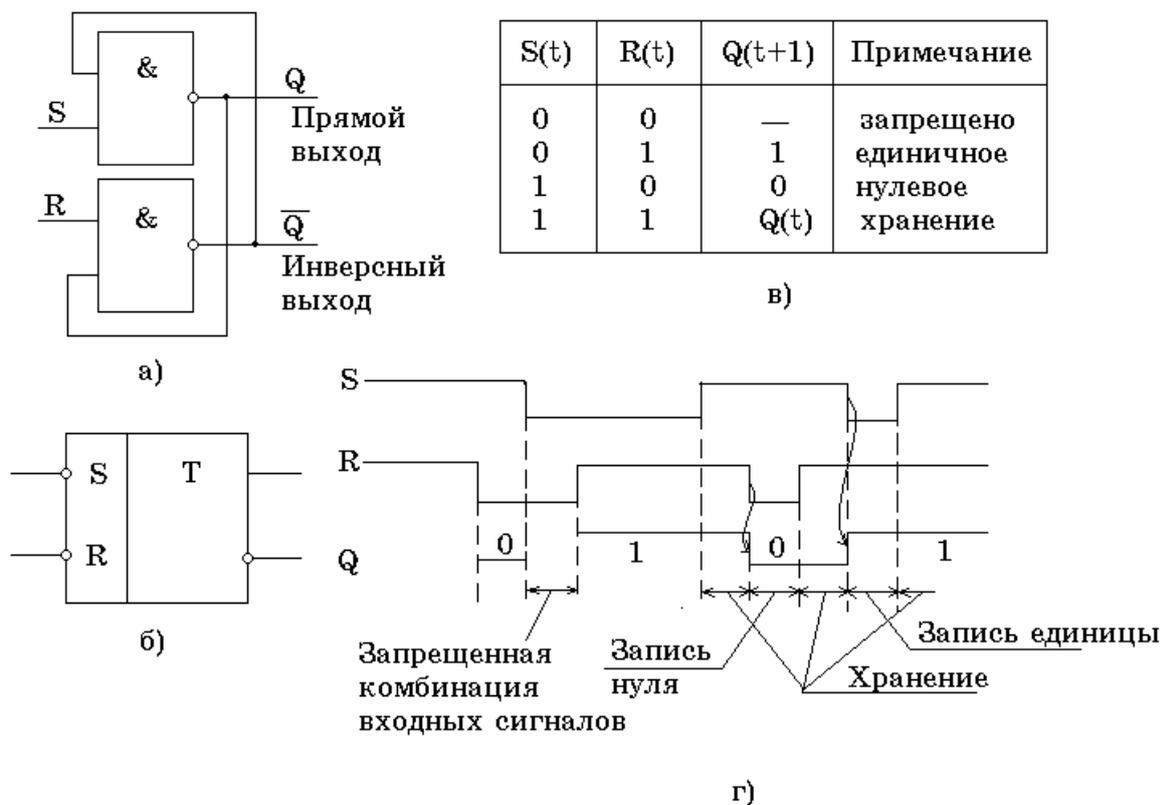


Рисунок 4.15

Проанализируем поведение триггера по принципиальной схеме (рисунок 4.15а). Считаем, что верхний выход является прямым. Определим активность входных сигналов. Предположим, что на вход верхнего элемента подаётся уровень логической единицы. Поскольку элемент реализует функцию И-НЕ, выходной сигнал в этом случае зависит от сигнала на втором входе элемента. То есть, входной сигнал не определяет однозначно состояние триггера. Предположи, что на вход верхнего элемента поступает нуль, а на нижний при этом поступает единица. Наличие нуля на входе верхнего элемента однозначно определяет состояние его выходного сигнала, который будет равен единице. Тогда на выходе нижнего элемента сформируется нуль, так как на его входах наблюдается совпадение единиц. Сформированный нуль поступит на второй вход верхнего элемента и, тем самым, продублирует нулевое состояние входного сигнала. С этого момента времени необходимость присутствия нуля на входе, обозначенном буквой S, отпадает, триггер перешёл в единичное состояние, которое

будет сохранять при наличии питания сколь угодно долго, если на оба входа будут поступать пассивные сигналы.

Можно заметить, что подача нуля на вход верхнего элемента привела к изменению состояния триггера и к появлению на прямом выходе уровня единицы. Следовательно, активным сигналом для предложенной схемы по каждому входу является ноль, причём вход верхнего элемента является входом S , входом установки триггера в единицу.

Если считать, что время задержки одного элемента равно $t_{\text{зад}}$, то через время $2t_{\text{зад}}$ в ответ на появление ноля на верхнем входе триггер перейдет в новое состояние. Спустя этот интервал времени можно убрать ноль с верхнего входа, заменив его на уровень логической единицы. Время срабатывания триггера равно $2t_{\text{зад}}$. При этом триггер перейдет в режим хранения нового состояния. Если на оба входа поступают единицы, то триггер будет хранить предыдущее состояние.

При $R=S=0$ на обоих выходах триггера наблюдается 1, триггер оказывался в запрещённом состоянии, нарушается логика его работы. Комбинация входных сигналов, которая переводит триггер в запрещенное состояние, называется запрещенной. Для исключения запрещённого состояния триггера целесообразно не допускать запрещённые комбинации на входы триггера.

Учитывая тот факт, что активным сигналом является ноль, условное обозначение триггера будет выглядеть так, как показано на рисунке 4.15б.

Опишем поведение триггера с помощью таблицы переходов (рисунок 4.15в). В этой таблице символом t помечаются те сигналы, которые наблюдались в исходный момент времени, а символом $t+1$ – сигналы после действия входной информации.

На рисунке 4.15г предложены временные диаграммы работы триггера, то есть поведение выходного сигнала Q в зависимости от входных сигналов (S , R) во времени.

Если необходимо построить триггер, у которого активными сигналами являются единицы, то достаточно на входах рассмотренного триггера добавить

инверторы. Триггер на элементах ИЛИ-НЕ будет иметь прямые входы, то есть будет срабатывать при единицах на входах S и R.

4.5.3 Синхронные триггеры

Синхронные триггеры находят широкое применение, поскольку позволяют синхросигналом задавать момент приёма информации. Это упрощает анализ поведения схемы, повышает надёжность.

Рассмотрим принцип работы синхронных D-триггеров, которые используются как самостоятельно, так и в составе сложных микросхем.

D – триггер - это триггер – задержка (Delay). С приходом активного синхросигнала триггер принимает информацию с единственного входа D. На рисунке 4.16 предложено условное изображение D-триггера с динамическим управлением и его временные диаграммы работы.

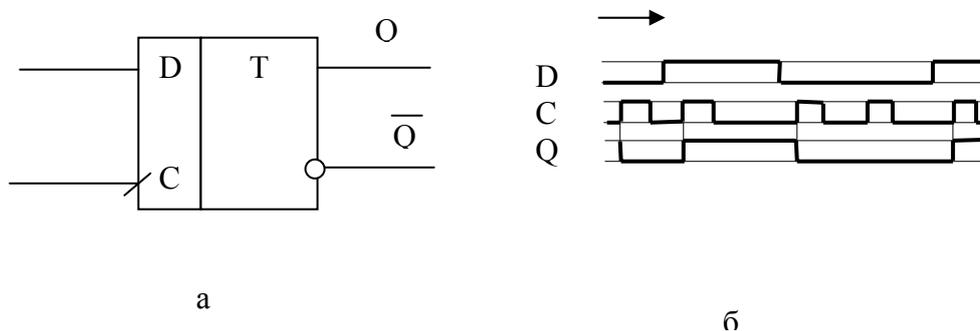


Рисунок 4.16

Триггер срабатывает по нарастающему фронту синхросигнала, то есть он реагирует на информацию, присутствующую на входе D только в моменты времени, когда синхронизирующий сигнал C переходит из нуля в единицу. Это отмечено на временных диаграммах соответствующей вертикальной линией, связывающей фронт синхросигнала с моментом перехода выходного сигнала в противоположное состояние.

Литература

1. Л.А.Бессонов. Теоретические основы электротехники. - М.: ВШ, 1973.- 752с., ил.
2. Сборник задач по теоретическим основам электротехники: Учеб. пособие. / Л.А.Бессонов, И.Г.Демидова, М.Е.Заруди и др.; Под ред. Л.А.Бессонова.- М.: ВШ, 1980 – 472с., ил.
3. Н.М.Белоусова, О.В.Толчеев. Преподавание электротехники. – М.: ВШ, 1988.- 191с., ил.
4. М.Ю.Анвельт, Ю.Х.Пухляков, М.А.Ушаков. Электротехника. – М.: Учпедгиз, 1963. – 240с., ил.
5. Л.Р.Нейман, К.С.Демирчян. Теоретические основы электротехники. В двух томах. Т.1. Л.: Энергия, 1975. – 524с., ил. Т.2. Л.: Энергия, 1975. – 408с., ил.
6. Г.Г.Рекус, А.И.Белоусов. Сборник задач по электротехнике и основам электроники. М.: ВШ, 1991. – 416с, ил.
7. В.В.Крылов, С.Я.Корсаков. Основы теории цепей для системотехников. – М.: ВШ, 1990.-224с. ил.
8. В.Г.Гусев, Ю.М.Гусев. Электроника.-М.: ВШ, 1991-622с., ил.
9. Е.П.Угрюмов. Элементы и узлы ЭЦВМ. М.: ВШ, 1976-232с., ил.
10. А.Г.Алексенко, И.И.Шагурин. Микросхемотехника: Учебное пособие для ВУЗов. Под ред. И.П.Степаненко. –М.: Радио и связь, 1982-416с., ил.
11. В.В.Пасынков, Л.К.Чиркин. Полупроводниковые приборы. –М.: ВШ, 1987-479с.
12. И.П.Степаненко. Основы микроэлектроники. М.: Сов. радио, 1980-424с.
13. Н.М.Соломатин. Логические элементы ЭВМ. 1990.
14. П.Хоровиц, У.Хилл. Искусство схемотехники. –М.: Мир, 1983. В двух томах. 598с. и 590с.
15. К.В.Шалимова. Физика полупроводников. –М.: Энергия, 1971-312с.
16. И.Е.Ефимов и др. Микроэлектроника.- М.: ВШ, 1987-416с.

17. В.И.Карлащук. Электронная лаборатория на IBM PC. Программа Electronics Workbench и её применение. – М.: Солон-Р, 1999.
18. Электротехника и электроника / Методические указания к лабораторным и самостоятельным работам. Составители: Л.А.Брякин, А.С.Бычков. Часть 1.- Издательство ПГУ, Пенза, 2003.-66с.
19. Электротехника и электроника / Методические указания к лабораторным занятиям и самостоятельной работе. Составитель Л.А.Брякин. Часть 2.- Издательство ПГУ, Пенза, 2003.-44с.