

 UNIVERSITATEA TEHNICĂ A MOLDOVEI	<b>FIȘA DISCIPLINEI/MODULULUI</b>	<b>Cod: S.06.A.053</b>	
		<b>Ediția</b>	<b>1</b>
		<b>Revizia</b>	<b>0</b>
		<b>Pagina</b>	<b>1</b>

ANEXA 3



FIȘA

DISCIPLINEI/MODULULUI

MD-2045, CHIȘINĂU, STR. SERGIU RĂDĂUȚANU, 4, TEL: 022 32-39-73 | FAX: 022 32-39-71, [www.utm.md](http://www.utm.md)

### SISTEME ELECTRONICE PROGRAMABILE

#### 1. Date despre disciplină/modul

<b>Facultatea</b>	<b>Calculatoare Informatica și Microelectronica</b>				
<b>Departamentul</b>	<b>Microelectronica și Inginerie Biomedicală</b>				
<b>Ciclul de studii</b>	<b>Studii superioare de licență, ciclul I</b>				
<b>Programul de studii</b>	<b>525.4 Microelectronica și nanotehnologii</b>				
<b>Anul de studii</b>	<b>Semestrul</b>	<b>Tip de evaluare</b>	<b>Categoria formativă</b>	<b>Categoria de opționalitate</b>	<b>Credite ECTS</b>
III (învățământ cu frecvență);	6	E	S – unitate de curs de specialitate	O - unitate de curs obligatorie	4

#### 2. Timpul total estimat

Total ore în planul de învățământ	Din care				
	Ore auditoriale		Lucrul individual		
	Curs	Laborator/seminar	Proiect de an	Studiul materialului teoretic	Pregătire aplicații
120	30	30	0	60	0

#### 3. Precondiții de acces la disciplină/modul

Conform planului de învățământ	Circuite integrate digitale, Limbaje de descriere hardware, Arhitectura Calculatoarelor
Conform competențelor	Cunoașterea schemotehnicii multiplexorului, demultiplexorului, unității aritmetico logice. Cunoașterea tehnicilor de interacțiune între procesorul central și memoria operativă.

#### 4. Condiții de desfășurare a procesului educațional pentru

Curs	Pentru prezentarea materialului teoretic în sala de curs este nevoie de cretă și tablă. Nu vor fi tolerate întârzierile studenților, precum și convorbirile telefonice în timpul cursului.
Laborator/seminar	Studenții vor perfecta rapoarte conform condițiilor impuse de indicațiile metodice. Procedura de susținere a rapoartelor este încadrată în sistemul on-line e-learning.

#### 5. Competențe specifice acumulate

Competențe profesionale	<b>CP4.</b> Definirea conceptelor, teoriilor, modelelor și metodelor specifice proiectării sistemelor digitale de calcul. ✓ Utilizarea cunoștințelor de bază pentru explicarea și interpretarea procedurilor de proiectare sistemelor digitale de calcul. ✓ Aplicarea de principii și metode de bază pentru proiectarea sistemelor digitale de calcul. ✓ Utilizarea adecvată de criterii și metode de evaluare a performanțelor procesoarelor contemporane.
-------------------------	--

 UNIVERSITATEA TEHNICĂ A MOLDOVEI	<b>FIȘA DISCIPLINEI/MODULULUI</b>	<b>Cod: S.06.A.053</b>	
		<b>Ediția</b>	<b>1</b>
		<b>Revizia</b>	<b>0</b>
		<b>Pagina</b>	<b>2</b>
	<ul style="list-style-type: none"> <li>✓ Elaborarea modulelor digitale de diversă complexitate, utilizând principii, procedee, tehnici și metode de bază consacrate în domeniu. <b>CP6.</b> Analiza calității și a performanțelor procesoarelor contemporane.</li> <li>✓ Descrierea procedeeelor, tehnicilor și metodelor de bază necesare pentru asigurarea calității sistemelor digitale de calcul în relație cu procesele tehnologice asociate.</li> <li>✓ Utilizarea cunoștințelor de bază pentru explicarea și interpretarea procedeeelor, tehnicilor și metodelor de bază, necesare în procesele de evaluare și asigurare a calității sistemelor digitale de calcul în relație cu procesele tehnologice asociate.</li> <li>✓ Aplicarea de principii și metode de bază pentru evaluarea și asigurarea calității sistemelor digitale de calcul în relație cu procesele tehnologice asociate.</li> <li>✓ Utilizarea adecvată de criterii și metode standard de evaluare pentru adoptarea procedeeelor, tehnicilor și metodelor de bază, necesare în procesele de evaluare și asigurare a calității sistemelor digitale de calcul în relație cu procesele tehnologice asociate.</li> <li>✓ Elaborarea modulelor de tip testbench selectând și utilizând principii, concepte și metode specifice proceselor de evaluare și asigurare a calității sistemelor digitale de calcul în relație cu procesele tehnologice asociate.</li> </ul>		
Competențe transversale	<p><b>CT1.</b> Realizarea lucrărilor de laborator cu utilizarea corectă a surselor bibliografice și metodelor specifice, în condiții asistență calificată, precum și susținerea acestora cu demonstrarea capacității de evaluare calitativă și cantitativă a unor soluții tehnice din domeniu.</p> <p><b>CT3.</b> Identificarea nevoii de formare profesională, cu analiza critică a propriei activități de formare și a nivelului de dezvoltare profesională și utilizarea eficientă a resurselor de comunicare și formare profesională (Internet, e-mail, baze de date, cursuri on-line etc.), inclusiv folosind limbi străine.</p>		

## 6. Obiectivele disciplinei/modulului

Obiectivul general	Însușirea arhitecturilor sistemelor digitale; Însușirea metodelor și tehnicilor de proiectare procesoarelor de tip x86, ARM.
Obiectivele specifice	<p>Să înțeleagă și să descrie structura tractului de date a procesorului cu arhitectura RISC.</p> <p>Să înțeleagă și să descrie structura tractului de date a procesorului cu arhitectura x86.</p> <p>Să înțeleagă tipuri de comenzi în cadrul microprocesorului.</p> <p>Să înțeleagă și să descrie regimuri de adresare procesorului la memorie operativă.</p>

## 7. Conținutul disciplinei/modulului

Tematica activităților didactice	Numărul de ore	
	învățământ cu frecvență	învățământ cu frecvență redușă
<b>Tematica cursurilor</b>		
T1. Introducerea în arhitectura procesoarelor contemporane. Componente de baza. ALU, memoria operativă, Registri de uz general.	2	
T2. Tipuri de comenzi de nivel jos. Assembler. Tipuri de comenzi.	4	
T3. Comanda de tip R, de tip I, de tip J.	4	
T4. Arhitectura MIPS single-cycle.	2	
T5. Automat de control pentru MIPS single-cycle.	4	
T6. Arhitectura MIPS multi-cycle.	2	
T7. Automat de control pentru MIPS multi-cycle.	2	

 <small>UNIVERSITATEA TEHNICĂ A MOLDOVEI</small>	<b>FIȘA DISCIPLINEI/MODULULUI</b>	<b>Cod: S.06.A.053</b>	
		<b>Ediția</b>	<b>1</b>
		<b>Revizia</b>	<b>0</b>
		<b>Pagina</b>	<b>3</b>
T8. Metode și tehnici de paralelizare procesului de calcul.		2	
T9. Conflicte de procesare. Rezolvarea conflictelor de procesare.		4	
T10. Arhitecturi superscalare.		2	
T11. Comparatia performantelor diferitor arhitecturi.		2	
<b>Total curs:</b>		<b>30</b>	
<b>Tematica lucrărilor practice/seminarelor</b>			
LL1. Proiectarea modulelor de tip stiva, coada.		4	
LL2. Proiectarea memoriilor de tip Read-Only, Random Access Memory.		4	
LL3. Proiectarea tractului de date a procesorului MIPS single-cicle.		4	
LL4. Proiectarea automatului de control a procesului MIPS single-cicle.		4	
LL5. Proiectarea tractului de date a procesorului cu conveer superscalar.		4	
LL6. Proiectarea automatului de control a procesorului cu conveer superscalar.		4	
LL7. Proiectarea modulului de rezolvarea conflictelor pentru procesor cu conveer superscalar.		4	
LL8. Consultații adăugatoare. Susținerea rapoartelor.		2	
<b>Total lucrări practice/seminare:</b>		<b>30</b>	

### 8. Referințe bibliografice

Principale	<ol style="list-style-type: none"> <li>David Money Harris, Sarah L. Harris, Digital Design and Computer Architecture, 569 p.</li> <li>Ercegovac M., and Lang T., Digital Arithmetic, Morgan Kaufmann, 2003.</li> <li>Hennessy J., and Patterson D., Computer Architecture: A Quantitative Approach, 4th ed., Morgan Kaufmann, 2006.</li> <li>Weste N., and Harris D., CMOS VLSI Design, 3rd ed., Addison-Wesley, 2005.</li> </ol>
Suplimentare	<ol style="list-style-type: none"> <li>SystemVerilog 3.1a Language Reference Manual, Copyright © 2002, 2003, 2004 by Accellera Organization, Inc. 550 p.</li> <li>SystemVerilog Testbench Constructs, © 2005 Synopsys, Inc, 126 p.</li> </ol>

### 9. Evaluare

Periodică		Curentă	Studiu individual	Proiect/teză	Examen
EP 1	EP 2				
15%	15%	15%	15%	-	40%
<p>Prezența și activitatea la prelegeri și lucrări de laborator;  Obținerea notei minime de „5” la atestari curente.  Obținerea notei minime de „5” la medie ponderata din lucrări de laborator.  Demonstrarea în lucrarea de examinare finală cunoaștințelor de baza necesare pentru proiectare, analiză, testare și sinteză circuitelor digitale utilizând limbaj Verilog..</p>					