

Întrebările la examen la disciplina TPS VLSI

sesiunea de iarnă 2020/2021. Grupa MN-171.

1. Introducere în proiectarea structurilor VLSI. Procesul de proiectare VLSI.
2. Ierarhia proiectării.
3. Conceptele de regularitate, modularitate și localitate.
4. Stiluri de proiectare VLSI.
5. Tehnologii de fabricare CMOS și reguli de proiectare.
6. Procesul CMOS cu insula n .
7. Tehnologii evaluate de fabricare a CMOS.
8. Reguli de proiectarea TPS VLSI.
9. Proiectarea completă a măștilor de către utilizator.
10. Reguli de proiectare ale formelor CMOS.
11. Proiectarea formei inversorului CMOS. Diagramele de bare.
12. Diagramele de bare. Reguli pentru construcția diagramelor de bare.
13. Porțile NOR2 în CMOS.
14. Forma porților CMOS NAND și NOR. Proiectarea și forma măștilor.
15. Porți logice complexe CMOS. Proiectarea măștilor prin folosirea diagramelor de bare.
16. Măștile de straturi pentru CMOS NOR2.
17. Circuitul 3NAND. Măștile de straturi ale porții 3NAND.
18. Circuitul CMOS 4NOR. Topologia.
19. Extragerea elementelor de circuit parazite și estimarea performanțelor din structura fizică.
20. Realitatea privind interconexiunile VLSI. Influența numărului de interconexiuni asupra întârzierilor.
21. Capacitățile MOSFET. Extragerea elementelor de circuit parazite.
22. Estimarea capacității interconexiunilor. Capacitatea plan paralelă.
23. Estimarea capacității interconexiunilor singulare. Estimarea capacității interconexiunilor cuplate.
24. Estimarea rezistenței interconexiunilor. Calcularea reținerii Elmor.
25. Criterii de lungime pentru includerea inductanței în modelul interconexiunii. Graficele reținerii în dependență de lungimea liniei pentru procesul de $1.5\mu\text{m}$ și $0.5\mu\text{m}$.
26. Caracteristici de propagare a interconexiunilor VLSI. Caracteristicile de cuplare a interconexiunilor VLSI.
27. Propagarea prin interconexiuni în tehnologiile VLSI.
28. Efectele scalării clasice asupra interconexiunilor.
29. Puterea în CMOS. Ecuațiile puterii în CMOS.
30. Prezentarea generală a consumului de energie.
31. Puterea disipată la scurt-circuit.
32. Puterea disipată la scurgere.
33. Contribuția diferitor disipări a puterii. Principiile reducerii puterii.
34. Proiectarea circuitelor CMOS cu consum redus al puterii prin scalarea tensiunii. Proiectarea sistemelor Ultra Low-Power.
35. Abordarea Conducte (Pipeline).
36. Abordarea conducte. Îmbunătățirea vitezei. Economisirea puterii.
37. Paralelismul. Abordarea procesării paralele.
38. Estimarea și optimizarea activității de comutare.
39. Reducerea capacității la comutare pentru abordarea pipeline.
40. Circuite logice adiabactice. Concepte de bază.
41. Circuite de încărcare trepte.
42. Dispozitivul SOI (Silicon-On-Insulator) CMOS. Caracteristici. Fabricarea. Avantaje.
43. Generarea și distribuirea pe chip/pastilă VLSI a semnalelor de ceas/tact.
44. Oscilator inel. Oscilator cu dublu inel. Oscilator Pierce.
45. Terminologii. Latența. Deplasarea timpului.
46. Amplasarea generală și rețeaua de distribuție "H-Tree" sau "Arbore" a semnalelor de ceas/tact.
47. Tehnologia LOCOS și topologia CMOS. Vedere în secțiune transversală.

48. Proiectarea elementului CMOS. Tehnologia de fabricare CMOS. Topologia.
49. Proiectarea topologiei inversorului CMOS. Proiectarea și forma măștilor.
50. Proiectarea topologiei elementului logic NAND în baza CMOS.
51. Proiectarea topologiei elementului logic 2NAND în baza CMOS.
52. Proiectarea topologiei elementului logic 3NAND în baza CMOS.

