

Сумматоры

Сумматоры входят в класс комбинационных логических схем, в которых обрабатываемые сигналы ассоциируются с числами. Сумматоры выполняют операцию сложения двух чисел и операцию вычитания, которая заключается в суммировании вычитаемого с дополнительным кодом вычитателя.

Структура всех сумматоров основывается на двух логических схем суммирования, известных в литературе как полусумматор (*Half sum*, обозначенная HS) и полный сумматор (*Full sum*, обозначенная SM), соответственно.

Полусумматор - это КЛС, который складывает 2 бита без учета переноса из предыдущего разряда. На выходе формируется Сумма (S) и Перенос в следующий разряд (Co).

Логический символ:

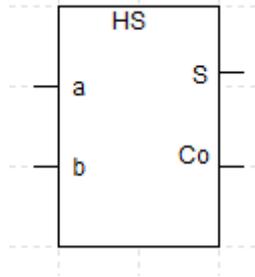


Таблица истинности:

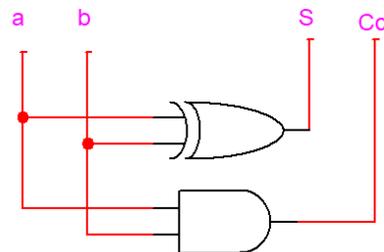
a	b	S	Co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Логические формулы

$$S = a \oplus b$$

$$C_0 = ab$$

Логическая схема



Полный сумматор - это КЛС, который складывает 2 бита и перенос Ci из предыдущего разряда. На выходе полный сумматор формирует Сумму (S) и Перенос в следующий разряд (Co).

Логический символ:

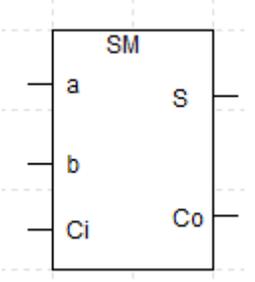


Таблица истинности:

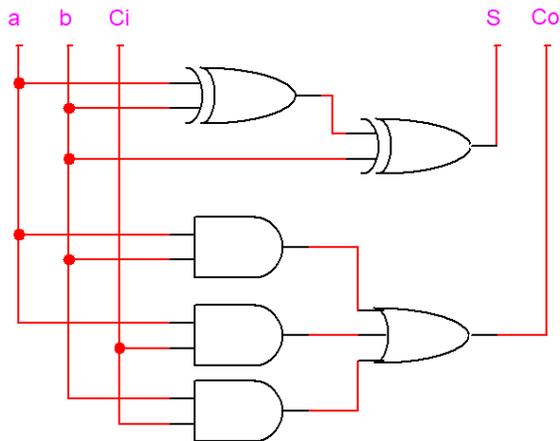
a	b	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Логические формулы
:

$$S = a \oplus b \oplus C_i$$

$$C_0 = ab + aC_i + bC_i$$

Логическая схема:



Последовательный сумматор

Сумматоры для сложения n-разрядных двоичных слов реализуются путем соединения 1-разрядных сумматоров.

В случае каскадирования 1-битных сумматоров получается схема «последовательного сумматора».

В этой схеме сложение выполняется параллельно, и распространение переноса происходит последовательно, что приводит к суммированию времени задержки, так что конечный результат обеспечивается с довольно большой задержкой по сравнению с входным сигналом.

Пусть даны два 4-битных двоичных

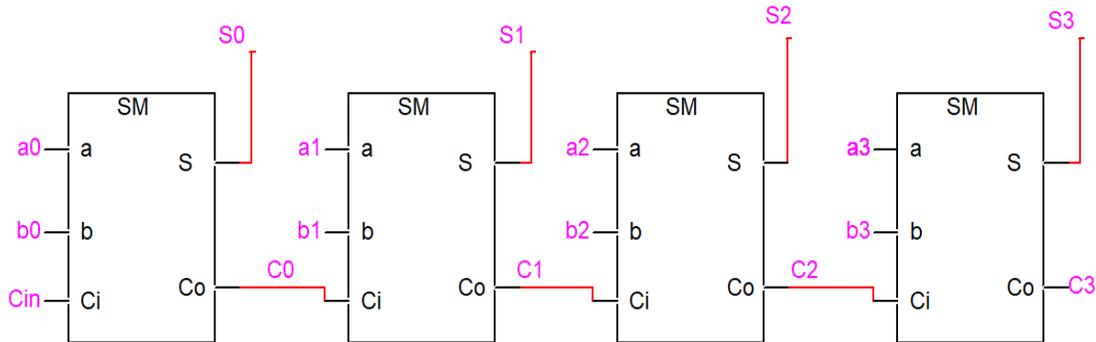
$$A = a_3a_2a_1a_0$$

$$B = b_3b_2b_1b_0$$

Перенос от разряда к разряду отмечается символом c_i .

Сумма, полученная при сложении: $S = s_3s_2s_1s_0$

Логическая схема 4-битного последовательного сумматора.



Наблюдается последовательное распространение сигнала по пути распространения переноса. Следовательно, результат будет доступен на выходе только после того, как сигнал, соответствующий биту переноса, пройдет весь путь.

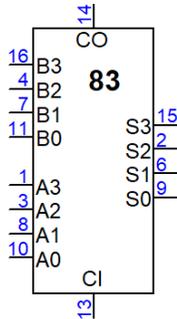
Для сумматоров с последовательным распространением переноса, путь распространения переноса будет вводить максимальную задержку, когда перенос,

произведенный в младшем разряде сумматора, распространяется через все его разряды, пока не достигнет наиболее значимого. Очевидно, что максимальное время работы сумматора при последовательном переносе увеличивается линейно в зависимости от его разрядности. Большой интервал времени суммирования - это цена, которую сумматоры с последовательным переносом платят за простоту схемы.

Преимущество последовательного сумматора - невысокая стоимость.

Недостатком является то, что время задержки увеличивается пропорционально количеству разрядов.

Микросхема последовательного сумматора 74_83



Сумматор с ускоренным переносом

Сумматор - один из важнейших компонентов любого компьютера, поэтому его скорость работы - главный критерий качества. Для увеличения быстродействия сумматоров были предложены и реализованы различные технологические и архитектурные меры. Технологическими разработками могут быть, например,

а) логические схемы, через которые проходит сигнал переноса, должны быть спроектированы таким образом, чтобы уменьшить время распространения;

б) используется инвертированный сигнал переноса между входом и выходом;

Однако этих мер недостаточно при сложении двоичных чисел большой разрядности. Решение в этом случае является архитектурным и предполагает отказ от последовательного переноса в пользу параллельного (ускоренного). Фактически это означает переопределение логической функции, которая формирует сигнал переноса.

Формулу переноса можно записать как:

$$c_{i+1} = a_i b_i \vee a_i c_i \vee b_i c_i = a_i b_i \vee (a_i \vee b_i) c_i.$$

Обозначим $G_i = a_i b_i$ и $P_i = a_i \vee b_i$.

В этом случае, формулу для переноса можно записать следующим образом:

$$c_{i+1} = G_i \vee P_i c_i.$$

Функция генерации $G_i = 1$ указывает на то, что из разряда i сумматора генерируется цифра переноса, равная 1, независимо от значения переноса из младшего разряда.

Функция распространения $P_i = 1$ указывает, что через разряд i сумматора будет распространяться перенос из младшего разряда

Генерация переносов основана на следующих отношениях:

$$c_1 = G_0 \vee P_0 c_{IN};$$

$$c_2 = G_1 \vee P_1 c_1 = G_1 \vee P_1 (G_0 \vee P_0 c_{IN}) = G_1 \vee P_1 G_0 \vee P_1 P_0 c_{IN};$$

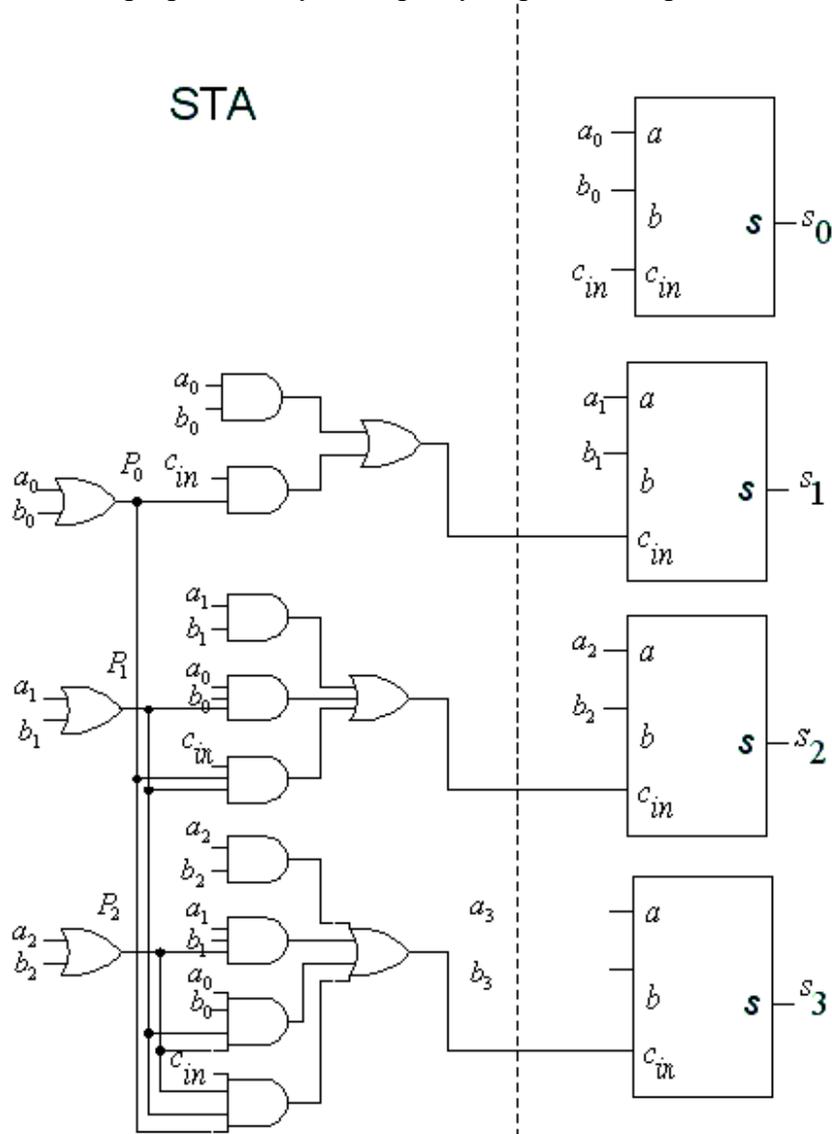
$$c_3 = G_2 \vee P_2 c_2 = G_2 \vee P_2 (G_1 \vee P_1 G_0 \vee P_1 P_0 c_{IN}) = G_2 \vee P_2 G_1 \vee P_2 P_1 G_0 \vee P_2 P_1 P_0 c_{IN}$$

Общее время суммирования равно времени суммирования на одnorазрядном сумматоре плюс задержка, вносимая схемой ускоренного переноса, независимо от количества разрядов.

В состав сумматора с ускоренным переносом входят два модуля:

- модуль суммирования, состоящий из нескольких одnorазрядных сумматоров
- модуль для формирования ускоренного переноса.

Схема 4х разрядного сумматора с ускоренным переносом:



Преимущества сумматора с ускоренным переносом

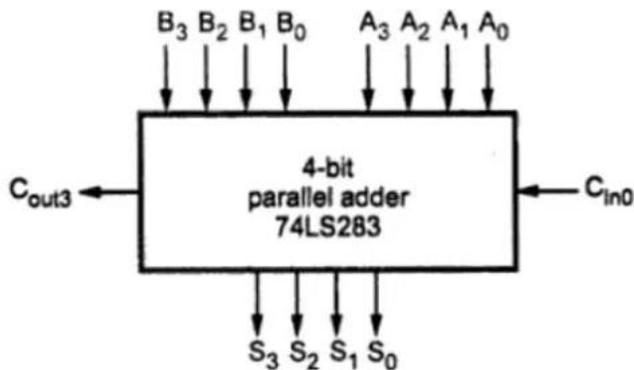
1. Перенос генерируется для каждого сумматора одновременно с использованием упрощенных уравнений, включающих P_i , G_i и C_{in} .
2. Эта схема уменьшает задержку распространения. Это связано с тем, что выходной перенос зависит только от первого сигнала переноса, подаваемого на вход.

3. Это самый быстрый сумматор по сравнению с другими типами сумматоров.

Недостатки

1. Схема сумматора с ускоренным переносом усложняется с увеличением числа разрядов.
2. Схема сумматора с ускоренным переносом стоит дорого, поскольку требует большего количества оборудования.
3. По мере увеличения числа переменных интегральная схема содержит больше логических вентилей, поэтому площадь этой схемы увеличивается.

Интегральная схема 4-битного сумматора с ускоренным переносом 74_283:



Микросхема генерации переноса 74_182:

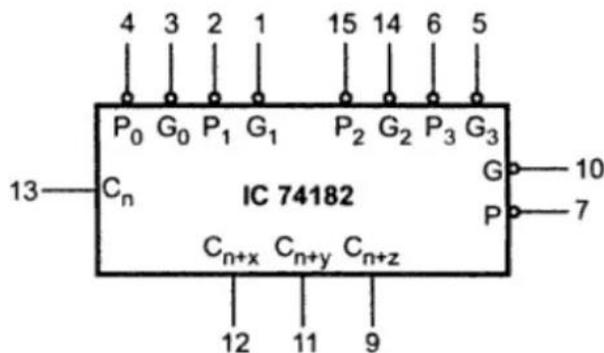
$$C_{n+x} = G_0 + P_0 \cdot C_n$$

$$C_{n+y} = G_1 + P_1 \cdot G_0 + P_1 \cdot P_0 \cdot C_n$$

$$C_{n+z} = G_2 + P_2 \cdot G_1 + P_2 \cdot P_1 \cdot G_0$$

$$G' = (G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0)'$$

$$P' = (P_3 \cdot P_2 \cdot P_1 \cdot P_0)'$$



Способ применения:

